

ÉLECTRONIQUE NUMÉRIQUE AVANCÉE

Filière : InfoTronique

Chap. 1 : Introduction

Dr. Abdelhakim Khouas

Email : akhouas@hotmail.fr

Département de Physique

Faculté des Sciences



Objectifs de ce chapitre

Comprendre le processus de conception de circuits intégrés

- ◆ Définition et caractéristiques des circuits intégrés
- ◆ Différentes technologies de fabrication de circuits intégrés
- ◆ Styles de réalisation de circuits intégrés
- ◆ Aspect économique de la conception
- ◆ Flot de conception

Plan

1. Les circuits intégrés (ICs)
2. Technologies de fabrication de circuits intégrés
3. Styles de conception
4. Aspect économique
5. Flot de conception
6. Conclusion

1. Circuit Intégré « Integrated Circuit IC»

C'est quoi un circuit intégré (IC) ?

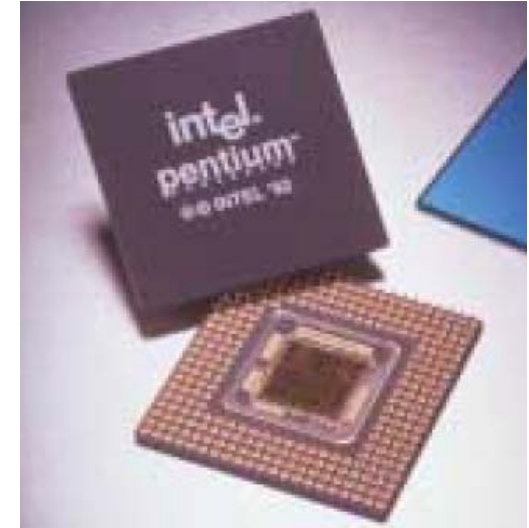
- ♦ 1 : « two or more interconnected circuit elements on a single die ». [SEMATECH]
- ♦ 2 : « a fabrication technology that combines most of the components of a circuit on a single-crystal silicon wafer ». [SEMI Materials, Vol. 3, Definitions for Semiconductor Materials]

Source : Site web www.sematech.com, Jan 2003

1. Circuit Intégré « Integrated Circuit IC»

Avantages des circuits intégrés

- ♦ Grande densité (petite surface)
- ♦ Faible coût
- ♦ Grande vitesse (fréquence)
- ♦ Faible consommation



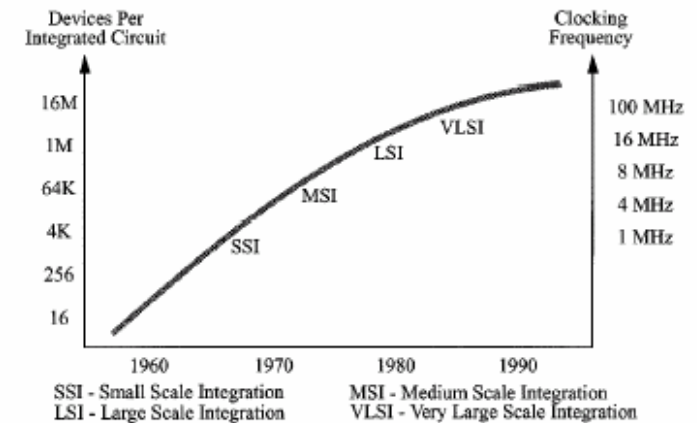
1. Circuits intégrés : Évolution

Loi de Moore :

- ♦ La complexité des ICs double chaque 1,5-2 ans
- ♦ Le nombre d'instruction par seconde (MIPS) double chaque 1,5-2 ans

Les performances des ICs quadruple chaque 3 ans

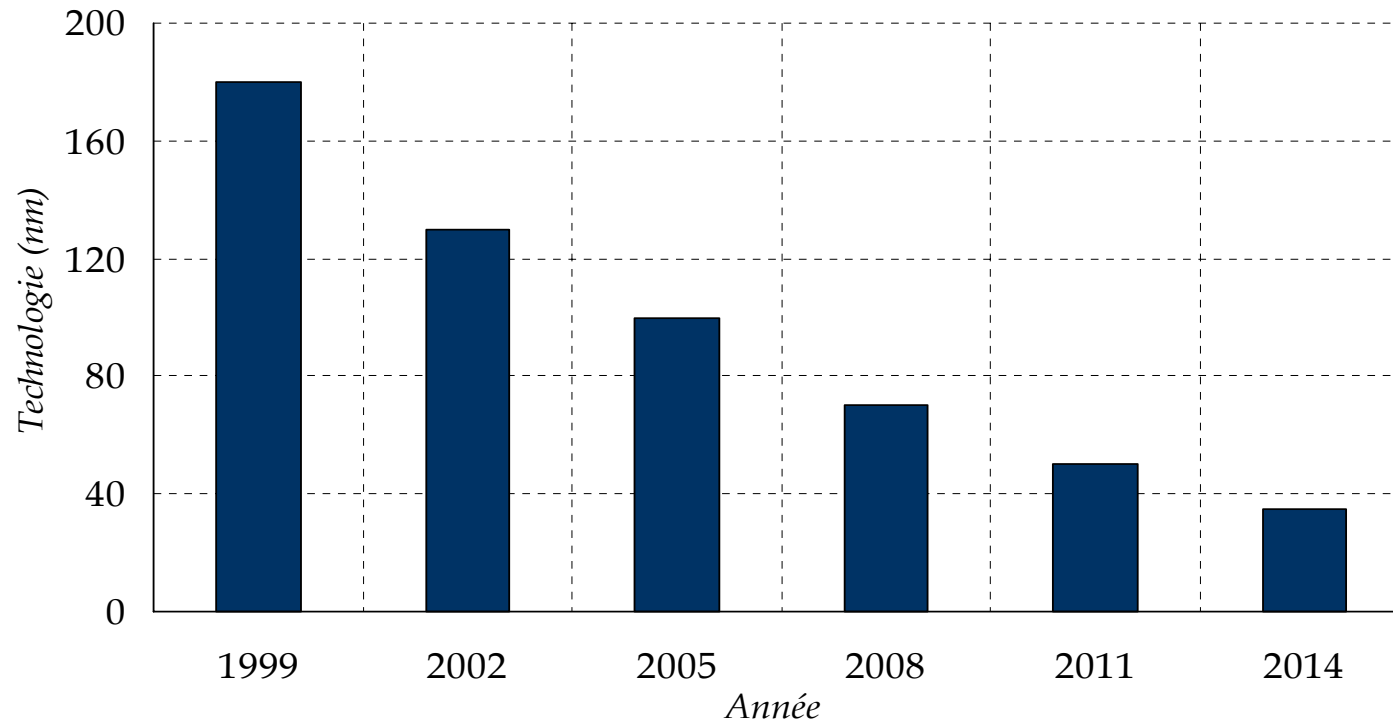
- ♦ Alors que le coût et la surface des ICs n'augmente que de 1.4 fois.



Évolution de la complexité des circuits intégrés

Source : The Electrical Engineering Handbook, CRC Press

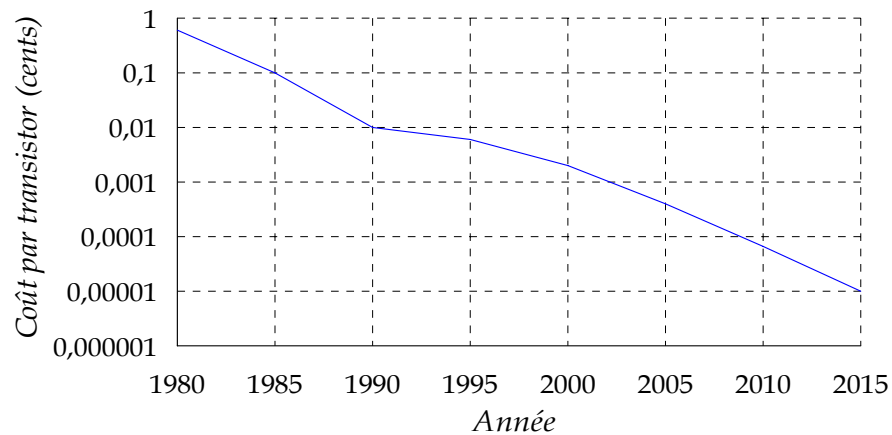
1. Circuits intégrés : Perspectives



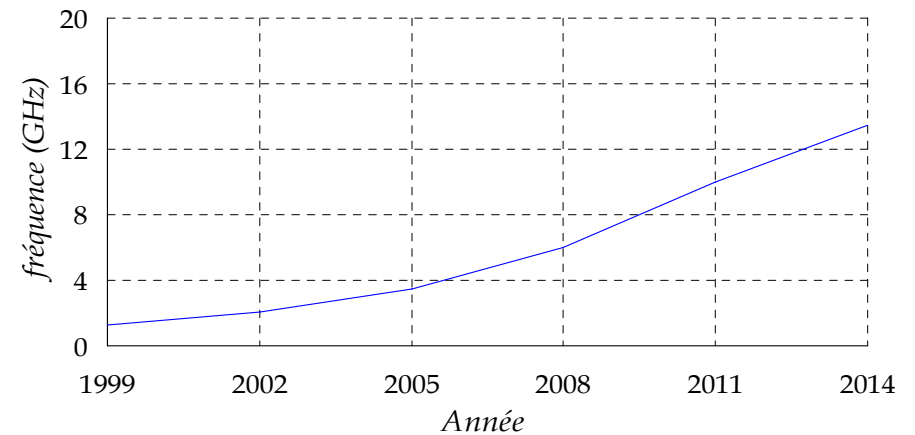
Évolution des technologies de fabrication

Source : ITRS « Int. Technology Roadmap for Semiconductors », Édition 2001

1. Circuits intégrés : Perspectives (suite)



Évolution du coût par transistor des circuits intégrés



Évolution de la fréquence des circuits intégrés

Source : ITRS « Int. Technology Roadmap for Semiconductors », Édition 1999

1. Circuits intégrés : Conception

Par où commencer ?



1. Circuits intégrés : Critères

Performances

- ♦ Meilleures sur le marché

Surface

- ♦ Circuit plus petit que celui du concurrent

Temps de mise en marché

- ♦ Il faut être le premier sur le marché

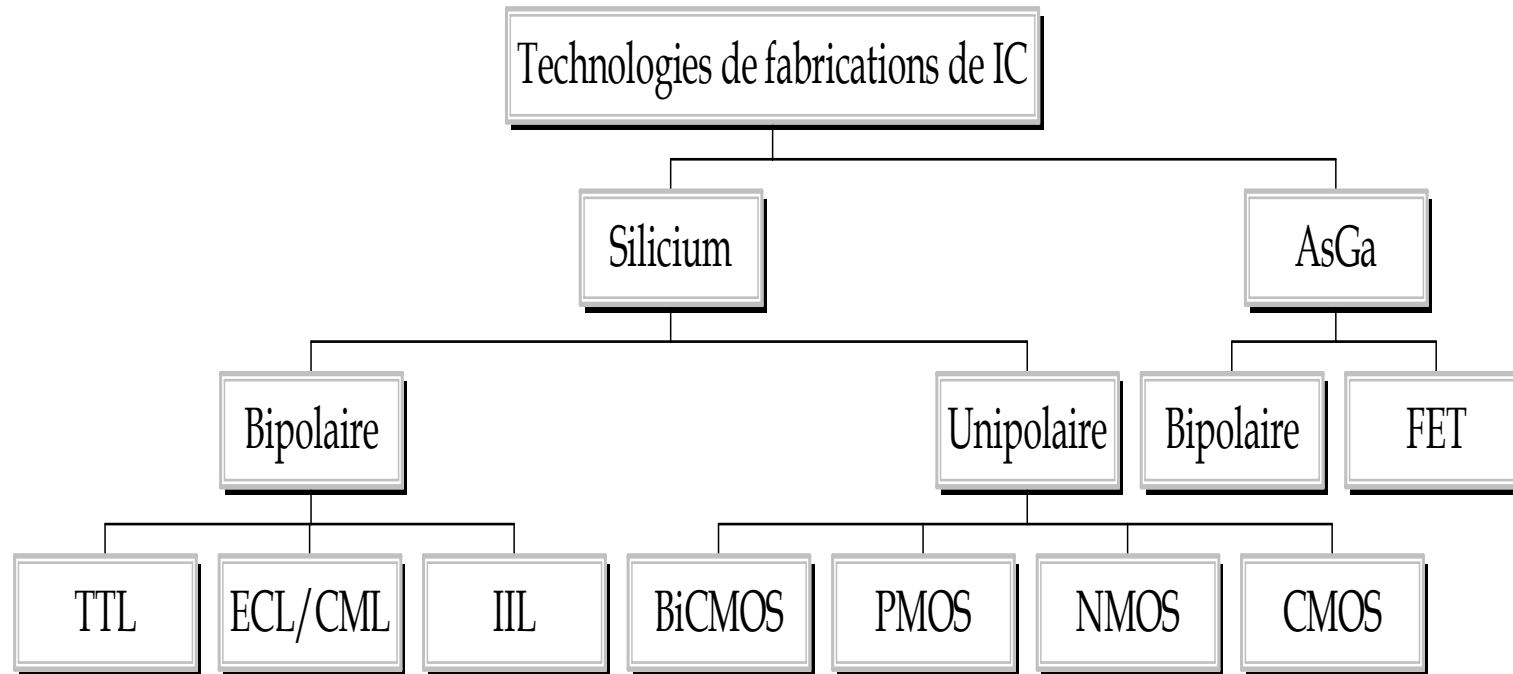
Facile à tester

- ♦ Temps de développement du test
- ♦ Coût d'application du test



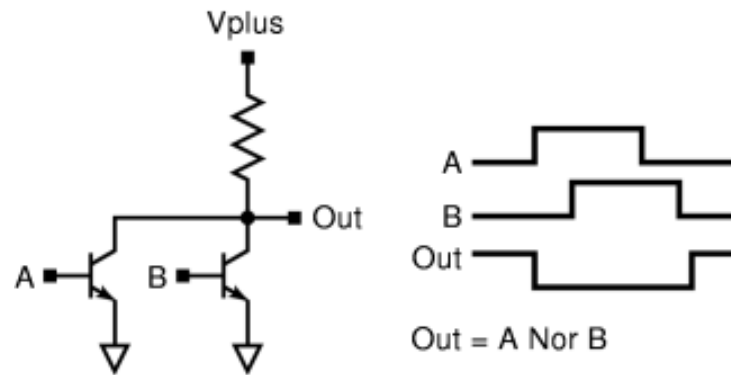
Ingénieur de conception

2. Technologies de fabrication des ICs

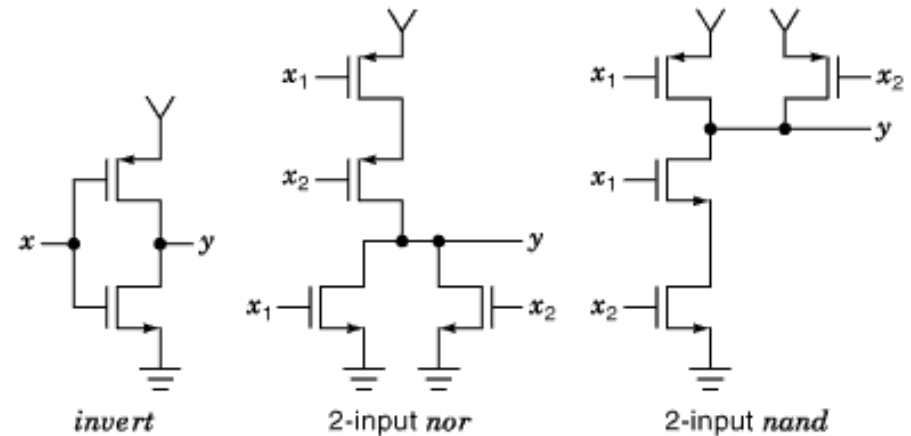


Taxonomie des technologies de fabrication de circuits intégrés

2. Technologies de fabrication (suite)



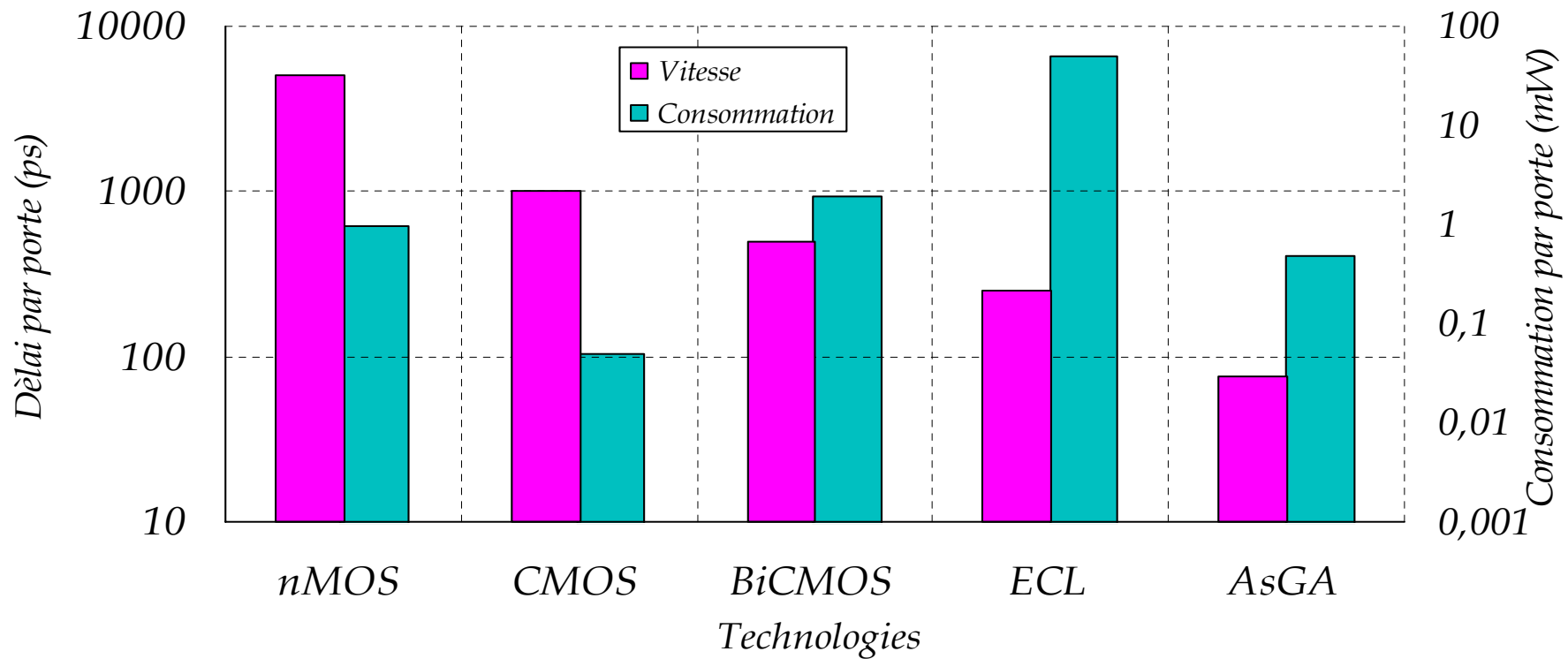
Technologie TTL



Technologie CMOS

Source : Wiley Encyclopedia of Electrical Engineering

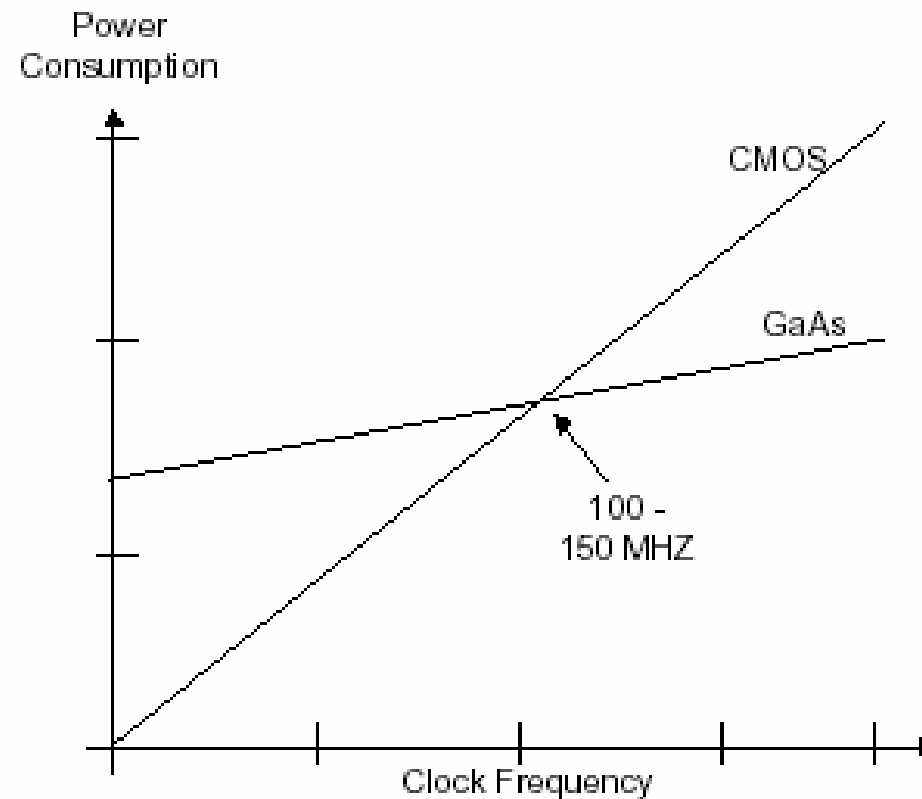
2. Technologies de fabrication (suite)



Comparaison des différentes technologies : vitesse et consommation

Source : Programmable logic and ASIC

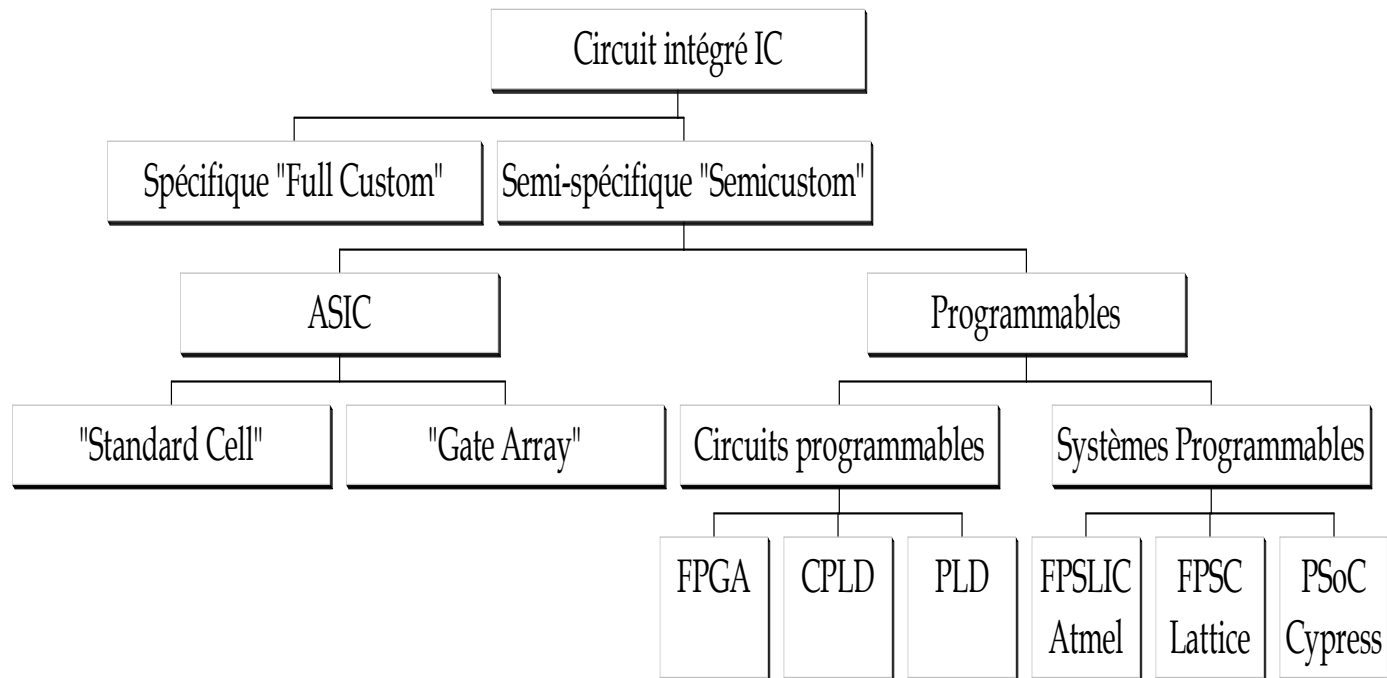
2. Technologies de fabrication (suite)



Comparaison entre CMOS et AsGa : consommation vs. fréquence

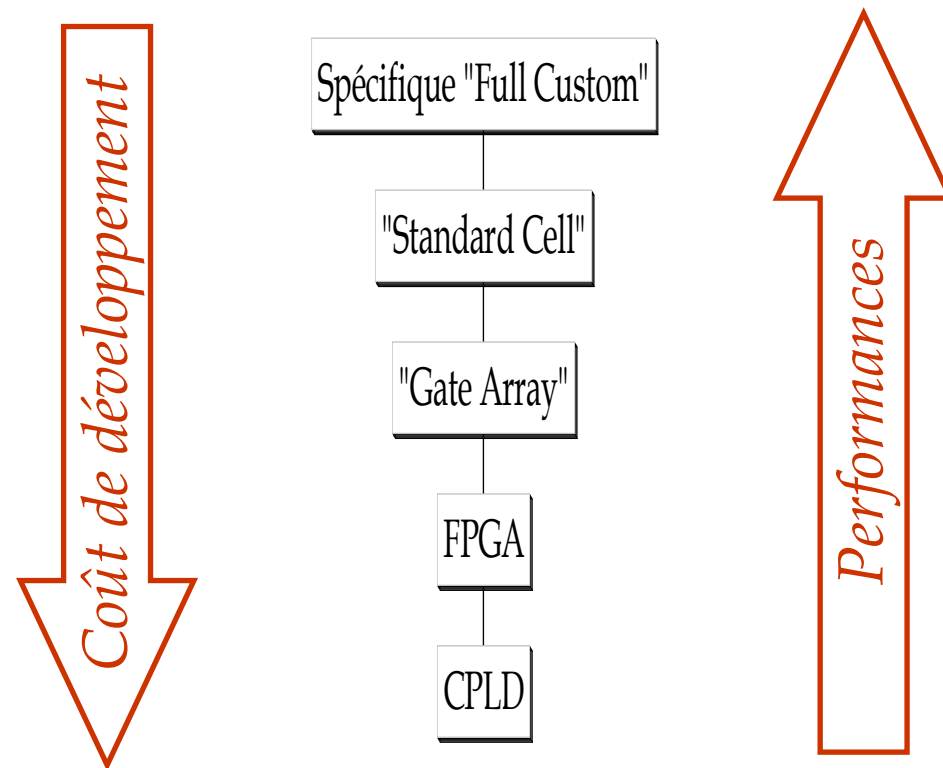
Source : Programmable logic and ASIC

3. Styles de réalisation de IC



Taxonomie des styles de réalisation de circuits intégrés

3. Styles de réalisation de IC (suite)



Coût de développement vs performances

3. Styles de réalisation : ASIC vs FPGA

ASIC

- ◆ Performances
 - ❖ Vitesse
 - ❖ Consommation
- ◆ Coût pour grande production

FPGA

- ◆ Temps de mise en marché TTM
- ◆ Coût pour petite production
- ◆ Flexibilité

4. Aspect économique

Le coût de revient d'un circuit intégrés dépend du :

- ◆ Nombre de circuits fabriqués
- ◆ Coût de développement NRE « Non Recurring Engineering cost »
 - ❖ Temps de développement x Salaire x Coût outils de CAO
- ◆ Coût de fabrication RE « Recurring cost » qui dépend :
 - ❖ Surface du circuit
 - ❖ Coût d'encapsulation
 - ❖ Coût de test

$$\text{Coût revient} = \frac{\text{Coût NRE}}{\# \text{Circuits}} + \text{Coût fabrication}$$

4. Aspect économique (suite)

	FPGA	MGA	CBIC
<u>Training:</u>	\$800	\$2,000	\$2,000
Days	2	5	5
Cost/day	\$400	\$400	\$400
<u>Hardware</u>	\$10,000	\$10,000	\$10,000
<u>Software</u>	\$1,000	\$20,000	\$40,000
<u>Design:</u>	\$8,000	\$20,000	\$20,000
Size (gates)	10,000	10,000	10,000
Gates/day	500	200	200
Days	20	50	50
Cost/day	\$400	\$400	\$400
<u>Design for test:</u>		\$2,000	\$2,000
Days		5	5
Cost/day		\$400	\$400
<u>NRE:</u>		\$30,000	\$70,000
Masks		\$10,000	\$50,000
Simulation		\$10,000	\$10,000
Test program		\$10,000	\$10,000
<u>Second source:</u>	\$2,000	\$2,000	\$2,000
Days	5	5	5
Cost/day	\$400	\$400	\$400
<u>Total fixed costs</u>	<u>\$21,800</u>	<u>\$86,000</u>	<u>\$146,000</u>

Coûts fixes de développement de circuits intégrés

Source : Application-Specific Integrated circuits

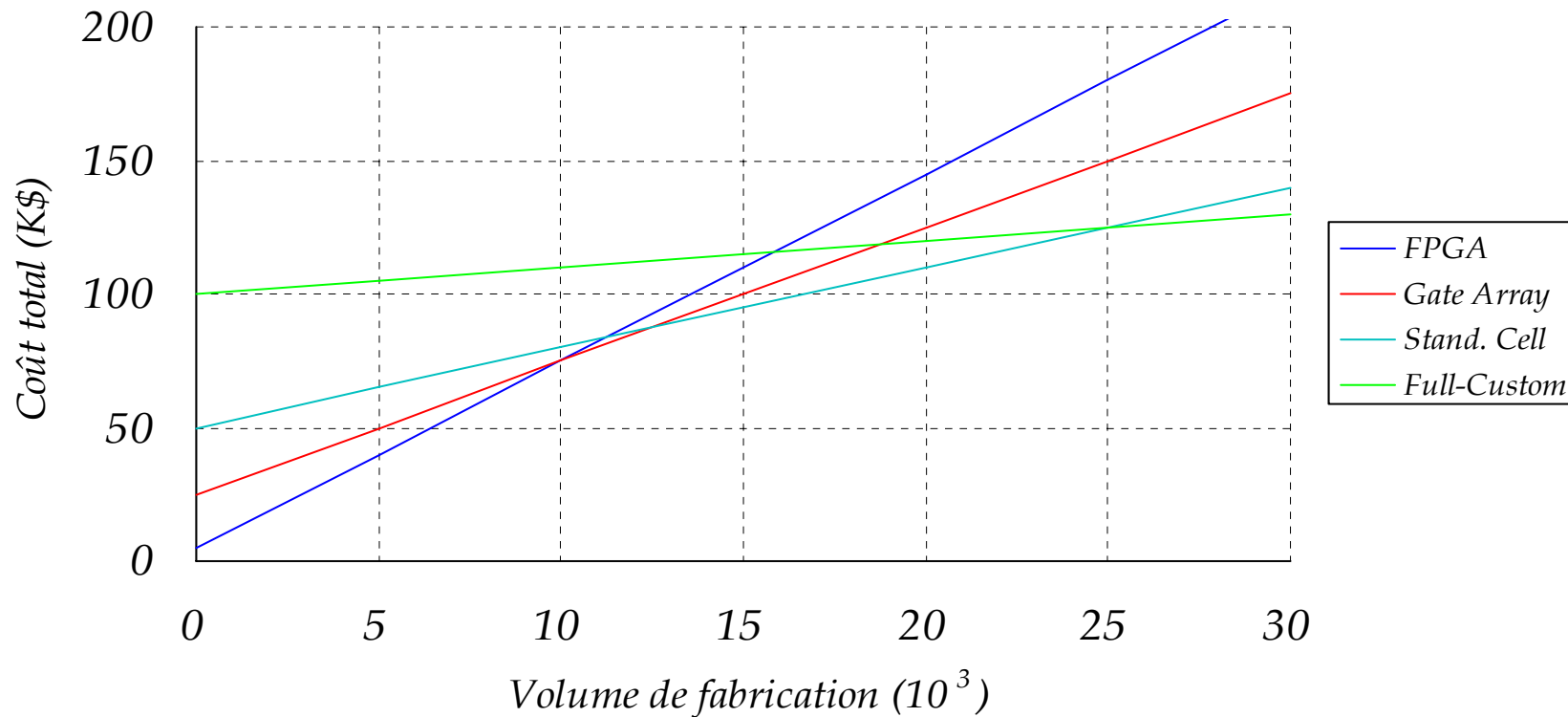
4. Aspect économique (suite)

	FPGA	MGA	CBIC	Units
Wafer size	6	6	6	inches
Wafer cost	1,400	1,300	1,500	\$
Design	10,000	10,000	10,000	gates
Density	10,000	20,000	25,000	gates/sq.cm
Utilization	60	85	100	%
Die size	1.67	0.59	0.40	sq.cm
Die/wafer	88	248	365	
Defect density	1.10	0.90	1.00	defects/sq.cm
Yield	65	72	80	%
Die cost	25	7	5	\$
Profit margin	60	45	50	%
Price/gate	0.39	0.10	0.08	cents
Part cost	\$39	\$10	\$8	

Coûts variables pour la fabrication de circuits intégrés

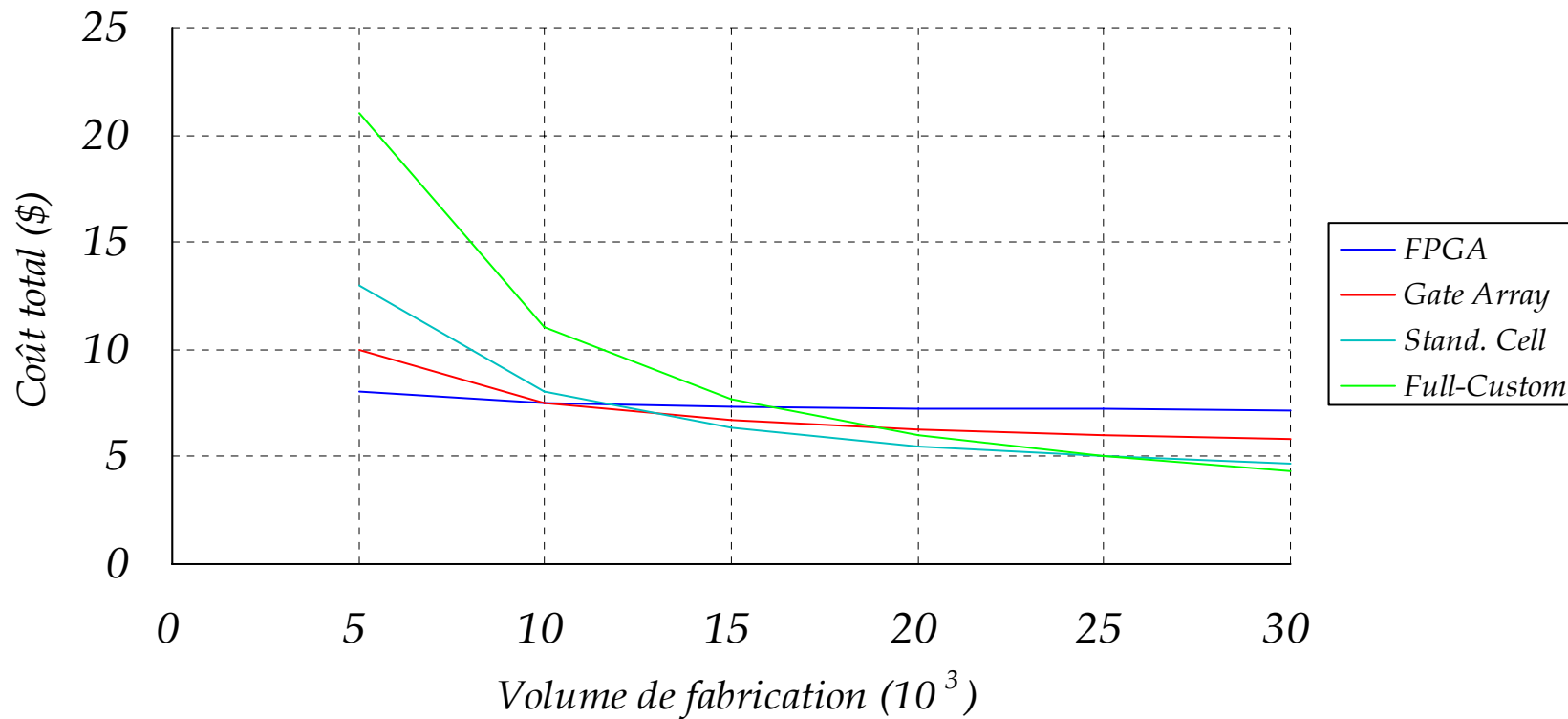
Source : Application-Specific Integrated circuits

4. Aspect économique (suite)



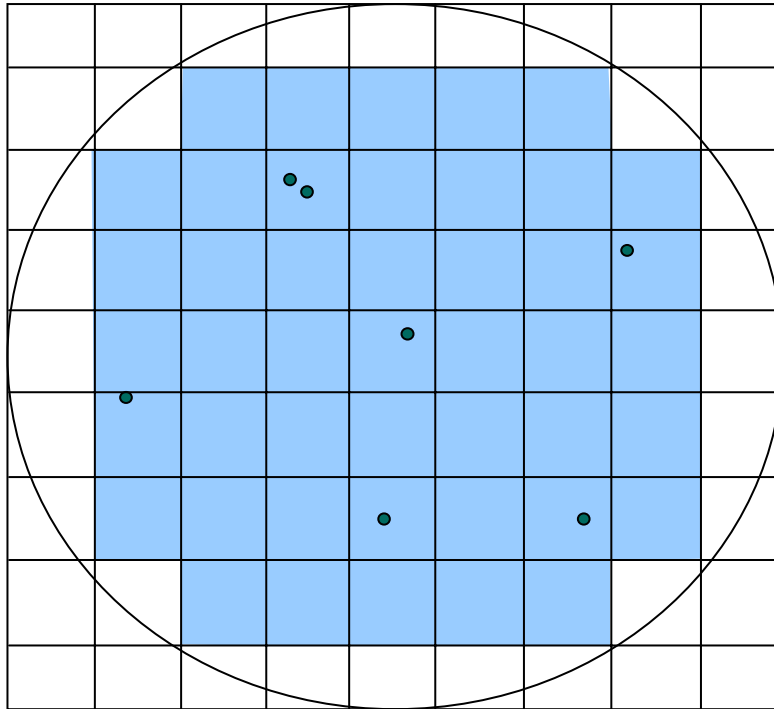
Coût total vs. volume de fabrication pour les différents styles de conception

4. Aspect économique (suite)

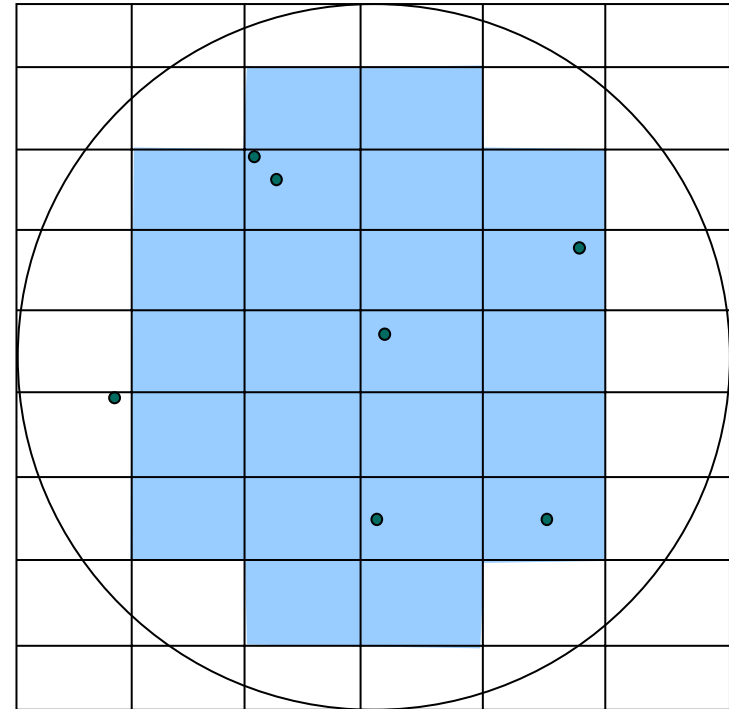


Coût de revient d'un IC vs. volume de fabrication pour les différents styles de conception

4. Aspect économique (suite)



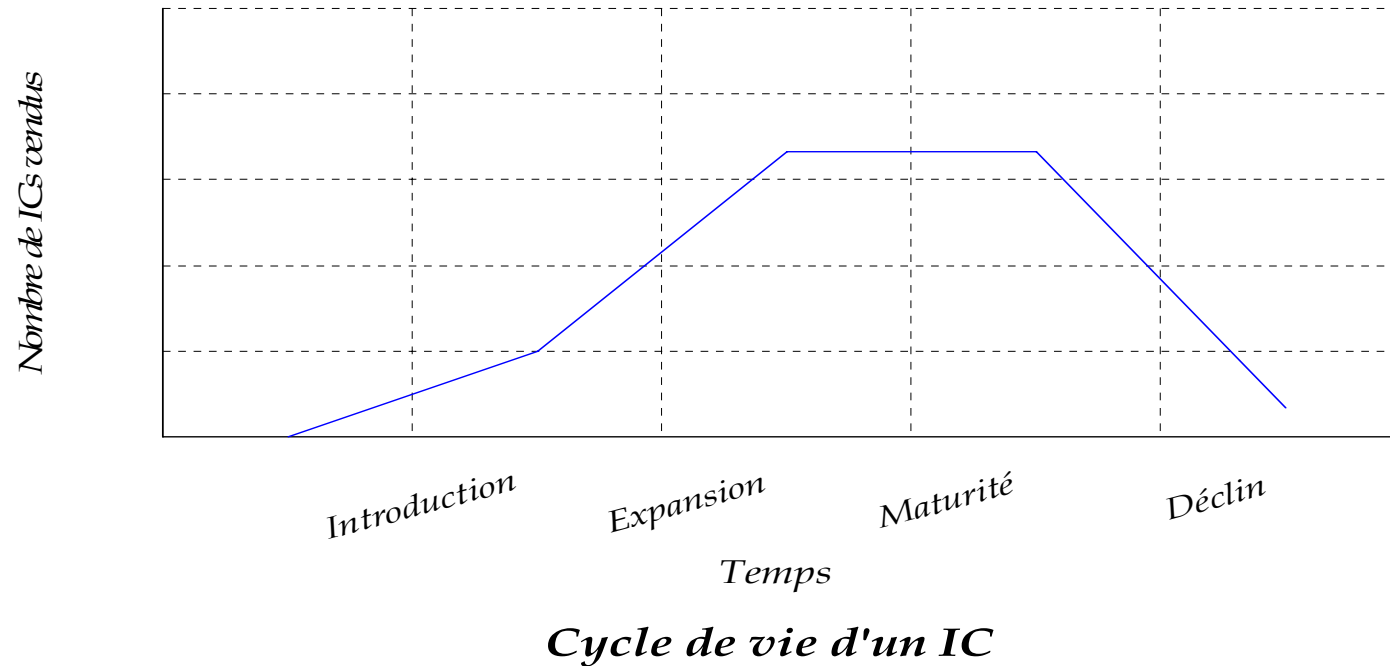
$$\text{Rendement} = 39/45 = 87 \%$$



$$\text{Rendement} = 19/24 = 79 \%$$

Rendement du processus de fabrication vs. la surface

4. Aspect économique (suite)

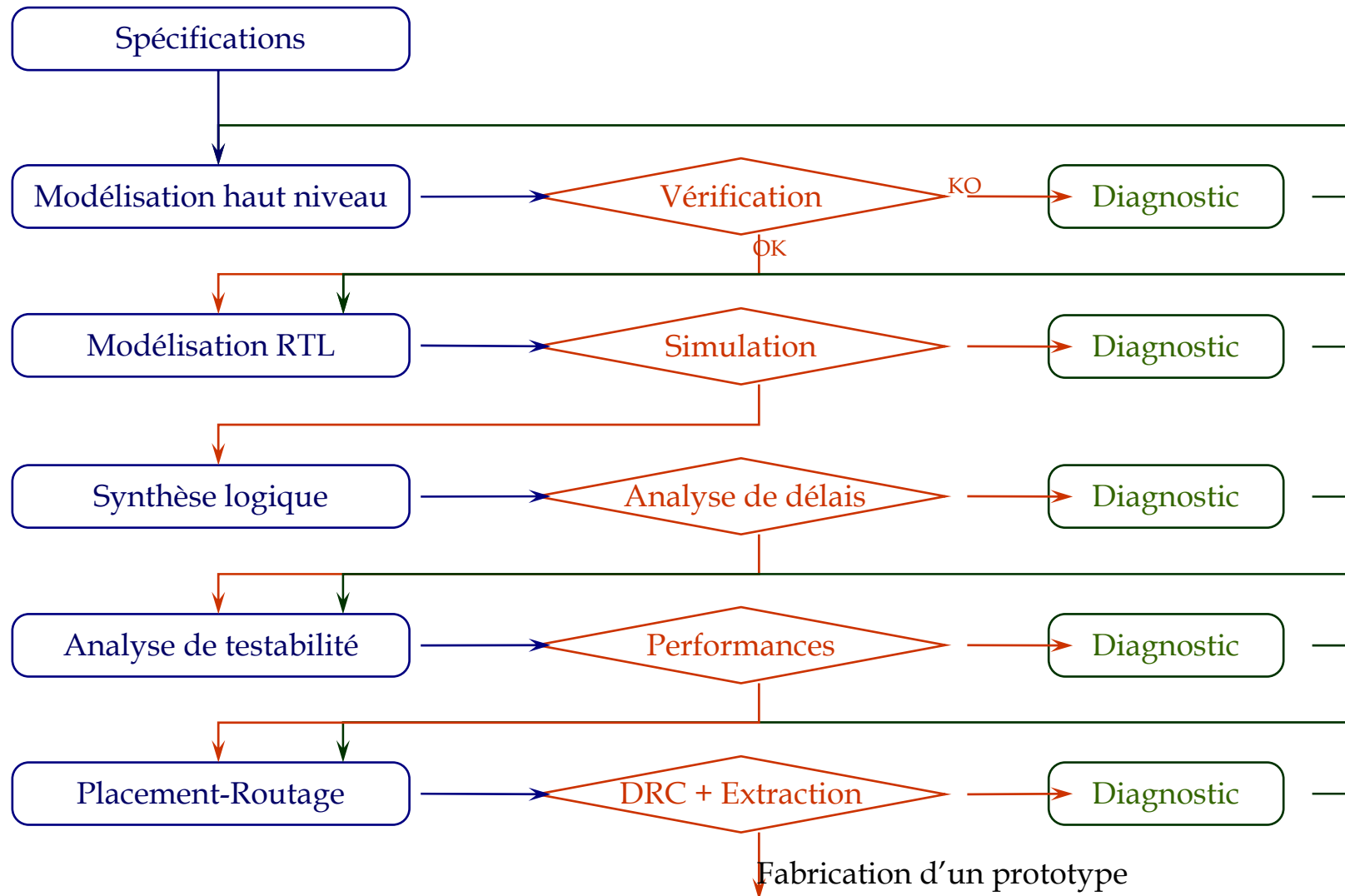


Les profits tirés d'un IC dépendent du :

- ♦ Temps de mise en marché TTM « Time To Market »



5. Flot de conception des ICs



.../...

5. Flot de conception : Spécification

Étape de création d'un modèle de référence pour le circuit à concevoir (formalisation des requis).

Format de spécification

- ◆ Spécification textuelle
- ◆ Spécification exécutable
 - ❖ Utilisation d'un langage de programmation (e.g. langage C)
 - ❖ Utilisation d'un langage HDL haut niveau (e.g. Système C)
 - ❖ Utilisation du langage VHDL ou Verilog
 - ❖ Utilisation d'un langage de spécification (e.g. SpecC, UML, SDL)
- ◆ Spécification formelle
 - ❖ Utilisation de modèles et de formules mathématiques pour décrire le circuit (e.g. équations, FSM, BDD, ...etc)

5. Flot de conception : Modélisation

Étape de description du circuit intégré suivant un niveau d'abstraction :

- ◆ Niveau comportemental « Behaviour »
 - ❖ Expressions
 - ❖ Algorithmes
- ◆ Niveau structurel « structural »
 - ❖ Portes
 - ❖ Registres
- ◆ Niveau physique « Layout »
 - ❖ Rectangles
 - ❖ Circuits

5. Flot de conception : Vérification et simulation

Étape de validation du modèle par rapport à la spécification

Plusieurs types de vérification :

- ◆ Simulation
 - ❖ Simulation au niveau comportemental (haut niveau)
 - ❖ Simulation au niveau logique
 - ❖ Simulation au niveau interrupteur
 - ❖ Simulation électrique
- ◆ Vérification formelle
- ◆ Émulation

5. Flot de conception : Synthèse

Étape de transformation du modèle d'un niveau d'abstraction au niveau plus bas

3 niveaux de synthèse

- ♦ Synthèse comportementale (haut niveau)
- ♦ Synthèse RTL
- ♦ Synthèse logique (bas niveau)

La synthèse permet :

- ♦ De travailler au niveau système
- ♦ D'optimiser le circuit pour :
 - Minimiser la surface
 - Minimiser les délais des chemins critiques
 - Minimiser la consommation
 - Faciliter le test du circuit (synthèse en vue du test)

5. Flot de conception : Analyse des délais

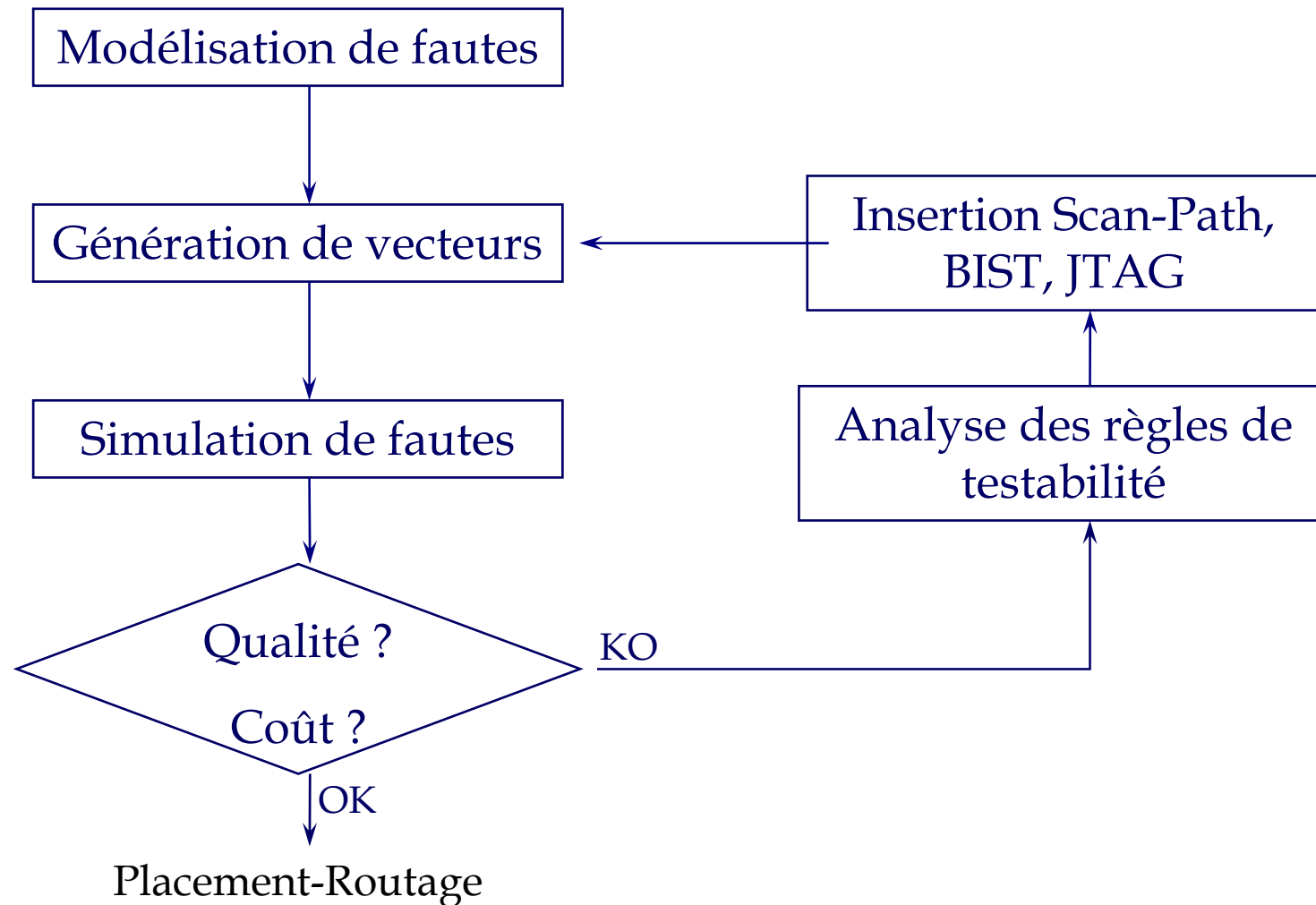
Pourquoi l'analyse des délais ?

- ◆ Pour vérifier les contraintes de temps
 - ❖ Temps de setup
 - ❖ Temps de hold
 - ❖ Chemins critiques

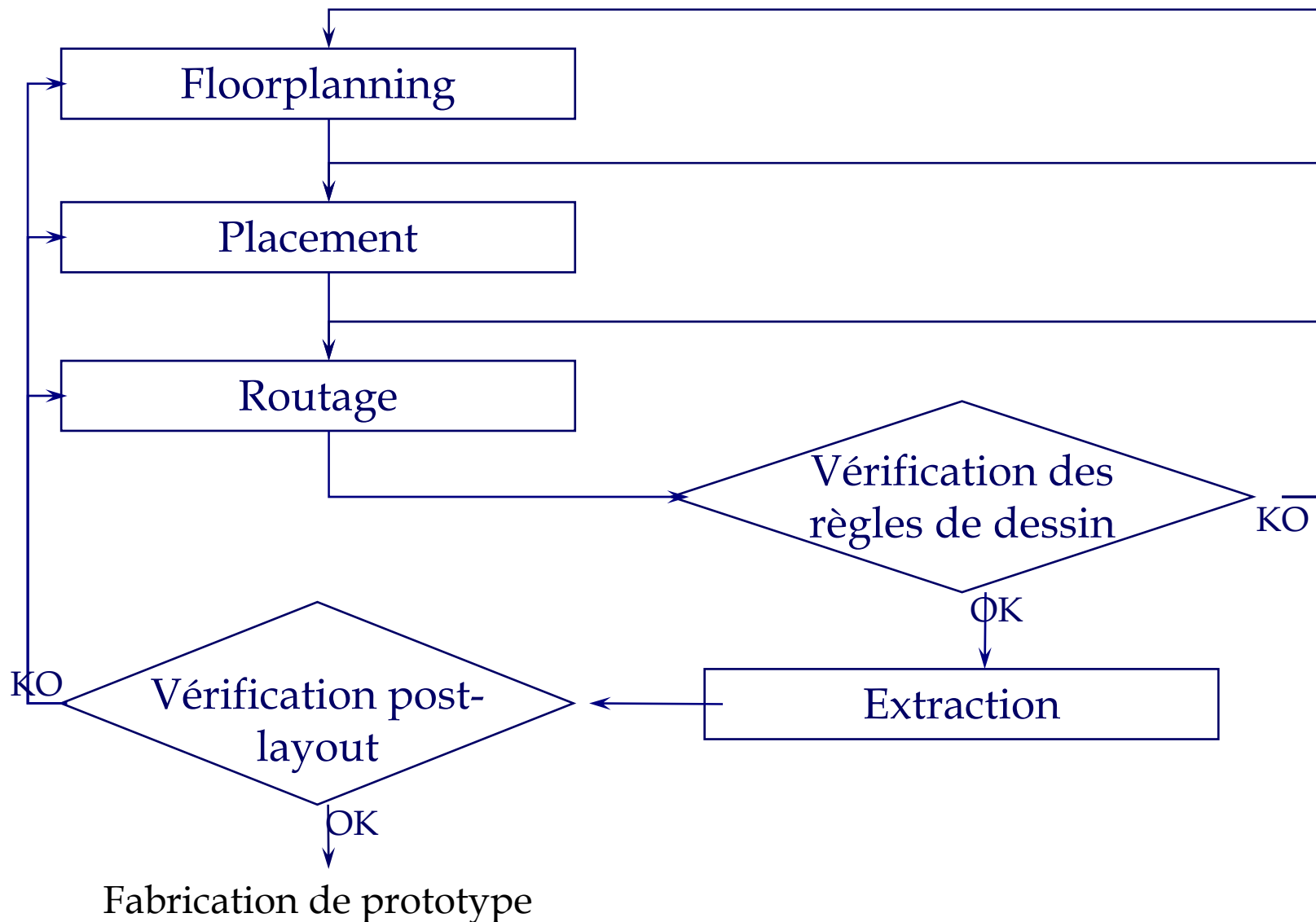
Comment ?

- ◆ En se basant sur :
 - ❖ Les délais de chaque porte
 - ❖ Fanin et fanout de chaque porte
 - ❖ Les délais de routage

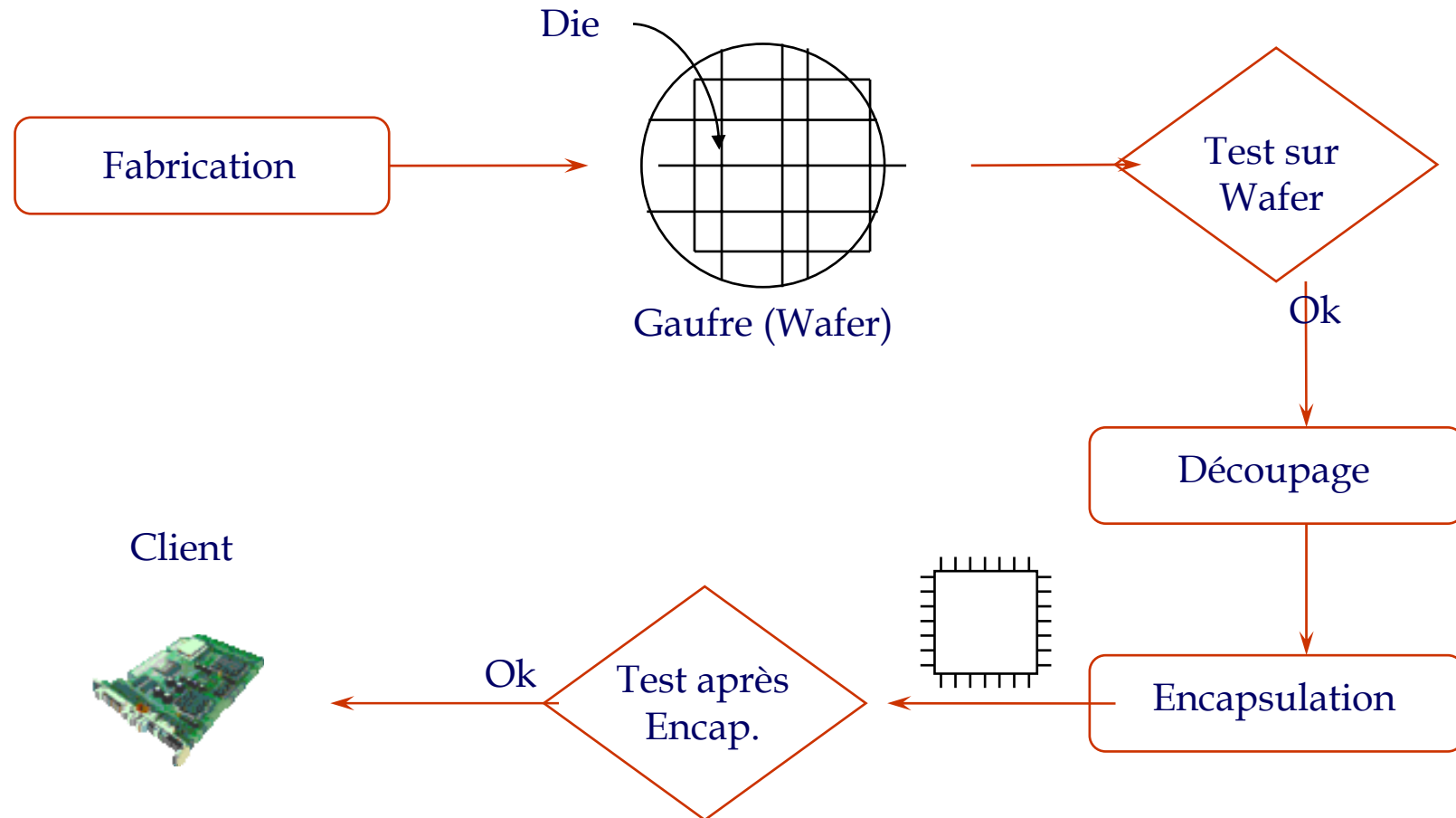
5. Flot de conception : Analyse de testabilité



5. Flot de conception : Placement-Routage



5. Flot de conception : Fabrication



5. Flot de conception : Conception hiérarchique

Méthode diviser pour régner

Trois approches de conception :

- ♦ Approche « Top-Down »
 - ❖ On part du circuit et on le décompose en sous blocs et ainsi de suite jusqu'à arriver aux blocs réalisables
- ♦ Approche « Bottom-Up »
 - ❖ On part de petits blocs et on forme des blocs de plus en plus complexes jusqu'à arriver au circuit final
- ♦ Approche combinant les deux précédente

Avantages :

- ♦ Faciliter la conception
- ♦ Diminuer le TTM
- ♦ Diminuer le coût de la conception en réutilisant les modules déjà développés

5. Flot de conception : Conception hiérarchique (suite)

Formes de partitionnement

- ◆ Fonctionnelle (algorithmique)
 - ❖ Des fonctions (algorithmes) différentes pour chaque bloc
 - ❖ Exemples :
 - Additionneur/multiplicateur
 - Acquisition/traitement
- ◆ Physique
 - ❖ Des contraintes physiques différentes pour chaque bloc
 - ❖ Exemple :
 - Numérique/analogique pour les circuits mixtes
 - Contrôle/chemin de données pour les microprocesseur
 - Élément de base/élément de routage pour les FPGA
- ◆ Pour la réutilisation
 - ❖ Certains blocs (bus, périphériques, ponts, mémoires, ...etc) sont utilisés dans plusieurs systèmes

Conclusion

Ce qu'il faut retenir :

- ◆ C'est quoi un circuit intégré IC
- ◆ Les différentes technologies de fabrication et styles de conception
- ◆ Coûts de fabrication d'un IC (coûts directs et indirects)
- ◆ Étapes de conception, en particulier :
 - ❖ Modélisation
 - ❖ Simulation
 - ❖ Synthèse
 - ❖ Vérification
 - ❖ Placement-routage