

CONCEPTION ET TEST DE CIs

4. NOUVELLES EVOLUTIONS EN CONCEPTION DE CIRCUITS INTEGRES

4.1 Conception en sub-micronique profond

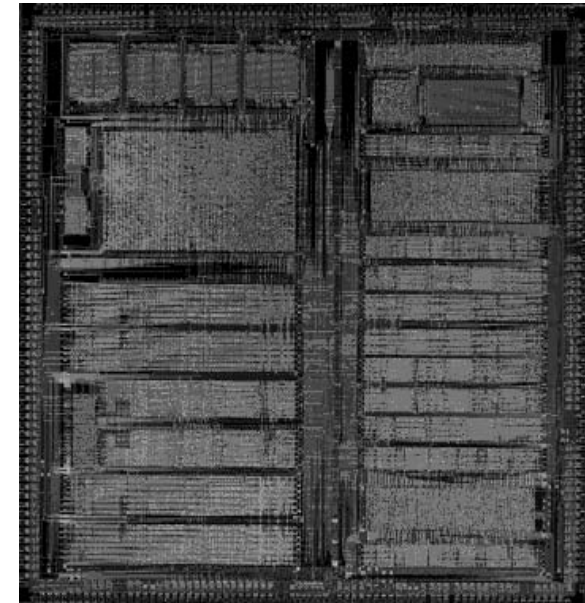
4.2 Systèmes complexes sur puce, réutilisation de la conception, composants virtuels

4. NOUVELLES EVOLUTIONS - Sub-micronique

Qu'est-ce qu'un circuit en sub-micronique profond ?

- ▶ Circuit de grande dimension, rapide, techno. inférieure à $0.35\ \mu\text{m}$
 - taille du circuit
 - fréquence d'horloge
 - puissance

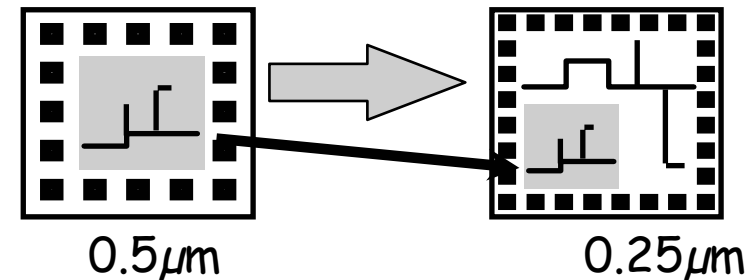
Un circuit de 40 000 portes à 50 MHz ne nécessite pas une conception en submicronique profond, même en techno. $0.18\ \mu\text{m}$.



4. NOUVELLES EVOLUTIONS - Sub-micronique

Problématique

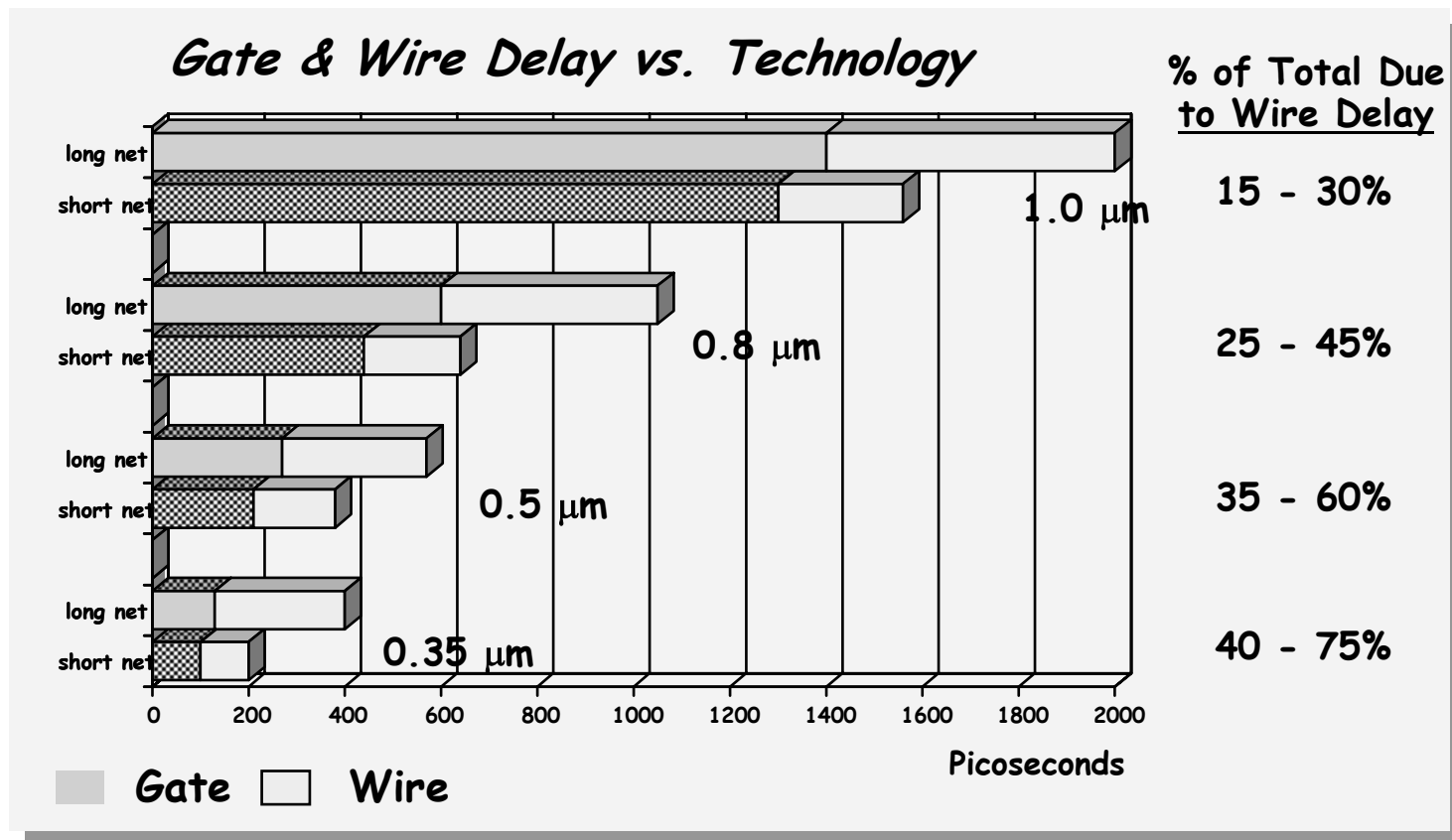
De manière générale, la taille des puces reste approximativement la même d'une génération à l'autre : c'est le nombre de composants dans le circuit qui augmente.



- Tout ce qui était négligeable avec des technologies proches du μm devient non négligeable en sub-micronique profond !!!

4. NOUVELLES EVOLUTIONS - Sub-micronique

Caractéristique principale



4. NOUVELLES EVOLUTIONS - Sub-micronique

Caractéristique principale

En sub-micronique profond, le délai des interconnexions domine le délai des portes

A cause des effets électriques liés à l'augmentation de la densité d'intégration (augmentation des capacités d'interconnexions), le délai des interconnexions diminue moins vite que le délai des portes avec la technologie.

4. NOUVELLES EVOLUTIONS - Sub-micronique

Impact de la conception en sub-micronique profond

Impact sur :

- le modèle temporel des portes logiques
- le modèle temporel des interconnexions
- l'extraction de parasites (R et C des interconnexions)
- le routage des signaux et le placement des cellules

➤ Impact sur le flot de conception

Pour prévoir avec précision les performances du circuit le plus tôt possible lors de la conception et ne pas avoir de mauvaises surprises après la fabrication, il faut améliorer tous ces éléments.

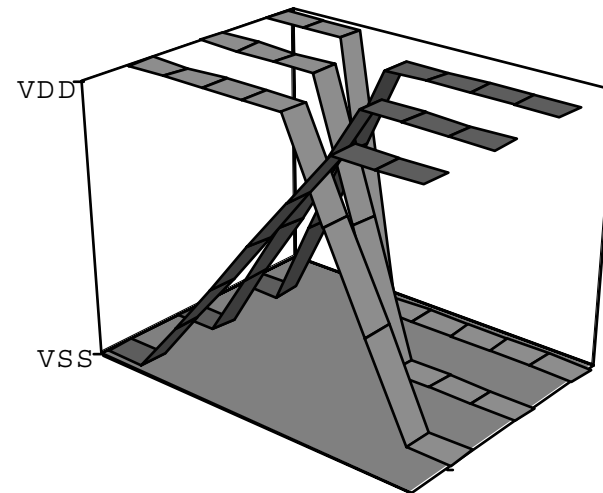
4. NOUVELLES EVOLUTIONS - Sub-micronique

Meilleure modélisation des délais des portes logiques

On doit mieux modéliser le fait que le "slew-rate" (la rampe) de l'entrée affecte le délai de la porte

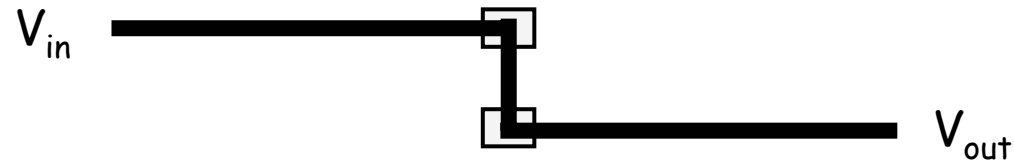
Deux approches :

- ▶ Table look-up model
- ▶ Equation based model

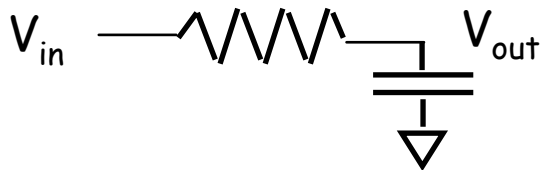


4. NOUVELLES EVOLUTIONS - Sub-micronique

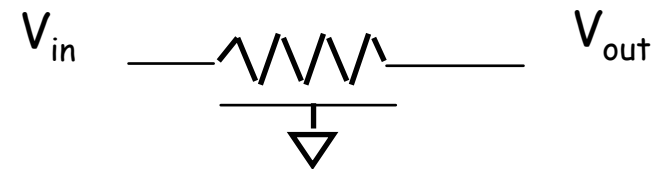
Meilleure modélisation des délais d'interconnexions



Comment modéliser une interconnexion ?



Lump Model
 $t = rcL^2$

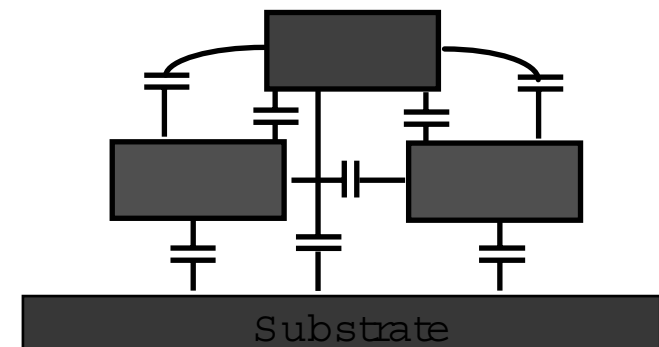


Modèle plus précis :
Distributed RC Line
Using Elmore algorithm
 $t = rcL^2/2$

4. NOUVELLES EVOLUTIONS - Sub-micronique

Meilleure extraction des parasites des inter. (R et C)

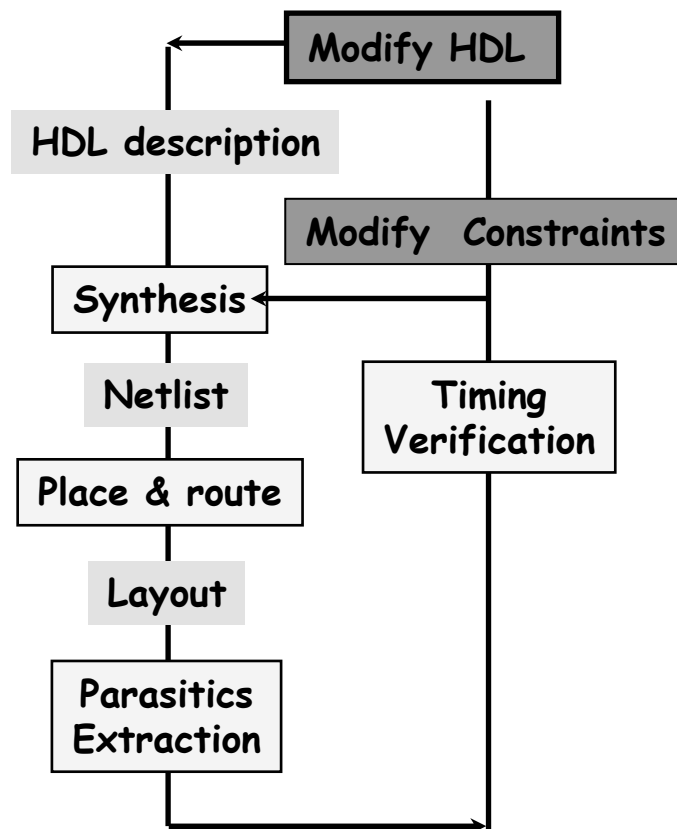
Les capacités entre niveaux de métal ("fringe capacitance"), la diaphonie (capacité latérale entre deux lignes d'un même niveau de métal), les résistances d'interconnexions et de contacts, sont particulièrement importantes en sub-micronique, et doivent être prises en compte.



Les erreurs commises en ne considérant pas ces capacités et ces résistances peuvent causer des surprises au niveau temporel.

4. NOUVELLES EVOLUTIONS - Sub-micronique

Améliorer le flot de conception



Flot de conception conventionnel

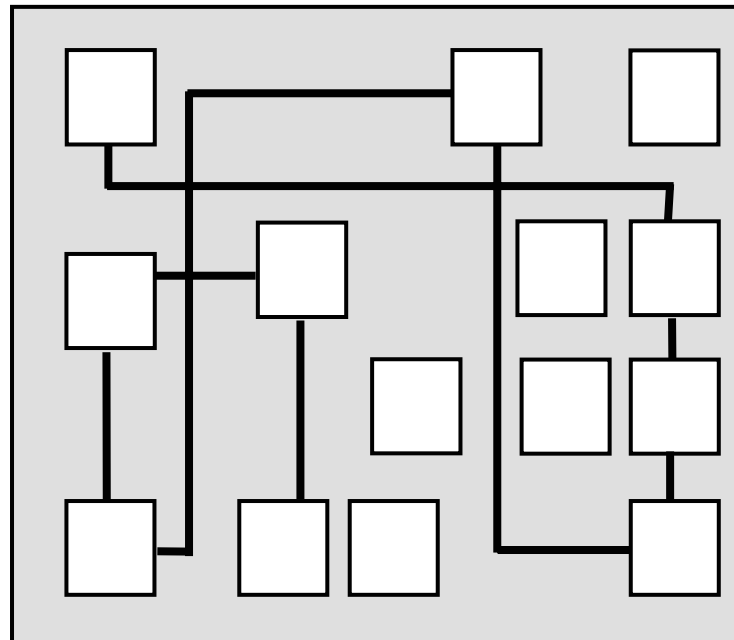
- A partir d'une description HDL, synthétiser une netlist (niveau porte)
- Placer et router la netlist (les portes)
- Vérification temporelle après routage
- La plupart du temps, les contraintes temporelles ne sont pas vérifiées
- Changer la description HDL ou changer les contraintes et re-synthétiser
- Refaire placement et routage
- Répéter jusqu'à :
 - respect des contraintes temporelles

Plus valable en sub-micronique profond

4. NOUVELLES EVOLUTIONS - Sub-micronique

Améliorer le flot de conception

Exemple de problème avec le flot de conception conventionnel



Le respect des contraintes temporelles devient difficile

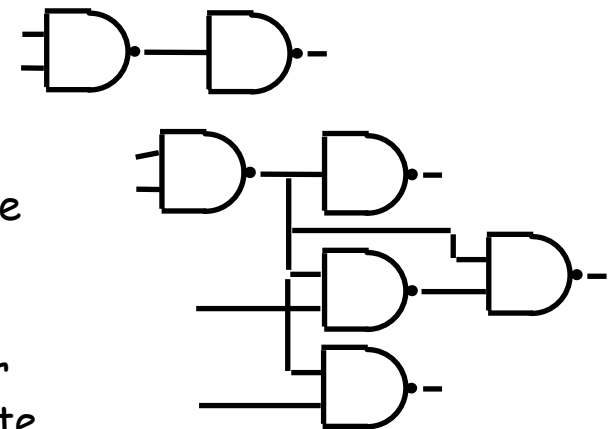
4. NOUVELLES EVOLUTIONS - Sub-micronique

Améliorer le flot de conception

Le problème est que, comme on ne connaît pas le placement des blocs avant la synthèse, on ne peut pas prédire les longueurs des interconnexions. Cela n'était pas gênant avant car on négligeait les délais d'interconnexions. Comme ceux-ci ne sont plus négligeables aujourd'hui, il y a problème.

Comment estimer les délais d'interconnexions pendant la synthèse ?

- Seule la netlist est connue. Le placement et le routage ne sont pas fait.
- Pour un nœud, tout ce que l'on connaît est :
 - combien de portes lui sont connectées
 - la taille de la netlist
- Un nœud connecté à beaucoup de portes est plus à même d'avoir de nombreuses interconnexions qu'un nœud connecté à peu de portes
- Un nœud dans une grosse netlist est plus à même d'avoir une interconnexion longue que dans une netlist plus petite



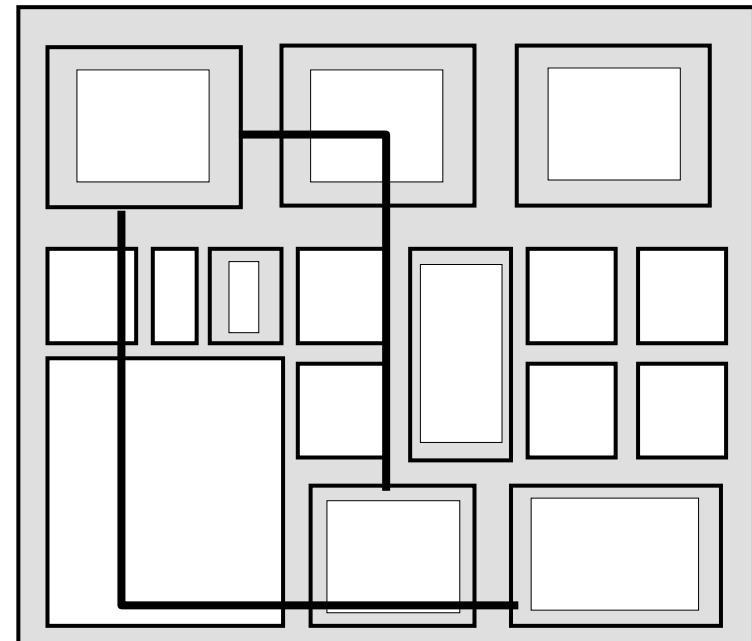
4. NOUVELLES EVOLUTIONS - Sub-micronique

Améliorer le flot de conception

Introduire un nouvel outil, le Floorplanner, qui permet de prédire très tôt les délais d'interconnexions en utilisant les connaissances sur les portes décrites précédemment.

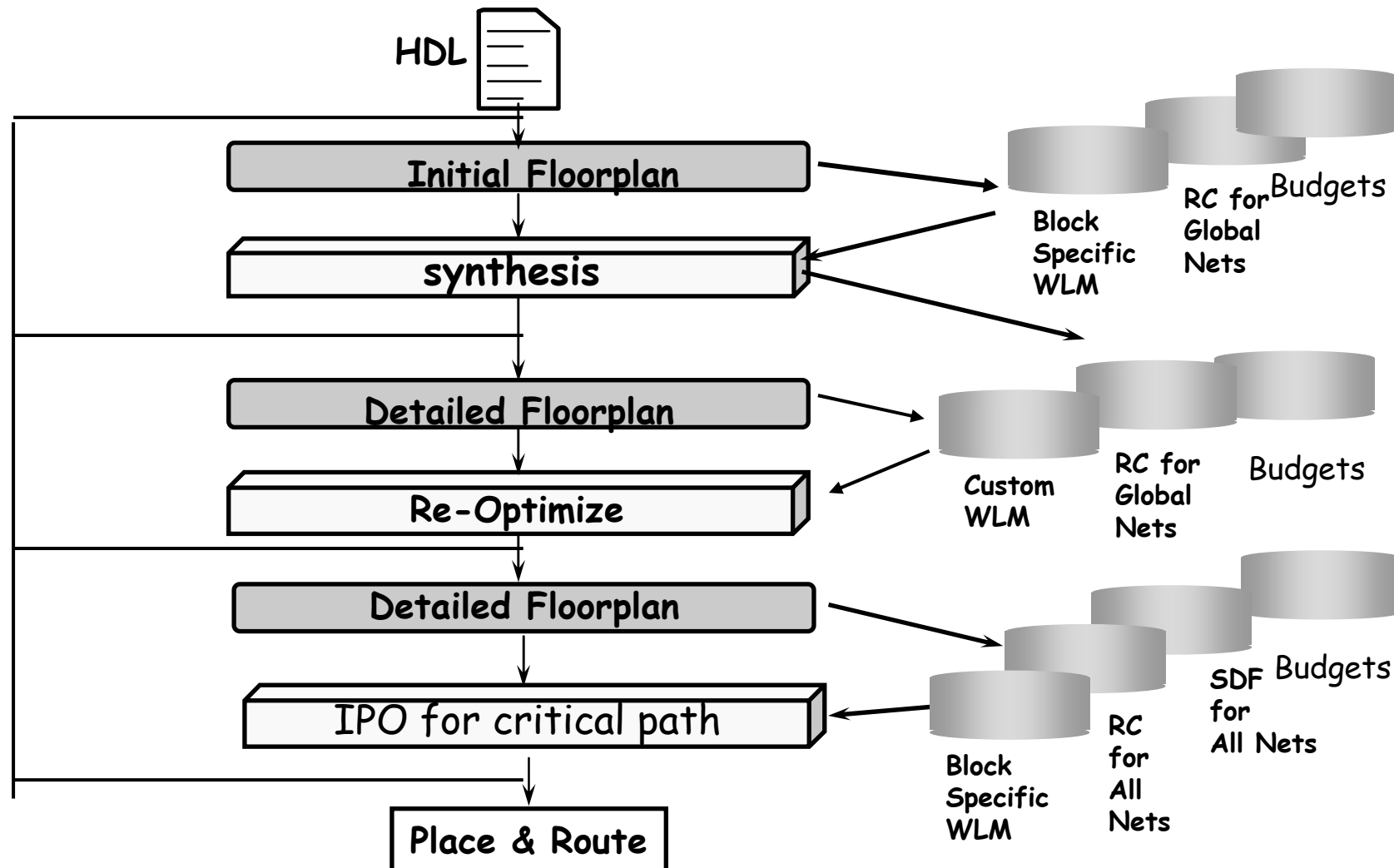
Travail du Floorplanner

- Partir d'une description HDL
- Partitionner le circuit en Blocs
- Placer les Blocs
- Estimer les délais d'interconnection entre blocs
- Budgetiser les contraintes temporelles de chaque bloc
- Generer le "Wire Load Model" de chaque bloc



4. NOUVELLES EVOLUTIONS - Sub-micronique

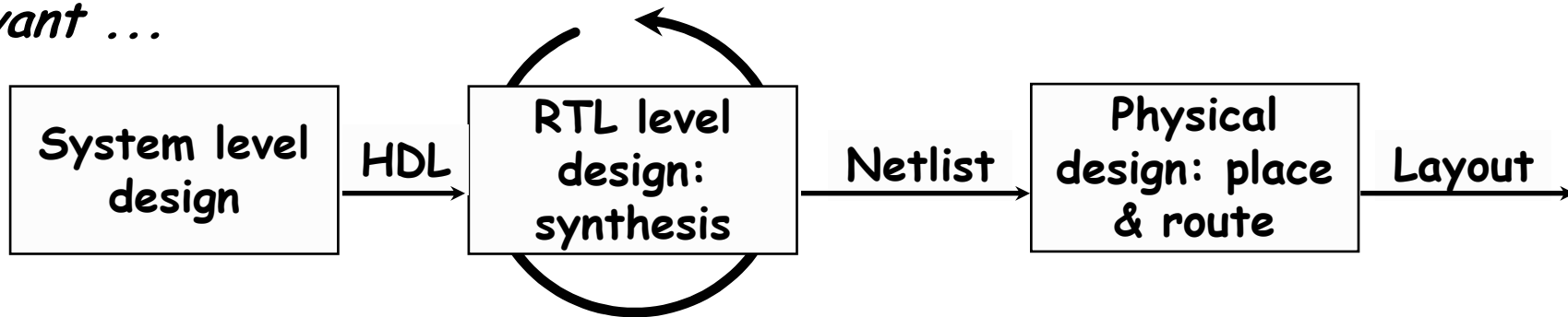
Nouveau flot de conception avec le Floorplanner



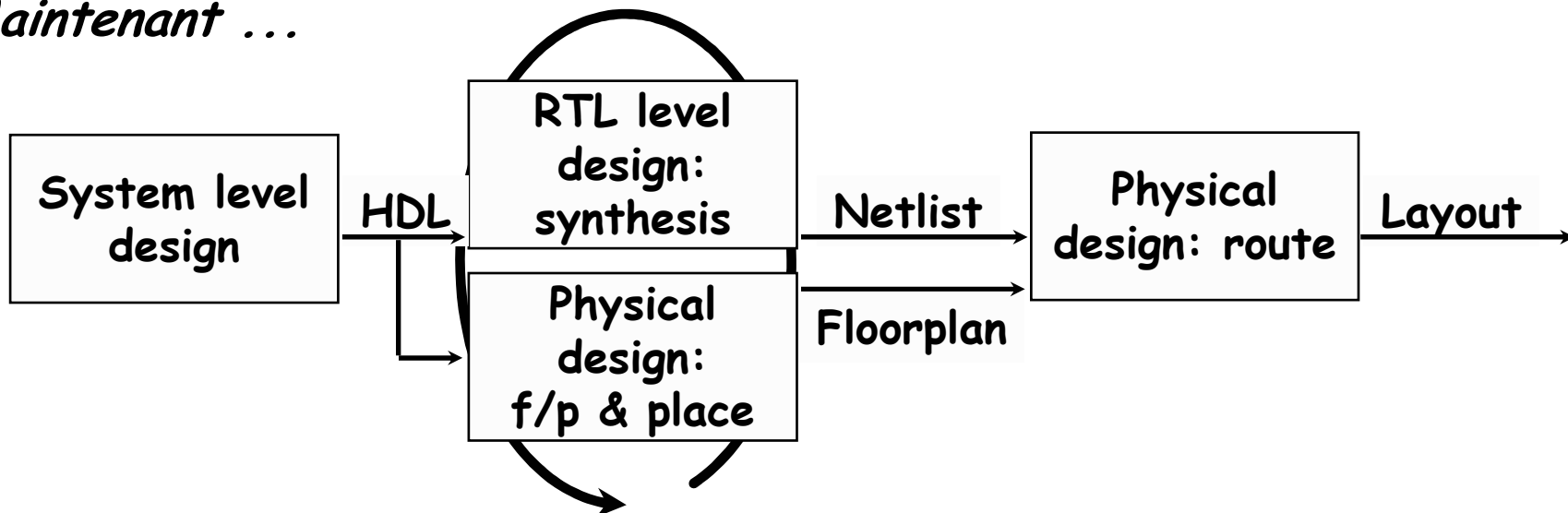
4. NOUVELLES EVOLUTIONS - Sub-micronique

La conception devient davantage parallèle

Avant ...

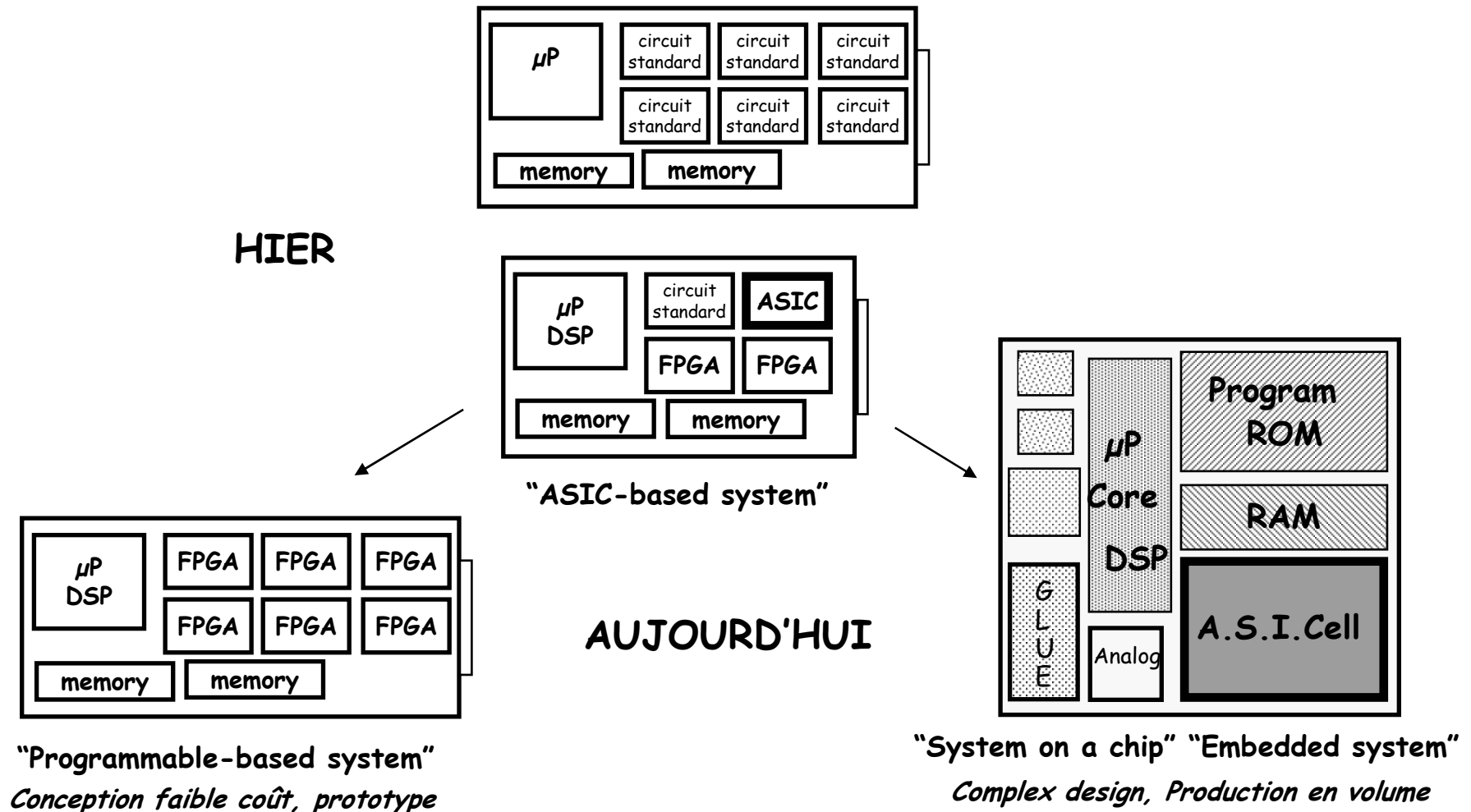


Maintenant ...



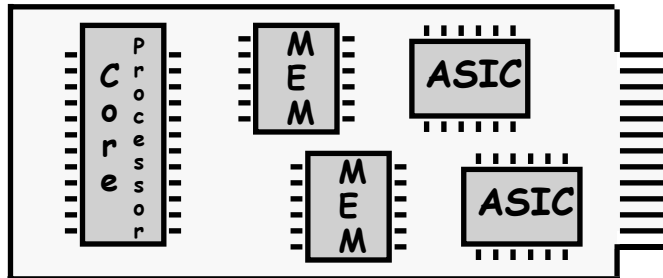
4. NOUVELLES EVOLUTIONS - Systèmes sur puce

Systèmes complexes sur puce



4. NOUVELLES EVOLUTIONS - Systèmes sur puce

Carte / System sur puce : similaire ?



COMPOSANTS

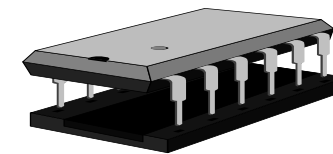
Software Development

Line delay

Board Level Test

ASIC System Verification

Time to market...



Core
Processor
Memory
ASIC

COMPOSANTS VIRTUELS

Software Development

Interconnect delay (sub)

Full-chip Integration Test

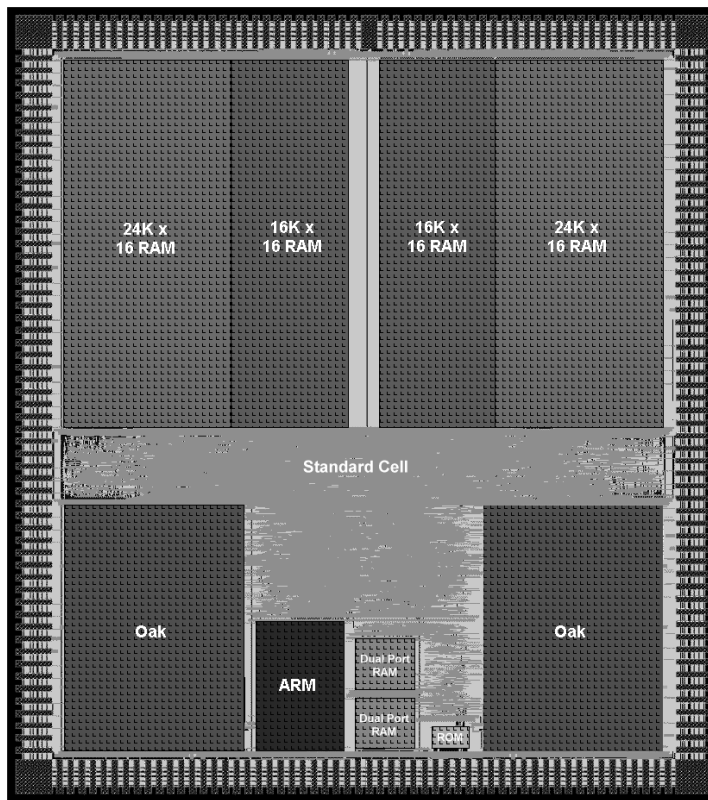
ASIC Sign-off Verification

Time to market ...

La conception d'une carte ou d'un système sur puce est **SIMILAIRE !**

4. NOUVELLES EVOLUTIONS - Systèmes sur puce

Systèmes complexes sur puce - exemple



Circuit pour la téléphonie
Internet (Cadence)

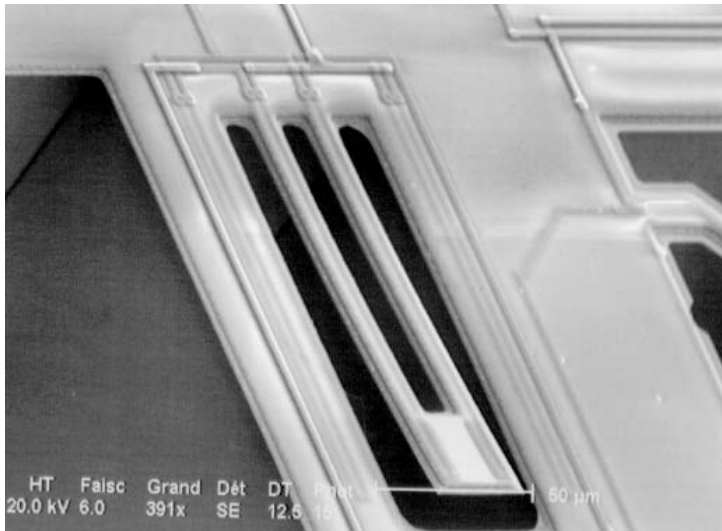
Complexité moyenne
10 millions de
transistors / 50Mhz.

IP Based

4. NOUVELLES EVOLUTIONS - Systèmes sur puce

Autres systèmes complexes sur puce

- ▶ Micro-systèmes (capteur, traitement, actionneur)



Capteur d'accélération ou de chocs. Usinage en volume (polysilicium piezzorésistif)



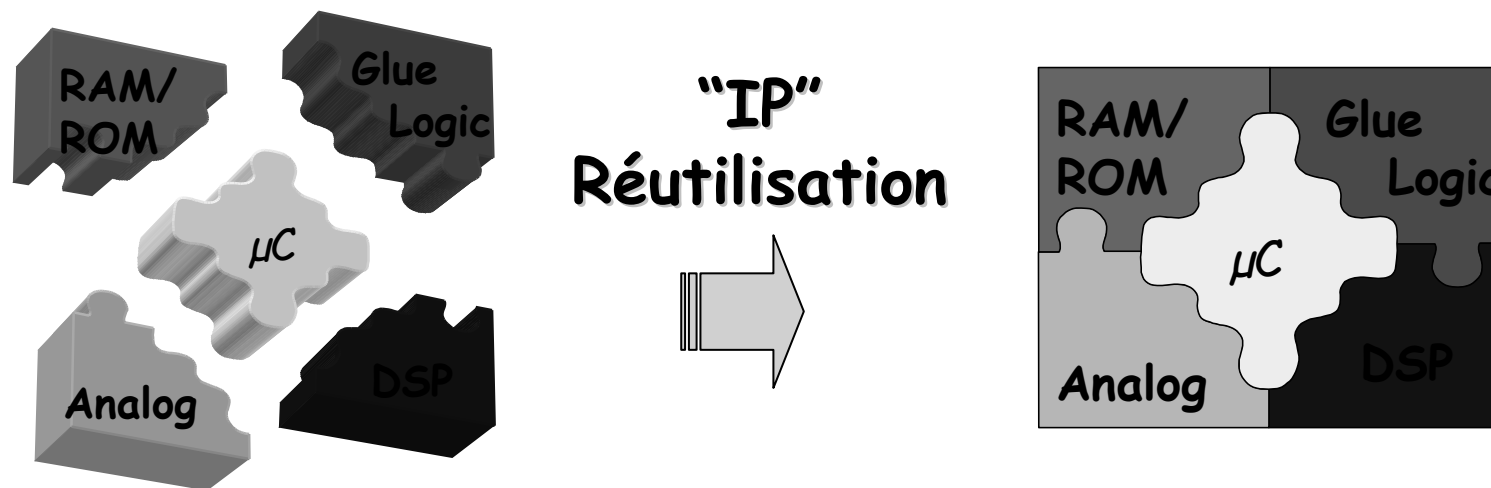
Technologie CMOS 1.0 μm

Fabriqué par ATMEL/ES2 (1996)

4. NOUVELLES EVOLUTIONS - Systèmes sur puce

Réutilisation de la Conception (Design Reuse)

CONTEXTE : complexité croissante des CIs (technologies & architectures) et accélération du renouvellement des gammes de produits (time to market).



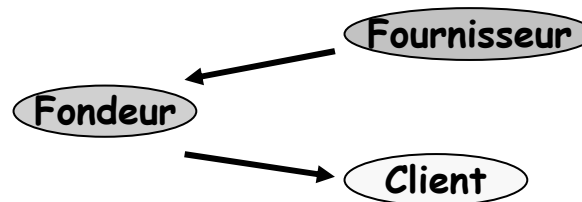
CONSEQUENCE : réutilisation et assemblage de briques au niveau fonctionnel ou physique ("layout") fournies par des sociétés spécialisées et protégées par des règles de propriétés intellectuelles (IP) : composants "virtuels"

4. NOUVELLES EVOLUTIONS - Systèmes sur puce

Composants virtuels - niveaux de description

Hard macro

layout figé (circuit de type "sur mesure"), modèles de description et de simulation comportementale fournis, caractéristiques temporelles fournies également.



Soft macro

description niveau porte, contraintes de placement et de routage (floorplanning) fournies au concepteur (client), fichiers de simulation logico-temporelle également fournis.

RTL macro

description comportementale (VHDL ou Verilog) synthétisable, benchmarks de Test fournis au concepteur.

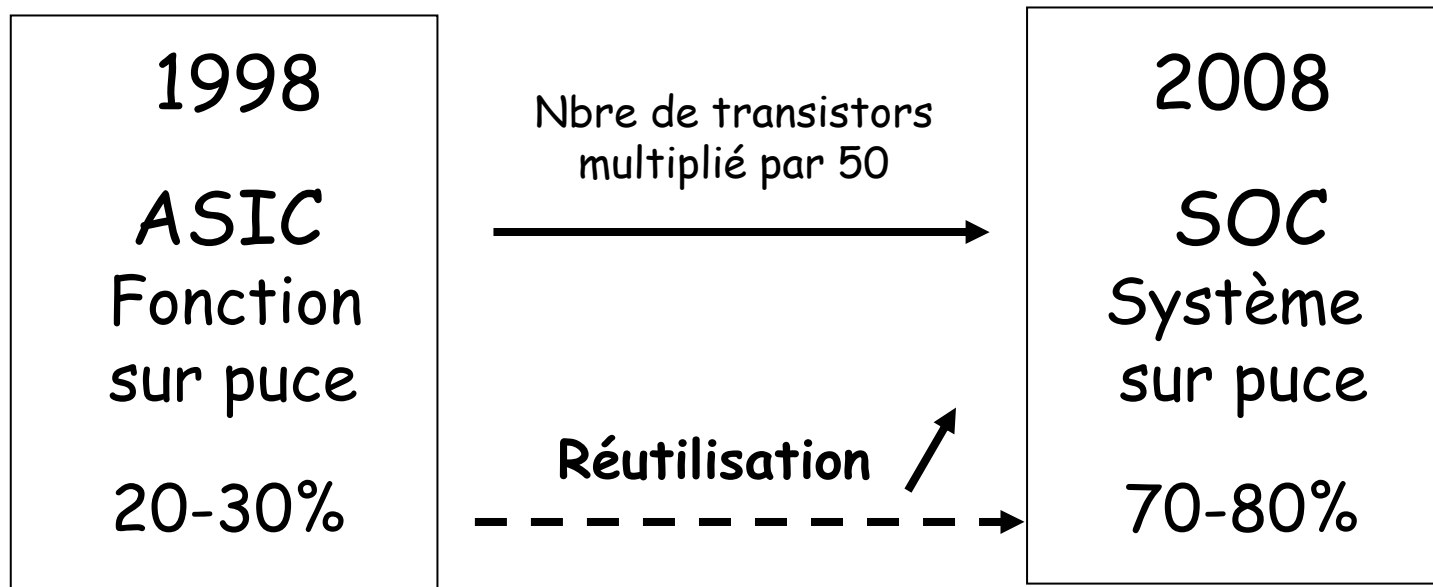
4. NOUVELLES EVOLUTIONS - Systèmes sur puce

Composants virtuels - comparaison

Criteria	RTL	Soft	Hard
Flexibilité	Très élevée	élevée	Très faible
Changement de technologie	transparent	facile	difficile
Portabilité des outils de CAO	transparent	facile	parfois
Contrôle des performances	élevé	limité	optimal
Protection Intellectuelle	Très faible	faible ?	élevée

4. NOUVELLES EVOLUTIONS - Systèmes sur puce

Systèmes complexes sur puce - évolution



Réutilisation (interne / externe) : processeurs (ARM...), DSP (OAK, d950...), RAM, Interfaces, Bus, Gestion alimentation

Source SIA