

Test des Circuits et Systèmes Intégrés (TCSI)

Systèmes-sur-puce (SoC), circuits reconfigurables, mémoires, circuits analogiques & mixtes, microsystèmes

CONTACT : F. Azais

Composition de l'équipe

Permanents :

F. Azais 70% (CR)

S. Bernard 40% (CR)

Y. Bertrand 60% (PR)

M. Comte (MCF depuis 09/04)

M.L. Flottes (CR)

P. Girard (DR)

C. Landrault (DR)

L. Latorre 10% (MCF)

F. Maily 50% (MCF depuis 09/05)

P. Nouet 30% (PR)

S. Pravossoudovitch (PR)

M. Renovell (DR)

B. Rouzeyre 90% (PR)

A. Virazel (MCF)

Thèses en cours (13¹) :

1ère inscription en 2002 : D. Martin, S. Tanguy

1ère inscription en 2003 : N. Badereddine

1ère inscription en 2004 : U. Campanella², J. Dalmasso,

O. Ginez, V. Kerzerho, L. Larguier, A. Rousset

1ère inscription en 2005 : M. Doulcier, A.T. Ho,

O. Leman, A. Ney

Post-doctorants :

A. Zenteno (01/03 – 12/03), J. Pouget (09/03 – 09/04), F. Maily (09/04 – 08/05)

Autres :

Chercheur invité : H.J. Wunderlich (Professeur, Univ Stuttgart, Allemagne, 03/05 - 07/05)

Production en chiffres pour la période 2002-2005

Thèses	13 ³	
HDR	1	
Brevets	1 extension internationale	
	Audience internationale	Audience nationale
Livres	-	1
Chapitre d'ouvrages	1	1
Edition d'ouvrages	4 ⁴	
Revue avec comité de lecture	28	
Conférences avec actes publiés et comité de lecture	71	
Conférences invitées	12	1
Autres conférences	51	11

Faits marquants

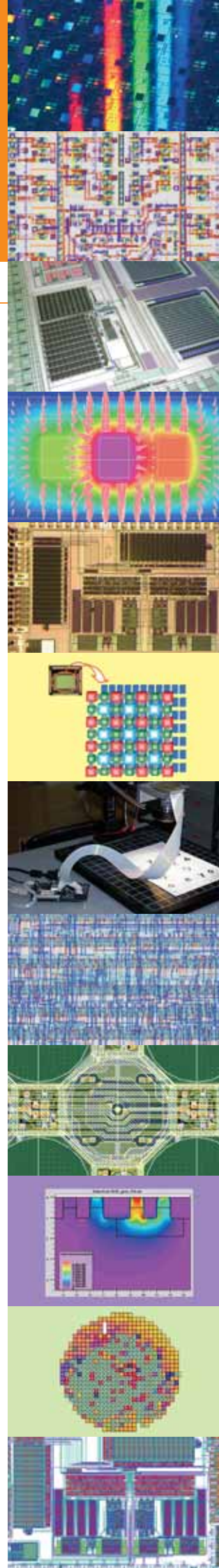
- Election de M. Renovell comme vice-président du TTTC (Test Technology Technical Council) en décembre 2003
- Ouvrage collectif « Test de Circuits et Systèmes Intégrés », Ed. Hermès
- Organisation de 9th IEEE European Test Symposium 2004 (ETS'04)
- 2 « Best Paper Award » : IEEE European Test Symposium 2004 (ETS'04) et IEEE Workshop on Design & Diagnostics of Electronic Circuits and Systems 2005 (DDECS'05)
- 2 nominations « Doctoral Thesis Award » : IEEE VLSI Test Symposium 2005 (VTS'05)
- Election de P. Girard comme vice-président de l'ETTTC (European Test Technology Technical Council) en octobre 2005

1 - Dont 1 thèse 50% Projet TCSI – Projet CCSI

2 - Co-tutelle avec UAB, Espagne

3 - Dont 2 thèses 50% Projet TCSI – 50% Projet CCSI

4 - 50% Projet TCSI – 50% Projet CCSI



MICROELECTRONIQUE

◆ Coopérations internationales

- Univ. Porto Alegre (Brésil), « Prototypage, Vérification et Test de Systèmes Electroniques sur Silicium », Projet CAPES COFECUB n° 337/01
- Institut Jozef Stefan (Slovénie), « Techniques de Conception en Vue du Test basées sur le Standard IEEE 1149.4 », Projet PROTEUS n° 02619SE
- Univ. Lancaster (UK), « Design for Testability of Micro- and Nano-Systems », Réseau d'Excellence Européen PATENT-DfMM
- Univ. Twente (Pays-Bas), « Design for Testability of Micro- and Nano-Systems », Réseau d'Excellence Européen PATENT-DfMM
- Univ. Autonome de Barcelone (Espagne), « Design & Test of Integrated FBAR and MEMS Resonators », Co-tutelle thèse H. Campanella

◆ Coopérations nationales

- IEF / Univ. Paris Sud, « Design for Testability of Micro- and Nano-Systems », Réseau d'Excellence Européen PATENT-DfMM
- LCIS / INPG, « Utilisation de données de validation pour le test matériel », Co direction thèse M. Scholivé
- IXL / Univ. Bordeaux 1, « Conception de convertisseurs autocalibrés », Co direction thèse V. Fresnaud
- CEA / LIST, « Fiabilisation d'architectures multi-cœurs embarqués temps réel », Direction thèse A.T. Ho
- DGA, « Test Booléen de FPGAs Hiérarchiques », Direction thèse S. Tanguy

◆ Animation

- **Président Comité Editorial** : 1 journal (ASP Journal of Low Power Electronics)
- **Membre Comité Editorial** : 4 journaux (Journal of Electronic Testing: Theory and Applications, IEEE Design & Test, IEEE Transactions on Computers, IOS Journal of Embedded Computing)
- **Président / Vice-Président Comité de Programme** : 4 conférences (IEEE European Test Conference 2004, IEEE East-West Design and Test Conference 2004, IFIP EUC Conference 2005, IEEE Design & Diagnostic of Electronic Circuits and Systems 2005)
- **Membre Comité de Programme** : 28 conférences (ITC, VTS, ATS, ETS, DAC, DATE, ICCAD, ICCD, VLSI-SOC, EUC, IOLTS, EDCC, PRDC, DELTA, DDECS, EWDT, LATW, IMSTW, DCIS, SDD, DBT, DSD, HLDVT, RAW, PATMOS, ICAQT, ICTW, WTW)
- **Membre Comité Exécutif** : IEEE Test Technology Technical Council (TTTC), DATE Conférence, DDECS Conférence, DELTA Conférence, ETS Conférence, DCIS Conférence
- **Organisation de Conférence** : 1st IST MARLOW workshop 2003, IEEE European Test Symposium 2004 (ETS'04), PATENT-DfMM Summer School 2005
- **Membre Comité Organisation** : IEEE European Test Symposium 2004 (ETS'04), IEEE International Workshop on Silicon Debug & Diagnosis 2004 (SDD'04)
- **Expert** : CEE, Canadian Scientific Foundation, Netherland Scientific Foundation, Irish Science Foundation, Italian Committee for Research Evaluation, DRRT Languedoc Roussillon
- **Responsable AS** : TESTSOC

◆ Contrats

- Contrat européen EUREKA-MEDEA+, ASSOCIATE.....(2001-2004)
- Projet européen IST-FP5, EuNICE-Test.....(2001-2003)
- Réseau thématique européen IST-FP5, MARLOW.....(2002-2005)
- Réseau d'excellence européen FP6, PATENT-DfMM.....(2004-2007)
- Contrat européen EUREKA-MEDEA+, NanoTEST.....(2005-2008)
- Contrat Industriel / Région PACA, STMicroelectronics.....(2003-2008)

◆ Partenaires industriels

- Atmel • CNES • EADS • Infineon • Intel Corp • Philips • STMicroelectronics • Synopsys • Temento

1. Problématique scientifique et positionnement

Les technologies microélectroniques ainsi que les chaînes de CAO actuelles permettent la conception de plus en plus rapide de circuits et systèmes intégrés très complexes en termes de nombre et nature des éléments actifs. Cet accroissement en complexité joint à une nécessité croissante de réduire les temps de mise sur le marché ne peut pas se faire au détriment de la qualité du produit fini. Un circuit, qu'il soit très simple ou très complexe, doit être réalisé conformément à son dossier de fabrication pour être utilisable. C'est son test qui en est le garant. Il s'agit par conséquent d'une étape essentielle dans le processus de fabrication et de mise sur le marché des nouveaux produits.

Les chercheurs du département Microélectronique travaillent dans cette thématique depuis de nombreuses années au cours desquelles ils se sont intéressés à des sujets très variés tels que : la modélisation des défauts, l'extraction des sites de pannes, la simulation de fautes, la génération automatique de vecteurs de test au niveau transistor interrupteur, l'équivalence de pannes, le test intégré de machines d'états finis, le test intégré de filtres numériques, le test et le diagnostic des fautes de délais, la synthèse pour le test.

Aujourd'hui, l'accroissement de complexité que permettent et induisent les technologies de fabrication pose de nouveaux défis du point de vue test. Il s'agit de gérer la complexité non seulement en termes de nombre de composants présents dans les systèmes et volume d'information à manipuler, mais aussi en terme de diversité des composants dans la mesure où les systèmes actuels intègrent de plus en plus de blocs fonctionnels hétérogènes (numérique, analogique, mémoire, RF, MEMS, etc.). Parallèlement à cette gestion de la complexité, la compréhension et la maîtrise des phénomènes physiques mis en jeu dans les nouvelles technologies sont bien entendu indispensables au développement de solutions de test efficaces pour garantir la qualité des produits actuels et à venir. Les défis à relever couvrent ainsi un large spectre allant du système jusqu'au dispositif physique élémentaire. Les travaux menés au sein de ce projet au cours des quatre dernières années s'intéressent à ces différents aspects et sont organisés selon cinq axes principaux :

- *Test des systèmes* : les objectifs sont de développer des méthodes et outils associés de conception permettant de tester les différents éléments constitutifs d'un système intégré, en considérant notamment les aspects liés à l'acheminement des données de test au sein du système,
- *Test des effets dynamiques* : les objectifs sont de développer des méthodes et outils permettant de tester, simuler et diagnostiquer les circuits intégrés en considérant les effets à caractère dynamique, et notamment les pannes introduisant un dysfonctionnement temporel,
- *Test orienté défauts* : les objectifs sont l'étude, la modélisation et le diagnostic de nouveaux types de défauts en vue de l'amélioration de la qualité du test,
- *Test des circuits reconfigurables* : les objectifs sont de développer des méthodes et techniques de test adaptées à ces circuits spécifiques, notamment en exploitant les propriétés de flexibilité inhérentes à ce type d'architecture,
- *Test des circuits analogiques, mixtes et microsystèmes* : les objectifs sont de développer des méthodes et techniques alternatives pour réduire les coûts associés au test de ce type de circuits.

En terme d'effectif, le projet « Test de Circuits et Systèmes Intégrés » concerne 14 chercheurs du laboratoire au 31 octobre 2005, dont 8 enseignants-chercheurs (4 PR, 4 MdC) et 6 chercheurs CNRS (3 DR, 3 CR). On soulignera que ce projet regroupe des chercheurs CNRS des sections 7 et 8 et des enseignants-chercheurs des sections CNU 61 et 63. A noter aussi que certains chercheurs de ce projet sont aussi impliqués dans d'autres projets du laboratoire, notamment les projets « Conception de Circuits et Systèmes Intégrés » et « DEambulation et Mouvement ARTificiel ». L'effectif du projet TCSI correspond ainsi à un équivalent d'environ 10 chercheurs. On compte en outre 13 doctorants impliqués dans le projet.

2. Résultats obtenus 2002-2005

Les quatre dernières années ont vu une activité soutenue au sein du projet « Test de Circuits et Systèmes Intégrés ». Les travaux réalisés ont donné lieu à une production scientifique importante sur la période considérée, avec notamment 28 articles dans les revues internationales, 71 communications dans des conférences internationales avec actes et comité de lecture et 51 communications dans des congrès internationaux avec comité de lecture et actes à diffusion restreinte. Le tiers environ de ces publications est réalisé en collaboration avec des organismes extérieurs français ou étrangers. Parmi les faits marquants de cette période, on peut citer 2 « Best Paper Award » délivrés par les conférences IEEE European Test Symposium en 2004 et IEEE Workshop on Design and Diagnostics of Electronic Circuits & Systems en 2005, ainsi que deux nominations au « Best Thesis Award » délivré par la conférence IEEE VLSI Test Symposium en 2005. On notera aussi des actions de diffusion de la connaissance commune, comme par exemple la publication d'un ouvrage collectif sur le test, ainsi que deux chapitres d'ouvrage. Enfin, 1 habilitation à diriger les recherches et 13 thèses ont été soutenues sur la période Janvier 2002 – Décembre 2005. Outre ces aspects de diffusion scientifique, on soulignera :

- une forte reconnaissance de la part de la communauté scientifique internationale comme en atteste le nombre de participation à des comités de programmes de conférences parmi lesquelles figurent les plus prestigieuses du domaine. En outre, des chercheurs du projet se sont vu attribuer la charge soit de président ou vice-président d'un comité des programmes, soit de président général de conférences internationales, ce qui constitue une reconnaissance importante du rayonnement scientifique. Ainsi, l'European Test Symposium (ETS'04) a été entièrement organisé par les chercheurs du département Microélectronique en 2004 ;
- des relations suivies avec de grands groupes industriels nationaux et internationaux (STM, PHILIPS, ATMEL, INFINEON, INTEL, SYNOPSIS, EADS, ...) à travers des partenariats directs, des projets européens (MEDEA+) ou encore des conventions CIFRE ;
- de nombreuses coopérations académiques nationales et internationales au travers de co-encadrements de thèse, de participation à des réseaux européens (MARLOW, PATENT-DfMM), ou de programmes d'échanges entre laboratoires de recherche français et étrangers (PROTEUS, COFECUB).

Les principaux résultats scientifiques obtenus pendant la période 2002-2005 sont développés ci-après pour chacun des axes du projet.

2.1. Test des systèmes



L'action Test des Systèmes a été initiée en 2000 pour répondre aux nouvelles problématiques posées par les technologies émergentes qui conduisent à proposer des systèmes complets sur puce et de forte complexité. La conception et la fabrication de tels systèmes sur une même puce facilitent par certains aspects le flot de conception de systèmes performants mais ne fait qu'ajouter à la complexité du processus de test (génération de vecteurs, accessibilité, contrôle du test de chacun des coeurs, puissance dissipée au cours du test,...). L'action Test des Systèmes fait suite à nos travaux antérieurs sur la Synthèse pour le Test de circuits, où le terme circuit est utilisé ici par opposition au terme système pour identifier des composants de moindre complexité. Puisque les nouvelles technologies

de conception de systèmes intégrés s'appuient sur la réutilisation de fonctions (cœurs) définies et conçues et par ailleurs (Design and Reuse), les circuits d'hier sont donc les cœurs d'aujourd'hui. Les objectifs de cette action de recherche sont de développer des méthodes de conception permettant de tester les différents cœurs logiques d'un système intégré en considérant notamment les aspects liés à la production des données de test et au transfert de ces données au sein de circuits ou de systèmes. Plusieurs études ont été menées en parallèle durant la période concernée 2002-2005 :

- Synthèse et optimisation des infrastructures de test pour les SoCs (Systems on Chip),
- Compression de données de test pour circuits logiques (ou cœurs, selon que les fonctions sont intégrées ou pas dans un système),
- Utilisation de techniques de validation pour la génération de données de test,
- Conception en vue du test des systèmes sécurisés.

2.1.1 Synthèse et optimisation des infrastructures de test pour les systèmes sur puce (SOC)

Nos travaux sur les infrastructures de test concernent la mise en oeuvre du test au niveau système en s'attachant au test de chacun des coeurs et à celui de leurs interconnexions en incluant la logique glue aux interfaces. En ce qui concerne l'organisation temporelle du test des coeurs, aux deux extrêmes de l'espace des solutions se trouvent une solution totalement parallèle et une solution totalement série. La première solution consiste à activer toutes les ressources de test en même temps, elle n'est donc pas toujours envisageable pour des raisons de puissance dissipée et d'accessibilité. La seconde consiste à activer le test de chacun des coeurs l'un après l'autre, elle peut donc induire des temps de test trop importants. Il est donc nécessaire de développer des méthodes d'exploration de l'ensemble des solutions d'ordonnement. En ce qui concerne l'organisation architecturale, le développement de la norme IEEE P1500 apporte quelques éléments de réponses mais ne fournit aucune solution « clef en main » pour le concepteur. Cette norme définit l'utilisation d'une « ceinture d'isolation » (wrapper) autour de chaque cœur de façon à l'isoler ou à le rendre accessible durant les différentes phases de test du système hôte. De l'architecture du bus global (ou TAM pour Test Access Mechanism) et des wrappers dépendent la durée du test de chaque cœur, la consommation du circuit en mode test, et la durée du test du système complet.

En ce qui concerne les infrastructures de test, nous avons tout d'abord défini différents modes de contrôle au niveau système. Ces modes diffèrent par la définition éventuelle de sessions de test plus ou moins régulières. L'utilisation de sessions régulières de durées identiques permet de simplifier le contrôle mais ne permet pas d'optimiser l'utilisation des ressources de test. A l'inverse, un mode de test sans session complique légèrement le contrôle mais permet d'optimiser l'utilisation des ressources. Nous avons ensuite développé des méthodes d'ordonnement pour ces différents modes de contrôle. Nos travaux ont ensuite porté sur la génération automatique d'infrastructures de test pour les SoCs dans le cadre de la norme P1500. Nous avons proposé un algorithme qui permet de minimiser le temps de test d'un cœur pour un nombre de connexions au TAM donné. La procédure heuristique retourne la structure du wrapper et le temps de test associé pour le cœur traité. Cette heuristique est suffisamment rapide pour être appliquée plusieurs fois en faisant varier la largeur du TAM et ce pour tous les cœurs d'un système. Nous avons finalement développé une méthodologie complète de co-optimisation de l'architecture de test (wrappers et TAM) et d'ordonnement des tests. Elle s'appuie sur différentes heuristiques et algorithmes d'optimisation exacts. Cette méthode permet de rechercher le compromis optimal entre la surface additionnelle nécessaire à l'implantation des ressources de test, le temps de test et la puissance dissipée pour les systèmes sur puce. Ces travaux ont été réalisés pour partie dans le cadre de la thèse de J. Pouget soutenue en novembre 2002. En outre, les collaborations informelles avec l'Université de Linköping (Suède) d'une part et la division Recherche et Développement de Philips Eindhoven (Pays Bas) d'autre part nous ont permis de développer des outils d'ordonnement de tests spécifiques dans lesquels des contraintes supplémentaires de précedence ou de partage de bus par exemple permettent de répondre au mieux aux contraintes définies par l'intégrateur du système.

2.1.2. Compression de données de test

La complexité grandissante des circuits intégrés augmente dans un même temps que les difficultés de gestion des données de test (stimuli et réponses) pour ce qui est de leur stockage et de leur transfert entre équipement de test (ATE) et composant. En effet, plus le composant contient d'éléments

intégrés et plus le nombre de données de test est important. Nos travaux sur la compression ont pour but d'étudier et de développer de nouvelles méthodes de compression de données de test de façon à réduire leur volume et/ou leur temps d'application (Thèse de R. Poirier soutenue en novembre 2004 et de J. Dalmasso en cours). L'idée est de stocker les données de façon compressée au sein du testeur, de les acheminer vers le composant sous test puis de les décompresser au sein du circuit avant d'être appliquées aux différents modules qui le constituent.

Une première étude a démontré que l'un des problèmes cruciaux pour les circuits actuels est la limitation du nombre de canaux testeurs disponibles pour alimenter le nombre toujours croissant d'entrées fonctionnelles et de test. Nous avons donc tout d'abord développé une nouvelle méthode de "compression/décompression horizontale" de vecteurs de test. La méthode a donné lieu à un outil de compression où le nombre de canaux testeur et le nombre d'entrée à alimenter sont paramétrables. Les données sont compressées hors ligne à l'aide de cet outil. Lors de la phase de test, les données sont décompressées en ligne au sein du circuit à l'aide d'une structure arithmétique de surface négligeable. Les résultats obtenus montrent que la solution proposée réduit à la fois la quantité de données stockées dans le testeur ainsi que le temps de test comparé à une solution classique consistant à modifier le circuit de telle façon que le nombre d'entrées de test corresponde au nombre de canaux testeur disponibles. Enfin, contrairement à de nombreuses solutions proposées dans la littérature à ce jour, la structure de décompression est indépendante des données de test, de l'outil de génération des vecteurs, elle n'entraîne aucun délai supplémentaire dans le circuit en mode de fonctionnement normal ni aucun besoin de retravailler sa conception interne. Cette solution s'intègre donc parfaitement dans un flot de conception classique.

2.1.3. Utilisation de techniques de validation pour la génération de données de test

Un troisième volet de l'action « Test des systèmes » concerne la génération de données de test structurel dès les premières phases de la conception d'un circuit intégré. Nous cherchons à minimiser l'effort classiquement fourni au niveau porte pour générer les données de test en réutilisant les données issues de la validation. Par opposition au test dont le but est de déceler les défauts et les pannes survenant durant ou après la fabrication du circuit, la tâche de validation a pour but de déceler les erreurs de conception. Bien qu'il soit généralement reconnu que les données de test fonctionnel, éventuellement issues de la validation, sont utiles au test structurel, il n'est pas établi de relation entre l'efficacité d'une séquence de test fonctionnel pour valider la description algorithmique, et l'efficacité de cette même séquence à déceler des fautes structurelles après fabrication.

Pour générer une séquence de validation, nous nous sommes appuyés sur une technique issue des techniques de test de logiciel : le test par mutation. Le processus consiste à sélectionner des vecteurs capables de distinguer le comportement du circuit à concevoir, du comportement d'un ensemble de versions fautives de ce comportement, les « mutants ». L'une des premières actions a été de développer un ensemble d'outils de génération de tests par mutation. Nous avons ensuite défini un ensemble d'opérateurs de mutation adéquats à la fois à la validation de la spécification de circuits mais également au test après fabrication (mutation sélective). Les résultats expérimentaux montrent qu'une séquence optimisée de test obtenue par mutation est beaucoup plus efficace en termes de nombre de vecteurs nécessaires qu'une séquence aléatoire pour obtenir un même taux de couverture sur les fautes de collage et réduit d'autant l'effort pour générer des vecteurs de test sur la description structurelle du circuit. Ces travaux font l'objet de la thèse de M. Scholive et sont réalisés en collaboration avec le groupe Valsys du laboratoire LCIS/INPG à Valence.

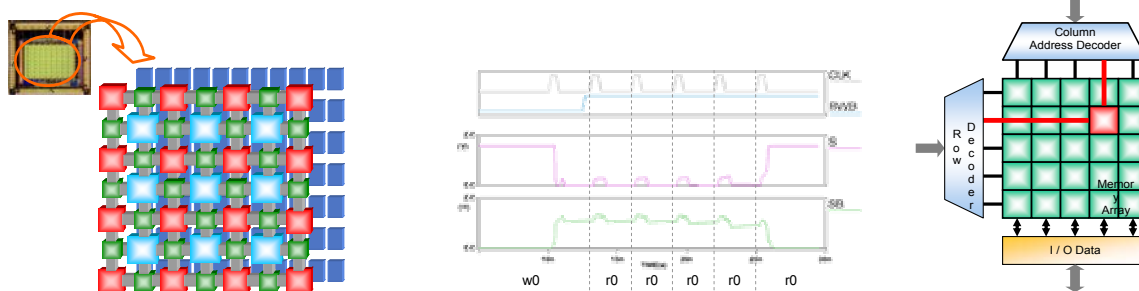
2.1.4. Test des systèmes sécurisés

Un dernier volet de l'action « Test des systèmes » concerne le test des circuits dits « sécurisés ». Si l'application phare en France de ces circuits est bien sûr la carte bancaire, ces circuits occupent une place de plus en plus importante dans de nombreux autres domaines comme les transports, l'identification, la télévision à péage... Ils ont pour vocation le stockage et le transfert de données sensibles. Ils sont donc conçus de façon à réduire au maximum leur piratage. Dans ces conditions, les notions de contrôlabilité et d'observabilité qui garantissent la possibilité de tester les circuits après fabrication sont en contradiction avec les exigences de sécurité.

Un premier travail a consisté d'une part à étudier le détail de l'implantation de tels circuits pour en révéler les caractéristiques qui visent à renforcer la sécurité des données, et d'autre part à lister l'ensemble des attaques perpétrées contre ces composants et connues à ce jour. Il a été démontré

dans la littérature que la technique de conception en vue du test la plus courante, c'est-à-dire la technique de scan, pouvait être facilement utilisée pour réaliser une attaque non invasive. La chaîne de scan est utilisée pour observer les données circulant dans le système au cours d'une opération de cryptage. Cette observation permet de retrouver la clé utilisée pour le codage. Nous avons donc proposé une solution architecturale de scan innovante pour pallier au défaut de sécurité de la technique classique. Cette nouvelle solution permet de rendre les données circulant au sein du circuit très difficilement observables sans une forte authentification de la personne activant le mode test du système. Sans cette authentification, l'observation de données par décalage série au sein de la chaîne de scan est perturbé par une fonction de brouillage (scrambling). Cette solution accroît largement le niveau de sécurité du produit tout en préservant sa testabilité. Ces travaux qui font l'objet de la thèse de D. Hély sont développés dans le cadre d'une collaboration avec la division SmartCard de la société STMicroelectronics (Rousset).

2.2. Test des effets dynamiques



Les méthodes et algorithmes de test classiques ciblent principalement les défauts produisant des dysfonctionnements statiques du circuit, c'est-à-dire des dysfonctionnements qui apparaissent indépendamment de la fréquence de fonctionnement de celui-ci. Ces défauts, appelés défauts statiques, sont généralement modélisés par des fautes de type collage, voire courts-circuits ou circuits ouverts. Or, les fréquences de fonctionnement des circuits actuels sont telles que les défauts induisant des déviations temporelles des signaux, et qui par conséquent n'influencent que le comportement dynamique des circuits, deviennent critiques. Par ailleurs, ces fréquences de fonctionnement élevées contribuent également à l'augmentation de la dissipation de puissance mise en jeu lors du test, qui est souvent plus importante que lors du mode fonctionnel, et représente donc un autre aspect critique du test des circuits intégrés actuels.

L'objectif des travaux menés dans cet axe de recherche est de développer des méthodes et outils permettant de tester, de simuler et de diagnostiquer les circuits intégrés en considérant les effets à caractère dynamique, et notamment les pannes introduisant un dysfonctionnement temporel. Dans le cadre de cette thématique, trois actions sont actuellement en cours. Elles concernent :

- Le test faible consommation,
- Le test et diagnostic de pannes temporelles,
- Le test de fautes dynamiques dans les structures régulières (FPGA, mémoires).

2.2.1. Test faible consommation

Cette action porte sur la prise en compte des problèmes de consommation de puissance pendant la phase de test logique des circuits intégrés numériques. L'objectif est de développer des méthodes et outils permettant de réduire l'activité totale du circuit en mode test, puisque celle-ci s'avère être largement sachant qu'en technologie CMOS la consommation est étroitement liée à l'activité dans le circuit et que l'activité dans le circuit en mode test est généralement largement supérieure à l'activité générée lors du fonctionnement normal du circuit.

Durant la période 2002-2005, l'effort s'est plus particulièrement porté sur l'optimisation de puissance dans les circuits munis de chaînes de scan (Thèse de Y Bonhomme soutenue le 25 septembre 2003 et de N. Badereddine en cours). Les opérations de chargement et déchargement de données de test dans les chaînes de scan engendrent en effet une sur-activité de commutation induisant une consommation excessive de puissance pouvant avoir des conséquences néfastes sur le circuit telles qu'une baisse de sa fiabilité ou sa destruction pure et simple. Dans le cadre de la thèse de Y. Bonhomme, nous avons travaillé sur des techniques de partitionnement des chaînes de scan et de réordonnement des bascules dans les chaînes de scan qui nous ont permis de proposer des méthodes et algorithmes permettant de réduire la suractivité du circuit afin de réduire la puissance moyenne consommée lors du test. L'objet des travaux de la thèse de N. Badereddine est de s'attaquer, dans le même contexte, aux problèmes induits par des puissances de pic excessives. Ces recherches sont menées dans le cadre du projet européen MEDEA+ Associate.

2.2.2. Test et diagnostic de pannes temporelles

L'objectif de cette action est de développer des méthodes et outils permettant de tester, de simuler et de diagnostiquer les pannes qui introduisent un dysfonctionnement à haute fréquence (pannes temporelles).

Après avoir étudié précédemment les différents aspects liés à la simulation, au test et au test intégré de ce type de pannes, nous avons finalisé lors de la période 2002-2005 les travaux portant sur le test intégré (Thèse d'A. Virazel) puis, depuis 2004, nous nous intéressons au diagnostic des pannes temporelles dans les structures à test intégré (thèse de A. Rousset en cours). Cette étude est réalisée dans le cadre du projet Européen MEDEA+ NanoTEST. Elle aborde deux problématiques bien particulières que sont l'analyse de l'effet des pannes temporelles dans les parties combinatoires et le développement de techniques de diagnostic supportant les structures de test intégré et notamment de compactage.

2.2.3. Test de fautes dynamiques dans les structures régulières (FPGA, mémoires)

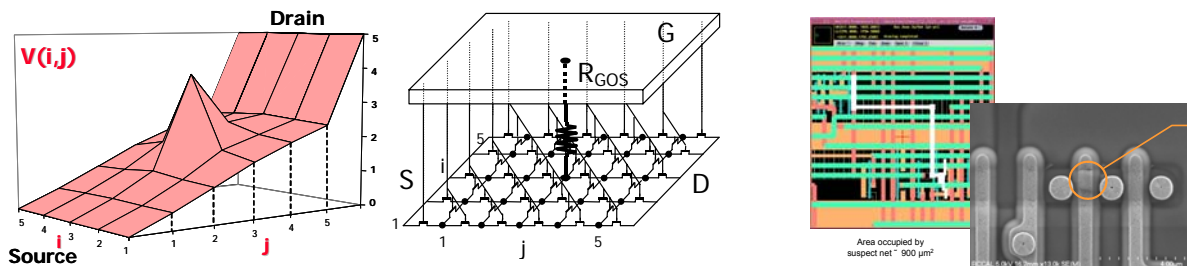
Les structures régulières telles que les FPGA ou les mémoires offrent des particularités qui influencent notablement les méthodologies de test. L'objectif de cette action est de développer des méthodes et outils permettant de tester ces structures en ciblant les pannes introduisant un dysfonctionnement dynamique.

Les travaux réalisés lors de la période 2002-2005 sur les circuits programmables ont ciblé les structures de type FPGA SRAM (thèse de O. Héron soutenue en Novembre 2004). La structure originale de ce type de circuits, sous forme d'un tableau ordonné de blocs logiques identiques entourés de canaux d'interconnexions verticaux et horizontaux, permet d'envisager des techniques de test spécifiques. Les travaux réalisés ont permis de définir de nouvelles méthodes et structures de test et de test intégré pour ces circuits adaptées aux spécificités des pannes temporelles.

Les autres études réalisées lors de la période 2002-2005 concernent les mémoires. Compte tenu de l'importance de ces dispositifs (les mémoires occupent la grande majorité de la surface des systèmes sur puce) mais également des caractéristiques technologiques propres à leur réalisation (limites technologiques), il est reconnu que les mémoires concentrent la plupart des défauts dans un SoC. Le test des mémoires est donc aujourd'hui un sujet de recherche particulièrement d'actualité.

Les solutions utilisées pour tester les mémoires sont particulières dans le sens où elles sont intimement liées à l'architecture et aux influences spécifiques des défauts induits par le procédé de fabrication de la mémoire. Dans ce contexte, deux études sont menées pour étudier les défauts introduisant un dysfonctionnement temporel et développer des solutions méthodologiques et algorithmiques permettant de mettre en évidence ces défauts lorsqu'ils affectent une mémoire. La première étude concerne le test des mémoires SRAM (Thèse de L. Dilillo soutenue le 8 juin 2005). Cette étude est réalisée en collaboration avec la société Infineon dans le cadre des projets Européens Medea+ Associate et NanoTEST. La seconde étude concerne le test des mémoires flash (thèse d'O. Ginez en cours). Cette étude est réalisée en collaboration avec la société Atmel.

2.3. Test orienté défauts



Le principe général du test d'un circuit intégré numérique consiste à mettre en évidence un mauvais fonctionnement éventuel dû à une défaillance physique. Compte tenu du nombre impressionnant de défaillances physiques possibles dans un circuit, il est impossible de développer des outils rapides et efficaces capables de manipuler directement ces défaillances. Des modèles de fautes ont donc été développés pour représenter les défaillances susceptibles de se manifester dans un circuit, et la plupart des techniques de test pour les circuits numériques s'appuient sur ces modèles de fautes. Dans ce contexte, la modélisation des défauts et le problème de l'adéquation entre les modèles de fautes et les défauts réels sont des étapes clés pour assurer la qualité du test. Un autre aspect important concerne le diagnostic et de la localisation des défauts. En effet, il s'agit là d'un maillon essentiel du processus d'analyse de défaillances, étape indispensable pour améliorer le rendement de production.

L'objectif des travaux menés dans cet axe de recherche concerne la prise en compte de nouveaux types de défauts et leur modélisation d'une part, ainsi que l'intégration de procédures de diagnostic et localisation de défauts au sein d'un flot industriel d'analyse de défaillances d'autre part.

2.3.1. Modélisation des défauts

L'étude en cours depuis plusieurs années concerne le problème de l'adéquation entre les modèles de fautes et les défauts réels en technologie CMOS. Au cours des années précédentes, l'étude avait porté sur différents types de défauts tels que les défauts de grille flottante et les courts-circuits résistifs. L'expérience acquise a ainsi permis de mettre en évidence l'importance des paramètres aléatoires des défauts dans la relation défauts/modèles de fautes. En particulier, nous avons montré que la prise en compte de ces paramètres aléatoires se révèle absolument nécessaire pour l'étude de la détection des défauts au niveau circuit et la détermination de la meilleure stratégie de test.

Ces dernières années, nous nous sommes plus particulièrement intéressés à un autre type de défaut, les défauts de percement de grille. Il s'agit d'un défaut qui apparaît de plus en plus fréquemment dans les nouvelles technologies lié à la réduction des dimensions des transistors et à la diminution de l'épaisseur d'oxyde de grille. Or les modèles de fautes classiques ne permettent pas de prendre un compte correctement ce défaut au comportement complexe. Les travaux réalisés ont tout d'abord concerné l'étude détaillée du comportement électrique d'un transistor MOS affecté d'un court-circuit grille-canal, en fonction de ses paramètres imprévisibles. Cette étude a ensuite été étendue au niveau porte, en termes de tension comme de courant, ainsi que de performances temporelles. Finalement, un modèle électrique original du transistor MOS avec percement de grille a été proposé. Ce nouveau modèle, plus compact que le modèle traditionnel maillé, permet en outre de simuler des transistors de longueur minimale, ce qui n'était pas possible avec le modèle maillé. Ces travaux ont fait l'objet de la thèse de J.M. Gallière soutenue en décembre 2003.

Une extension de ces travaux a concerné l'étude du comportement de cellules dominos affectées de défauts de percement d'oxyde de grille. Le fonctionnement particulier des cellules logiques dominos, qui implante la fonction dans un seul type de transistors MOS sans la fonction complémentaire, mais qui est régie par un couple de transistors de précharge et d'évaluation cadencé par une horloge, présente des chemins de courant de fuite différents de ceux des portes logiques complémentaires

standards en présence de percements de grille. Cette particularité présentant un grand intérêt dans le cadre de la modélisation des courts-circuits grille-oxyde, une étude détaillée du comportement électrique de ces cellules dominos en tension et en courant a été menée dans le cadre d'un post-doctorat à l'université de Nara, Japon, en collaboration avec le LIRMM. Cette étude a notamment permis de démontrer que dans certains cas, la diminution de la fréquence de fonctionnement du circuit pouvait améliorer la détectabilité du défaut.

Un autre aspect des recherches menées dans le domaine de la modélisation des défauts est réalisé en collaboration avec l'université de Fribourg en Allemagne. Il s'agit d'adapter les travaux réalisés sur la modélisation des défauts de court-circuit résistif en vue d'une intégration au sein d'un outil logiciel de simulation de fautes développé par l'université de Fribourg. Ainsi, le modèle « Paramétrique » statique proposé par le LIRMM a été implanté dans le simulateur. L'étude se concentre à présent sur le comportement dynamique de portes logiques affectées de courts-circuits, c'est-à-dire sur la modélisation paramétrique des fautes de délai induites par des courts-circuits résistifs.

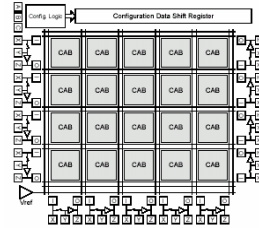
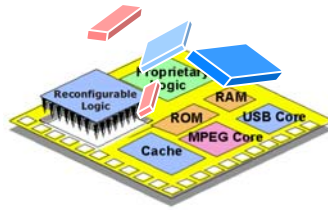
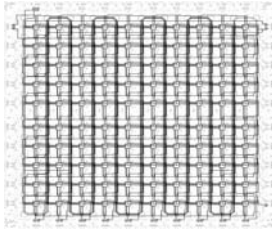
Finalement, nous avons démarré en 2004 une nouvelle étude qui concerne la prise en compte des marginalités pour améliorer la qualité du test. Il s'agit cette fois, non pas de prendre en compte des défauts locaux dus à un problème de fabrication, mais des phénomènes parasites tels que le « cross-talk » ou le « ground-bounce » qui sont à l'origine de problèmes d'intégrité du signal. Ce problème d'intégrité du signal se pose en fait de façon de plus en plus aiguë et constitue un enjeu majeur pour le succès des technologies à venir. L'analyse et la modélisation des défauts de « ground bounce » en vue de l'amélioration de la qualité du test constitue ainsi l'objectif des travaux de thèse de L. Larguier.

2.3.2. Localisation des défauts

Dans le cadre général de la thématique « test orienté défauts », un autre aspect des recherches menées au sein de ce projet a concerné le problème du diagnostic et de la localisation des défauts. Il s'agit là d'identifier la cause du mauvais fonctionnement d'un circuit lorsque celui-ci a été rejeté lors du test de production. L'étape d'analyse de défaillances est en effet un maillon indispensable pour améliorer la conception du circuit ou le processus de fabrication en vue d'augmenter le rendement de production. Or compte tenu des évolutions technologiques et de l'augmentation de la complexité des circuits, une étape cruciale du processus d'analyse de défaillances est la localisation de fautes. En effet, il est impératif de localiser précisément les fautes avant toute analyse destructive du circuit.

Dans ce contexte, l'étude réalisée ces dernières années a porté sur l'intégration de procédures logicielles de diagnostic et localisation de défauts au sein d'un flot industriel d'analyse de défaillances. Cette étude est conduite dans le cadre de la thèse de D. Martin en collaboration avec la société ST-Microelectronics à Rousset. Les résultats obtenus concernent la mise en place d'un flot d'analyse fonctionnelle original utilisant un maximum d'outils industriels et des modules logiciels permettant de « sortir » du flot dès lorsqu'un site fautif est identifié avec certitude ou que la liste des sites fautifs probables ne peut plus être réduite. L'originalité de ce flot est sa versatilité qui permet de s'adapter à moindre coût aux différents cas de figures possibles. Nous nous sommes aussi intéressés à l'optimisation de la phase de mesure sous pointes ou « probing » qui est une étape souvent nécessaire pour confirmer les résultats du diagnostic. Un module logiciel basé sur une technique de propagation de fautes a été développé qui permet de réduire les coûts liés à cette phase de « probing ». L'idée est de permettre la propagation du signal à mesurer sur des niveaux métalliques plus accessibles. Il est alors possible de mesurer un signal équivalent avec un point de test plus facile et plus rapide à réaliser.

2.4. Test des circuits reconfigurables



Les circuits flexibles reconfigurables constituent une solution technologique intéressante et sont de plus en plus utilisés par les concepteurs au fur et à mesure de l'amélioration de leurs performances tant en vitesse qu'en capacité logique. Ces circuits sont d'ailleurs présents maintenant sous forme de coeurs utilisables dans une conception basée sur l'intégration de coeurs. Moins connus que les FPGA digitaux, les circuits analogiques programmables FPAA font l'objet d'un intérêt certain de la part des concepteurs de systèmes. Ces composants ont pour vocation d'apporter les mêmes bénéfices à la conception analogique que les FPGA pour la conception numérique.

L'objectif des travaux menés dans cet axe de recherche concerne le développement de techniques de test adaptées à ces circuits spécifiques, notamment en exploitant les propriétés de flexibilité inhérentes à ce type d'architecture.

2.4.1. Test de circuits numériques programmables FPGA

Le test des FPGA de type symétrique avait fait l'objet de travaux antérieurs, qu'il s'agisse du test en sortie de fonderie ou d'un test orienté utilisateur (Thèse de P. Faure soutenue le 19 décembre 2002). Ces dernières années, le travail s'est principalement axé sur le test des FPGAs de type hiérarchique, en se focalisant plus particulièrement sur le test en sortie de fonderie. Ces travaux font l'objet de la thèse de S. Tanguy dont la soutenance est prévue pour la fin de l'année 2005.

Compte tenu de la complexité des circuits reconfigurables à base de cellules mémoires SRAM, le premier travail a consisté à décomposer ces circuits en plusieurs parties distinctes : les blocs logiques, les éléments d'interconnexions et les points mémoires de stockage de la configuration. Nous avons abordé dans un premier temps le problème du test des blocs logiques. Nous avons proposé une approche structurale utilisant directement une description du FPGA, et non pas une description au niveau porte classique, pour générer les vecteurs de test. Ceci permet de tester l'intégralité des dispositifs et, par conséquent, d'aboutir à des taux de couverture très élevés au détriment du temps de calcul requis pour générer ces vecteurs de test.

Pour minimiser le temps de calcul des vecteurs de test, nous avons ensuite proposé différentes modifications de la description du FPGA. Ces modifications apportées avant la génération des vecteurs permettent de réduire considérablement le temps de calcul. Cette approche est en cours d'évaluation avec des circuits largement répandus tels que les XILINX 3000, 4000, ALTERA.

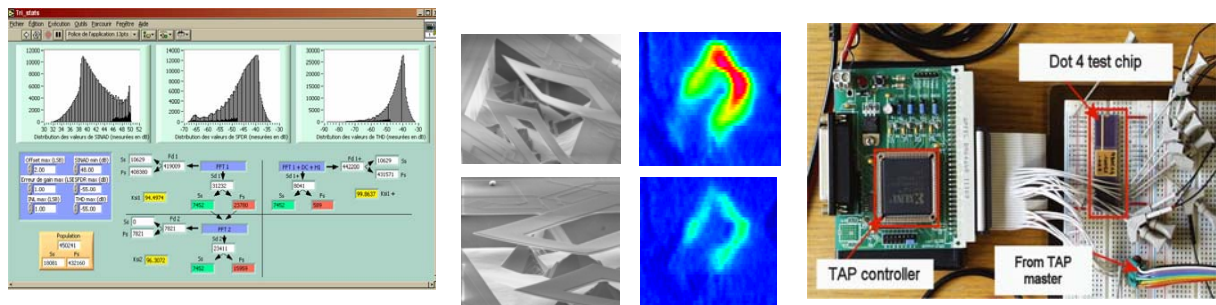
2.4.2. Test de circuits analogiques programmables FPAA

Les circuits analogiques programmables FPAA connaissent aujourd'hui une phase d'expansion comme en atteste le nombre de sociétés récemment positionnées sur ce marché. Ces composants très particuliers n'ont fait jusqu'alors l'objet d'aucune étude particulière au niveau test. En collaboration avec l'Université de Porto Alegre au Brésil, nous avons initié en 2004 une étude sur ce sujet.

Les travaux ont porté dans un premier temps sur le test des cellules analogiques programmables. L'idée est d'exploiter les capacités inhérentes au FPAA en terme de reconfiguration et programmabilité et d'utiliser les ressources disponibles sur le circuit pour l'application de la procédure de test afin de disposer d'une solution BIST sans aucun surcoût en surface additionnelle. Nous avons ainsi développé une solution basée sur la technique de test par oscillation que nous avons complété par une analyse dédiée des réponses de test. Dans un deuxième temps, nous nous sommes alors intéressés au test du réseau d'interconnexions et des cellules d'entrée/sorties. A partir d'une

modélisation originale du réseau d'interconnexions et des cellules d'entrée/sortie par un graphe d'adjacence, nous avons pu dériver un ensemble de configurations de test nécessaires et déterminer un nombre minimum de configurations de test permettant de couvrir toutes les fautes de collage-ouvert et collage-fermé dans les interrupteurs, ainsi que toutes les fautes de court-circuit et circuit ouvert sur les fils d'interconnexion.

2.5. Test des circuits analogiques, mixtes et microsystèmes



Dans un domaine longtemps dominé par le numérique, on assiste depuis une dizaine d'années à un retour en force de l'analogique. Plus de 50% des circuits fabriqués actuellement comprennent ainsi des fonctions analogiques. Cependant même si la surface de silicium occupée par la partie analogique représente souvent moins de 10% de la surface du circuit, son test peut être responsable de plus de 80% des coûts du test, et 50% du prix de revient du circuit complet. Dans le même temps, de plus en plus de systèmes complexes intégrés sur silicium intègrent à côté de l'électronique numérique classique et des éléments d'électronique analogique, des dispositifs d'interface avec le monde réel tels que des capteurs/actionneurs. L'intégration de ces multiples fonctionnalités sur une même puce n'est pas sans poser des problèmes lors du test, lié notamment à une accessibilité réduite des blocs. En outre lorsque le système intègre des capteurs/actionneurs, il est souvent nécessaire de traiter des grandeurs physiques autres que des grandeurs électriques, augmentant encore la complexité et le coût du test.

L'objectif des travaux menés dans cet axe de recherche est de développer de développer des méthodes et techniques alternatives permettant de réduire les coûts associés au test des circuits analogiques, mixtes et microsystèmes. Dans le cadre de cette thématique, plusieurs études ont été menées en parallèle durant la période concernée 2002-2005 :

- Test de convertisseurs analogique-numérique,
- Test de filtres analogiques,
- Standard IEEE 1149.4,
- Test et fiabilité des MEMS.

2.5.1. Test de convertisseurs analogique-numérique

Les Convertisseurs Analogique-Numérique (CAN) constituent un maillon essentiel dans l'électronique des systèmes et sont présents dans la quasi-totalité des circuits mixtes en tant qu'interface entre l'environnement naturel et les circuits de traitement numérique de données. Le test de ces dispositifs est généralement abordé selon une approche fonctionnelle et consiste à évaluer l'ensemble des paramètres caractéristiques. Il existe deux principales techniques de test utilisées dans le milieu industriel, à savoir le test par histogramme qui permet l'évaluation des paramètres statiques, et le test par analyse spectrale qui permet l'évaluation des paramètres dynamiques. Ces techniques offrent d'excellentes performances en terme de qualité du test mais se révèlent extrêmement coûteuses à mettre en œuvre. La réduction du coût du test des CAN est par conséquent un point critique.

Une première solution pour réduire le coût du test des CAN consiste à intégrer tout ou partie des ressources de test directement sur le même substrat que le CAN à tester. Dans cette optique, les travaux antérieurs avaient porté sur la redéfinition de l'algorithme de test par histogramme en vue de son intégration à surface réduite d'une part, et sur le problème de la génération intégrée de stimuli de test d'autre part. Nous disposons ainsi de l'architecture haut niveau du module d'exploitation dédié à l'analyse des réponses et d'un générateur de rampes auto-calibré. Ces travaux ont été poursuivis avec comme objectif la mise en oeuvre d'une solution de test intégré complète. Nous avons ainsi proposé différentes adaptations du générateur de rampes afin de prendre en compte les spécificités du test par histogramme et nous avons défini une méthodologie de conception du module d'analyse permettant la génération automatique de l'architecture en fonction d'un cahier de charges. Nous disposons ainsi à ce jour d'une solution BIST complète pour le test des convertisseurs A/N incluant à la fois le module de génération de signaux de test et le module d'analyse des réponses.

Une deuxième solution pour réduire le coût du test des CAN consiste à optimiser leur flot de test. En effet, le flot classique repose sur l'utilisation de deux procédures de test distinctes, à savoir un test par histogramme pour l'évaluation des paramètres statiques et une analyse spectrale pour l'évaluation des paramètres dynamiques. L'utilisation de ces deux techniques très différentes rend le test très onéreux. Dans le cadre de la thèse de M. Comte, nous nous sommes intéressés à la faisabilité d'une procédure de test uniquement basée sur l'analyse spectrale, permettant de vérifier l'ensemble des performances d'un CAN. A cette fin, nous avons fait une investigation des corrélations qui existent entre les paramètres statiques et dynamiques. L'étude repose sur la simulation d'un modèle d'environnement de test des CAN. Tout d'abord, nous avons montré que l'influence de chaque erreur statique sur les paramètres dynamiques est suffisamment significative pour envisager de détecter les erreurs statiques rédhibitoires à travers la mesure des performances dynamiques. Ensuite, nous avons évalué l'efficacité statistique de détection des circuits défectueux pour plusieurs flots de test alternatifs reposant seulement sur l'analyse spectrale. Un outil qui permet d'adapter l'évaluation de l'efficacité statistique de chaque flot à un contexte de test réel a aussi été développé. L'ensemble de ces travaux a permis de mettre en place un flot de test original qui permet d'obtenir la même efficacité que le flot de test classique en terme de discrimination des convertisseurs fautifs ou sains, mais pour un temps de test moyen divisé par un facteur de six à dix.

2.5.2. Test de filtres analogiques

Tous les systèmes modernes de télécommunication tels que la radio, la télévision et la téléphonie ainsi que la plupart des systèmes d'instrumentation contiennent différents types de filtres. Une classe importante de blocs analogiques pour le développement des systèmes électroniques de hautes performances est donc la classe des filtres analogiques intégrés. Au cours des dix dernières années, de nombreux travaux ont concerné le test de cette classe de circuits. Une approche classique consiste à appliquer le principe « diviser pour régner » afin de remplacer le test global du circuit par le test individuel des différents blocs composant le filtre, résultant ainsi dans une procédure de test simplifiée et de moindre coût. Différentes techniques de DfT (« Design-for-Testability ») ont ainsi été développées, basées soit sur l'insertion de multiplexeurs soit sur une reconfiguration du circuit, afin de fournir l'accessibilité des blocs internes en mode test.

L'étude démarrée en 2002 en collaboration avec l'Université de Porto Alegre au Brésil dans le cadre d'un projet CAPES/COFECUB a porté sur l'optimisation de ce type de solution. En effet classiquement, l'insertion des éléments de DfT est réalisée de façon systématique afin d'offrir la contrôlabilité et l'observabilité de chacun des blocs internes du circuit. Dans le but de minimiser l'impact des éléments de DfT sur la surface et les performances du circuit, notre idée consiste à remplacer cette application systématique par une application sélective en n'insérant les éléments de DfT que sur un nombre réduit de nœuds du circuit. Nous avons pour cela développé une approche basée sur de la modélisation et simulation de fautes à haut niveau qui permet d'analyser la testabilité du filtre en considérant les différents nœuds possibles pour l'application d'un stimulus de test et l'observation de la réponse de test. Il est alors possible de sélectionner un ensemble optimal de configurations de test, l'insertion d'éléments de DfT n'étant réalisée que sur les nœuds impliqués dans cet ensemble de configurations de test.

2.5.3. Standard IEEE 1149.4

La norme IEEE 1149.4 est une norme dédiée au test des systèmes analogiques et mixtes qui définit une approche standardisée afin de simplifier le test et le diagnostic de défauts structurels tels que des courts-circuits ou des circuits ouverts pouvant affecter les interconnexions entre circuits intégrés. L'infrastructure spécifiée dans la norme IEEE 1149.4 permet aussi de réaliser des mesures sur des composants discrets tels que des résistances ou des capacités, composants souvent insérés sur une carte entre les différents circuits intégrés dans un système mixte. Plus généralement, la norme IEEE 1149.4 peut être considérée comme une extension de la norme IEEE 1149.1 existant depuis de nombreuses années pour les systèmes numériques.

Le Standard IEEE 1149.4 a été approuvé en Juin 1999 mais les premiers circuits commerciaux, bien qu'annoncés par quelques uns des principaux fabricants de semi-conducteurs dès la fin de l'année 2000, n'étaient toujours pas apparus sur le marché début 2002. Une expérience dans des applications pratiques autour du Standard IEEE 1149.4 était par conséquent d'une importance tout à fait stratégique, à la fois pour les concepteurs et les utilisateurs de systèmes électroniques. C'est dans ce contexte que nous avons décidé de nous intéresser au test fonctionnel de systèmes compatibles avec le Standard IEEE 1149.4, en collaboration avec l'Institut Jozef Stefan en Slovénie dans le cadre d'un projet PROTEUS. Les travaux réalisés se sont focalisés sur deux tâches principales que sont l'intégration d'un environnement de mesure expérimental afin d'étudier différentes applications du Standard 1149.4 d'une part, et la spécification et réalisation d'un circuit prototype intégrant les différents modules définis dans le Standard 1149.4 pouvant être utilisé de manière générique pour le test des circuits mixtes d'autre part. Ces travaux nous ont permis d'acquérir une expertise dans ce domaine particulier, et c'est à ce titre que nous avons été sollicités pour rédiger un chapitre sur le standard IEEE 1149.4 dans un ouvrage dédié au test des circuits mixtes.

2.5.4. Test et fiabilité des MEMS

Les microsystèmes sur silicium (ou MEMS pour « Micro-Electro-Mechanical Systems ») sont porteurs d'espoir dans de nombreux domaines d'application. Même si la fabrication de systèmes monolithiques CMOS permet de réduire le coût de fabrication d'une puce intégrant le capteur avec son électronique, il reste d'autres facteurs qui sont des verrous au développement de microsystèmes complets à faible coût. Ainsi, le test de production des MEMS est des points durs de leur industrialisation. La fiabilité des microstructures est également une préoccupation importante avant de se lancer dans une production de masse. Les travaux réalisés au cours de ces quatre dernières années ont porté sur ces deux aspects.

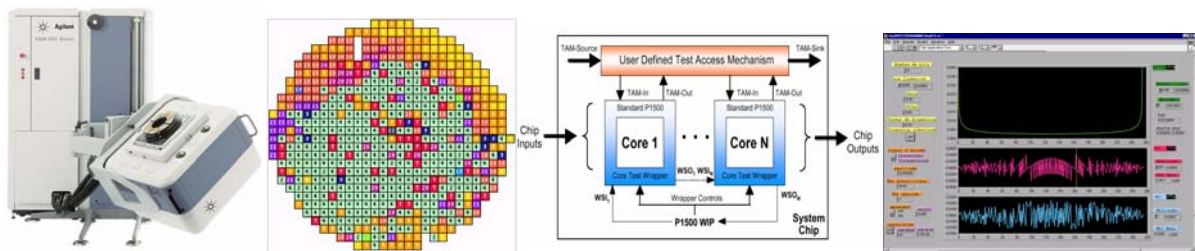
Concernant les aspects « fiabilité », les travaux ont été développés dans le cadre de la thèse de M. Dardalhon soutenue en décembre 2003 (bourse CNES co-financée par EADS L.V.). Cette thèse relativement pionnière dans le domaine a mis en évidence certains mécanismes de défaillances concernant l'ensemble des microsystèmes. On retiendra que les microsystèmes usinés en volumes (FSBM pour « Front-Side Bulk-Micromachining ») échappent cependant à de nombreux modes de défaillance et ont montré expérimentalement un niveau de fiabilité très élevé.

Concernant le test de production des MEMS, nos efforts ont porté sur le développement de stratégies de test faible coût dédiées aux MEMS, en nous intéressant plus particulièrement aux méthodes de test structurel. Pour cela, nous nous sommes appuyés sur les travaux en cours au sein du département Microélectronique en matière de conception de MEMS, et notamment sur la microboussole sur puce développée dans le cadre du projet « Conception de Circuits et Systèmes Intégrés ». Les premiers travaux ont concerné l'utilisation du test par oscillation comme méthode de test faible coût (Thèse de V. Berouille soutenue en octobre 2002). Les travaux suivants se sont ensuite orientés vers l'utilisation de stimuli électrothermiques pour le test microstructures usinées en volume (Thèse de N. Dumas soutenue en octobre 2005). Les résultats obtenus démontrent que l'utilisation des propriétés de dilatation thermique des matériaux peut remplacer avantageusement les stimuli non électriques ou les inspections visuelles, non seulement pour la détection de défauts de sous-gravure mais aussi pour le test de fautes paramétriques. Sur ce principe d'excitation par des stimuli électrothermiques, nous avons alors développé une solution de test intégré pour la microboussole, qui permet l'application d'une procédure de test sur un équipement numérique standard et insensible à l'environnement magnétique. L'utilisation de stimuli électrothermiques a aussi été envisagée pour le développement d'une solution de test en ligne. Nous avons ainsi montré qu'en appliquant un stimulus de test électrothermique basse fréquence en même temps que le signal d'excitation magnétique, il est

possible d'extraire de la réponse du capteur un signal de test donnant des informations sur l'intégrité de la structure.

L'ensemble de ces résultats nous a permis d'occuper une place de choix dans le réseau d'excellence européen PATENT-DfMM retenu dans le cadre du 6ème PCRD. Ce réseau lancé en 2004 concerne la conception en vue de l'industrialisation des micro- et nano-systèmes. Le LIRMM est membre du comité directeur du réseau et assure la direction, l'animation et la coordination d'un des quatre axes techniques concernant la conception en vue du test des micro- et nano-systèmes.

3. Prospective



Le domaine de la conception de systèmes intégrés microélectroniques est un domaine qui évolue rapidement au fur et à mesure des innovations technologiques. Au fil des étapes de la miniaturisation des composants et de l'agrandissement des substrats, les défis technologiques rencontrés renvoient régulièrement vers de nouveaux challenges du point de vue test. Les travaux menés au sein de ce projet ont ainsi pour objectif de proposer des solutions innovantes pour tester les systèmes intégrés du futur. Clairement, les travaux à venir s'inscrivent dans la continuité des recherches actuelles. Un certain nombre d'actions sont d'ailleurs déjà engagées sur des points-clés critiques du domaine du test, comme détaillé dans les paragraphes ci-après. Il semble cependant évident qu'à l'intérieur de chacun de thèmes traités, les travaux doivent continuer à évoluer en même temps que les avancées technologiques.

Dans un cadre plus général, nous comptons orienter nos efforts de recherche de façon à accompagner l'évolution de la société vers un monde de communications. Cette évolution induit une forte demande de systèmes intégrant toujours plus de fonctionnalités et offrant toujours plus de performances. La réponse à cette demande passe par l'intégration de systèmes complexes hétérogènes. La gestion de la complexité de ces systèmes, en termes de nombre de composants présents et volume des données à manipuler, soulève un certain nombre de défis à relever du point de vue test. De même si l'intégration de blocs fonctionnels hétérogènes au sein d'un même système est indéniablement un atout majeur pour la fonctionnalité du système, cet avantage se transforme en difficulté pour le test. A cela s'ajoute aussi l'enjeu de nomadisme qui implique un accès rapide et sûr à l'information ainsi qu'une consommation énergétique réduite. Les aspects sécurité, performances temporelles et faible consommation sont ainsi autant de paramètres à prendre en compte dans la définition de nouvelles méthodologies de test pour les systèmes intégrés de demain.

Nous comptons avoir une activité soutenue sur ces différents aspects dans les années à venir. Cette activité sera soutenue par des collaborations avec d'autres partenaires académiques et avec de grands groupes industriels leader en Europe sur le marché des semiconducteurs. On soulignera notamment le projet de laboratoire commun entre Philips Caen et le LIRMM en cours de négociation avec le CNRS sur les aspects test de systèmes en boîtier ou SiP pour « Systems-in-Package », la participation au projet européen MEDEA+ Nanotest lancé en 2005 pour une durée de 4 ans sur les aspects gestion de la complexité et prise en compte des performances temporelles et faible consommation pour le test, la participation au pôle de compétitivité « solutions communicantes sécurisées » de la région PACA au travers des actions en cours avec STMicroelectronics sur le thème de la conception et du test des circuits sécurisés, la participation au réseau d'excellence PATENT-

DfMM lancé en 2004 pour une durée de 4 ans en ce qui concerne les problèmes d'industrialisation de MEMS.

3.1. Test des systèmes

Les avancés rapides des techniques de conception et de fabrication des circuits intégrés ont facilité la conception de systèmes complexes comprenant aujourd'hui des millions de transistors (1 milliard de transistors sur une puce de quelques cm² d'ici 2010). Ces techniques utilisent des modules préconçus et prévérifiés : les cœurs du système. La préoccupation primordiale d'une conception à base de cœurs est son efficacité. En d'autres termes, la réutilisation de cœurs doit permettre de concevoir plus rapidement et plus efficacement les systèmes de demain. Cependant, si l'on ne porte pas attention à la conception pour la testabilité et à la génération de tests pour ces cœurs enfouis et le système complet, ce point risque de devenir le goulot d'étranglement du processus de développement des circuits intégrés et peut annuler les avantages liés à la conception à base de cœurs.

Les actions menées sur les Infrastructures de test et la Compression de données doivent se poursuivre de façon conjointe de façon à proposer des méthodes d'optimisation temps de test /surface additionnelle au niveau système. Nous avons notamment travaillé jusque là à la proposition de méthodes de compression des vecteurs de test pour des circuits (cœurs) isolés, il nous faut encore travailler à la compression éventuelle des réponses de test et à l'acheminement de données compressées (vecteurs/réponses) au sein d'un système complet. Ces travaux se poursuivront dans le cadre du projet européen MEDEA+ NanoTest et d'une collaboration plus étroite avec la division Recherche et Développement de Philips Eindhoven.

Jusqu'à nos jours, le test des circuits et systèmes électroniques a principalement été utilisé pour traquer les composants défectueux après fabrication afin de ne conserver que les éléments sains. Il a donc été longtemps considéré comme une technologie ayant un impact négatif. Avec l'arrivée des technologies fortement submicroniques, l'impact du test s'élargit d'une technologie d'examen sélectif (triage) vers une technologie d'aide au « déverminage » (debug) du premier silicium, vers une base pour la réparation des puces au cours de la fabrication, et vers une infrastructure pour le diagnostic et la tolérance aux fautes. Nous comptons poursuivre les travaux menés sur la validation et le test en étudiant l'application de la technique de mutation au déverminage.

L'étude de l'adéquation des techniques de conception en vue du test au problème particulier des circuits sécurisés se poursuit dans le cadre d'une collaboration avec la société STMicroelectronics avec notamment une nouvelle thèse débutant fin 2005. Le développement de méthodes conjointes de conception en vue du test et de la sécurité s'avère aujourd'hui nécessaire pour harmoniser les flots de conception actuels.

3.2. Test des effets dynamiques

L'accroissement de la complexité des systèmes intégrés sur silicium pose de nombreux problèmes liés au coût et à la difficulté du test. Dans la feuille de route établie en 2003 par la SIA (Semiconductor Industry Association), on relève un certain nombre d'éléments qui induisent et induiront davantage dans le futur des changements dans les méthodologies de test à utiliser. Ces éléments sont liés à l'élévation des fréquences de fonctionnement, à l'augmentation des densités d'intégration, et à l'hétérogénéité des systèmes intégrés de nouvelle génération. Parmi ces éléments, on retrouve également comme éléments déterminants pour l'avenir du test la prise en compte des défauts temporels (ou fautes dynamiques) et des phénomènes de surconsommation durant le test. Ces éléments coïncident avec les travaux de recherche que nous avons menés jusqu'à présent et que nous poursuivrons au cours des prochaines années.

Les travaux sur le test faible consommation se poursuivront avec la thèse de N. Badereddine. Les travaux sur le diagnostic de pannes temporelles dans les circuits logiques se poursuivront avec la thèse de A. Rousset dans le cadre du contrat européen MEDEA+ NanoTEST. Les travaux sur le test de fautes dynamiques dans les mémoires Flash embarquées ou empilées se poursuivront avec la thèse de O. Ginez dans le cadre d'une convention CIFRE avec la société ATMEL. Les travaux sur le test de fautes dynamiques dans les mémoires SRAM se poursuivront avec une nouvelle thèse (A. Ney) menée en collaboration avec la société Infineon dans le cadre du projet européen MEDEA+ NanoTEST portant sur le test des systèmes intégrés nanométriques de type SoC ou SiP. A plus long

terme, des travaux portant sur la recherche de solutions pour la conception de systèmes tolérants aux fautes dynamiques ou sur la mise au point de techniques de test spécifiques aux systèmes asynchrones pourraient être envisagés.

3.3. Test orienté défauts

Les travaux à venir s'inscrivent dans la continuité des recherches actuelles et concernent le problème de l'adéquation entre les modèles de fautes et les défauts réels en technologie CMOS. En effet avec l'évolution des technologies apparaissent sans cesse de nouveaux types de défaut dont la prise en compte se révèle primordiale pour la qualité du test.

Concernant les défauts de perçement de grille, il s'agit d'une part de compléter l'analyse préliminaire du comportement électrique des portes logiques dominos affectées de défauts de percements de grille pour être plus réaliste, notamment par la prise en compte de « keepers » dans l'architecture d'étude. D'autre part, une étude du comportement dynamique de cellules dominos avec percements de grille doit être développée afin d'obtenir à terme une modélisation exhaustive du défaut.

Concernant la modélisation dynamique des courts-circuits résistifs, la collaboration avec l'université de Fribourg va se poursuivre afin d'intégrer un modèle paramétrique des fautes de délai induites par des courts-circuits résistifs au sein d'un outil logiciel de simulation de fautes. En parallèle des développements complémentaires qui découleront de ces résultats, l'étude sera élargie aux circuits ouverts résistifs.

Finalement nous comptons approfondir l'étude démarrée récemment sur la modélisation des marginalités portant atteinte à l'intégrité du signal, et plus particulièrement concernant les défauts de « ground-bounce ». Ce problème peut en fait être abordé selon deux angles différents. Il s'agit d'une part de connaître et d'estimer finement les dégradations induites par ces phénomènes parasites afin d'essayer de les maîtriser par conception. Il s'agit d'autre part de développer des techniques de test capables de révéler ce type de défauts lorsque l'on n'est pas capable de les maîtriser par conception. Dans le premier cas, un certain nombre de chercheurs travaillent sur la modélisation physique et analytique des phénomènes parasites responsables des dégradations en vue de leur prévention par conception. Peu de travaux ont par contre été réalisés à ce jour concernant la mise au point de modèles en vue du développement de techniques de test. C'est donc notre objectif que d'appréhender et de modéliser les marginalités portant atteinte à l'intégrité du signal en vue de l'amélioration de la qualité du test.

3.4. Test des circuits analogiques, mixtes et microsystemes

Les circuits analogiques ont été pendant de nombreuses années supplantés par les circuits digitaux et ne faisaient l'objet que de peu d'études particulières. Depuis une dizaine d'années on assiste à un retour en force de l'analogique, grâce notamment aux progrès technologiques importants accomplis dans la fabrication des circuits analogiques. Des fonctions analogiques sont ainsi aujourd'hui présentes dans la plupart des circuits mis sur le marché et les prévisions pour les années à venir confirment cette tendance. Dans le même temps, de plus en plus de systèmes complexes intégrés sur silicium intègrent à côté de l'électronique numérique classique, des dispositifs d'interface avec le monde réel tels que des capteurs/actionneurs et des éléments d'électronique analogique. Il est donc clair que l'avenir appartient aux systèmes hétérogènes intégrant à la fois des blocs fonctionnels numériques, analogiques et microsystemes, et aux problèmes de test afférents.

Concernant les travaux sur le test des Convertisseurs Analogique Numérique (CAN), nous comptons à court terme poursuivre le développement et la mise en œuvre des techniques d'auto-test intégré (BIST, pour Built-In-Self-Test) pour les CAN. A partir de la structure complète de test intégré pour signal d'entrée triangulaire déjà développée, il s'agit d'étendre le champ d'application au cas de signaux sinusoidaux dans le but de généraliser cette méthode de test intégré à tous les types de convertisseurs. Il nous reste aussi à définir une solution viable d'intégration de la technique de test par FFT. Par la suite, l'idée est de se servir de ces structures BIST de CAN pour faciliter le test des blocs analogiques enfouis dans les circuits mixtes.

Nous comptons aussi valider les différents flots de test de CAN sur des lots réels de convertisseurs dans la chaîne de production de Philips. Nous pourrions alors prendre contact avec les fabricants de

testeurs industriels (AGILENT, NPTest, TERADYNE...) pour leur proposer d'intégrer ce flot dans le logiciel de contrôle du testeur.

A plus long terme, nous comptons utiliser l'expertise acquise en conception et en test pour développer des structures auto-calibrées. En effet l'utilisation de circuits intégrés mixtes, c'est-à-dire combinant des fonctions analogiques et des fonctions numériques sur la même puce microélectronique, s'est généralisée dans tous les domaines qui nécessitent l'acquisition, l'utilisation ou la génération de signaux physiques (donc analogiques), notamment les télécommunications, les applications multimédias, l'instrumentation en particulier médicale, l'imagerie ou encore la détection radar. De tels circuits permettent en effet de bénéficier de la robustesse et de la modularité du traitement numérique pour manipuler avec maîtrise et puissance les signaux analogiques du monde réel. Toutefois, l'augmentation de la complexité des systèmes induite par la coexistence de ces deux domaines se répercute sur la difficulté de la conception des composants impliquant une perte de rendement de fabrication et donc une augmentation du prix de revient des circuits. Une solution pour augmenter le rendement de fabrication consiste justement à « relâcher » les contraintes de conception et à calibrer le circuit après fabrication. Partant de cette idée, nous voulons proposer des architectures de CAN haute résolution auto-calibrés. Le système de compensation de ces CAN utiliserait les structures BIST que nous avons développées pour évaluer la valeur des paramètres à compenser. Dans ce contexte, nous avons mis en place une collaboration avec la société Philips-Caen et le laboratoire IXL de l'université de Bordeaux I.

Concernant les travaux sur le test des microsystèmes, nous envisageons de poursuivre notre activité selon deux axes forts. Le premier concerne la problématique du test des systèmes en boîtier ou SiP pour « Systems-in-Package », avec un intérêt particulier pour la prise en compte des MEMS. Ces travaux devraient s'inscrire dans le cadre du projet de laboratoire commun entre Philips-Caen et le LIRMM. En effet, Philips a développé un procédé adapté au report de MEMS sur substrat passif qui permet de créer autour du capteur fonctionnel une microcavité dont les paramètres environnementaux (taux d'humidité, pression, ...) doivent être garantis par fabrication. Le contrôle de la qualité atmosphérique de la cavité est donc indispensable que ce soit après fabrication ou durant la durée de vie du système. Pour cela, une idée consiste à profiter de la possibilité d'avoir dans les systèmes SiP des capteurs intégrés capables d'être interrogés à tout moment. Il s'agit ainsi d'implanter une infrastructure sur silicium pour assurer les tests liés à la technologie. Les travaux envisagés concernent plus particulièrement l'étude et le développement de l'architecture électronique de test intégrée au plus près des capteurs environnementaux.

Le deuxième axe concerne la problématique de l'industrialisation des micro- et nano-systèmes, et plus particulièrement le développement de solutions de conception en vue du test dédiées aux MEMS. Notre objectif est de proposer des méthodes de conception en vue du test en s'intéressant plus particulièrement aux méthodes de test structurelles (il est indispensable de démontrer l'absence de défaut plutôt que le bon fonctionnement du système), à la génération de stimuli électriques et à la modélisation électrique de défauts physiques. Nous nous appuyerons pour cela sur les travaux en cours au laboratoire en matière de conception de micro- et nano-systèmes, l'objectif étant à terme de disposer de méthodes généralisables permettant de concevoir des systèmes auto-testables. Ces travaux devraient s'inscrire pour partie dans le cadre du réseau d'excellence européen PATENT-DfMM.

4. Production scientifique

4.1. Thèses soutenues

NOM Prénom (Financement)	Titre	Durée	Date de Soutenance	Devenir
Beroulle Vincent ¹ (AMN)	Conception et Test de Microsystèmes Monolithiques CMOS piezoresistifs : Application à un Capteur de Champ Magnétique	3 ans	31-oct-02	MCF INPG
Pouget Julien (MRT)	Test des Systèmes sur Puce : Ordonnancement et Exploration des Solutions Architecturales	3 ans	08-nov-02	Ingénieur R&D STMicroelectronics
Faure Philippe (MRT)	Test Orienté Utilisateur des Circuits Configurables de Type FPGA à Base de SRAM	3 ans	19-déc-02	
Vogel Isabelle (Contrat INTEL)	Utilisation Pratique du Reset Partiel : Initialisation pour le Test Intégré de Circuits Fortement Séquentiels	3 ans	20-déc-02	Mère au foyer
Comte Mariane (MRT)	Etude des corrélations entre paramètres statiques et dynamiques des CAN en vue d'optimiser leur flot de test	3 ans	11-juil-03	MCF UM2
Bonhomme Yannick (MRT)	faible consommation des circuits munis de chaînes de scan	3 ans	25-sept-03	Chercheur permanent CEA-LIST
Gallière Jean-Marc (Enseignant du secondaire)	Etude et Modélisation électrique du court-circuit grille-canal dans les transistors MOS	4 ans	12-déc-03	PRAG Polytech' Montpellier
Dardalhon Muriel (Bourse CNES)	Contribution à l'Analyse de la Fiabilité des Microsystèmes – Prise en Compte des Contraintes liées à l'Environnement Spatial	3 ans	17-déc-03	Ingénieur DALSA Semiconductor Inc
Héron Olivier (MRT)	Test de pannes temporelles dans les circuits programmables de type FPGA-SRAM	3 ans	08-nov-04	Chercheur permanent CEA-LIST
Poirier Régis (MRT)	Compression des données de test pour le test des circuits intégrés	3 ans	26-nov-04	Ingénieur R&D Philips
Dilillo Luigi (MRT)	Test de fautes dynamiques dans les mémoires SRAM	3 ans	08-juin-05	Post-Doctorant, Université Southampton, UK
Dumas Norbert ¹ (BDI CNRS / Région)	Conception et test d'une microboussole sur puce	3 ans	20-oct-05	Post-Doctorant, Université Lancaster, UK
Hely David (CIFRE STM)	Test des circuits sécurisés	3 ans	16-déc-05	Ingénieur STMicroelectronics

¹ 50% Projet TCSI – 50% Projet CCSI

4.2. HDR

- P. Girard. *Contribution au Test des Circuits Intégrés Numériques*. Soutenance : 28 novembre 2003.

4.3. Publications

Livres - Audience nationale

[1] Azaïs F., Bernard S., Bertrand Y., Flottes M.L., Girard P., Landrault C., Latorre L., Pravossoudovitch S., Renovell M., Rouzeyre B. *Test de Circuits et Systèmes Intégrés - Traité EGEM*, série Electronique et microélectronique – Hermès Science, ISBN: 2-7462-0864-4 - 324 pages - 2004.

Chapitres d'ouvrages - Audience internationale

[1] Azaïs F., Nouet P. *Analog and Mixed-Signal Test Bus: IEEE 1149.4 Test Standard* - Springer, ISBN: 1-4020-7724-6 - Test and Design-for-Testability in Mixed-Signal Integrated Circuits - 28 pages - 2004.

Chapitres d'ouvrages - Audience nationale

[1] Landrault C. *Le Test - Traité EGEM*, série Electronique et microélectronique – Hermès Science, ISBN: 2-7462-0434-7- Conception Logique et Physique des Systèmes Monopuces - pp. 107-142 - 2002.

Edition d'ouvrages² - Audience internationale

[1] Renovell M. ; Kajihara S., Ai-Bahadly I., Demidenko S. *DELTA'02: International Workshop on Electronic Design, Test and Applications* - IEEE Computer Society, ISBN: 0-7695-1453-3 - 517 pages – 2002.

[2] Glesner M., Zipf P. ; Renovell M. *FPL'02: Field-Programmable Logic and Applications* – Springer, ISBN: 3-540-44108-5 - 1187 pages - 2002, Lecture Notes in Computer Science Vol. 2438.

[3] Robert M. ; Rouzeyre B. ; Piguet C. ; Flottes M.L. *SoC Design Methodologies* – Springer, ISBN: 1-4021-7148-5 – 496 pages – 2002, Series: IFIP International Federation for Information Processing Vol. 90.

[4] Girard P. *Journal of Low Power Electronics* - ASP: American Scientific Publishers, 2005, vol. 1, n° 1. - 95 pages.

Revue internationale avec comité de lecture

[1] Renovell M., Azaïs F., Bertrand Y. *Improving Defect Detection in Static-Voltage Testing* In IEEE Design and Test of Computers, 2002, vol. 17, n° 6. - pp. 83-89.

[2] Azaïs F., Bernard S., Bertrand Y., Renovell M. *Analog Built-In Saw-Tooth Generator for ADC Histogram Test* In MEJO: Microelectronics Journal, 2002, vol. 33, n° 10. - pp. 781-789.

[3] Girard P., Landrault C., Pravossoudovitch S., Virazel A., Wunderlich H.J. *High Defect Coverage with Low Power Test Sequences in a BIST Environment* In IEEE Design and Test of Computers, 2002, vol. 19, n° 5. - pp. 44-52.

[4] Girard P. *Survey of Low-Power Testing of VLSI Circuits* In IEEE Design and Test of Computers, 2002, vol. 19, n° 3. - pp. 82-92.

[5] Dardalhon M. ; Berouille V., Latorre L., Nouet P. ; Perez G., Nicot J.M., Oudea C. *Reliability Analysis of CMOS MEMS Structures Obtained by Front Side Bulk Micromachining* In Microelectronics Reliability, 2002, vol. 42. - pp. 1777-1782

² 50% projet TCSI – 50% projet CCSI

- [6] Flottes M.L., Rouzeyre B., Volpe L. *Improving Datapath Testability by Modifying Controller Specification* In VLSI Design, 2002, vol. 15, n° 2. - pp. 491-498.
- [7] David R., Girard P., Landrault C., Pravossoudovitch S., Virazel A. *Hardware Generation of Random Single Input Change Test Sequence* In Journal of Electronic Testing: Theory and Application (JETTA), 2002, vol. 18, n° 2. - pp. 145-157.
- [8] Renovell M., Galliere J.M., Azaïs F., Bertrand Y. *Modeling the Random Parameter Effects in a Non-Split Model of Gate Oxide Short* In Journal of Electronic Testing: Theory and Application (JETTA), 2003, vol. 19, n° 4. - pp. 377-386.
- [9] Bernard S., Azaïs F., Bertrand Y., Renovell M. *On-Chip Generation of Ramp and Triangle-Wave Stimuli for ADC BIST* In Journal of Electronic Testing: Theory and Application (JETTA), 2003, vol. 19, n° 4. - pp. 469-479.
- [10] Azaïs F., Bernard S., Bertrand Y., Comte M., Renovell M. *A-to-D Converter Static Error Detection from Dynamic Parameter Measurements* In MEJO: Microelectronics Journal, 2003, vol. 34, n° 10. - pp. 945-953.
- [11] Kac U., Novak F., Azaïs F., Nouet P., Renovell M. *Extending IEEE Std. 1149.4 Analog Boundary Modules to Enhance Mixed-Signal Test* In IEEE Design and Test of Computers, 2003, vol. 20, n° 2. - pp. 32-39.
- [12] Fagot C., Gascuel O., Girard P., Landrault C. *A Ring Architecture Strategy for BIST Test Pattern Generation* In Journal of Electronic Testing: Theory and Application (JETTA), 2003, vol. 19, n° 3. - pp. 223-231.
- [13] Flottes M.L., Landrault C., Petitqueux A. *An Unified DFT Approach for BIST and External Test* In Journal of Electronic Testing: Theory and Application (JETTA), 2003, vol. 19, n° 1. - pp. 49-60.
- [14] Azaïs F., Bertrand Y., Renovell M., Ivanov A., Tabatabaei S. *An All-Digital DFT Scheme for Testing Catastrophic Faults in PLLs* In IEEE Design and Test of Computers, 2003, vol. 20, n° 1. - pp. 60-67.
- [15] Martin Da., Desplats R., Haller G. ; Azaïs F., Nouet P. *Automated Diagnosis and Probing Flow for Fast Fault Localization in IC* - Elsevier. In Microelectronics Reliability, 2004, vol. 44, n° 9/11. - pp. 1553-1558.
- [16] Bonhomme Y., Girard P., Guiller L., Landrault C., Pravossoudovitch S. *Power-Driven Routing-Constrained Scan Chain Design* In Journal Of Electronic Testing: Theory And Application (JETTA), 2004, vol. 20, n° 6. - pp. 647-660.
- [17] Bouchakour R., Portal J.M. ; Galliere J.M., Azaïs F., Bertrand Y., Renovell M. *A Compact DC Model of Gate Oxide Short Defect* In Microelectronic Engineering, 2004, vol. 72, n° 1-4. - pp. 140-148.
- [18] Azaïs F., Bernard S., Bertrand Y., Comte M., Renovell M. *Correlation Between Static and Dynamic Parameters of A-to-D Converters: In the View of a Unique Test Procedure* - Kluwer. In Journal of Electronic Testing: Theory and Application (JETTA), 2004, vol. 20, n° 4, pp. 375-387.
- [19] Bernard S., Comte M., Azaïs F., Bertrand Y., Renovell M. *Efficiency of Spectral-Based ADC Test Flows to Detect Static Errors* - Kluwer. In Journal of Electronic Testing: Theory and Application (JETTA), 2004, vol. 20, n° 3. - pp. 257-267
- [20] Girard P., Bonhomme Y. *Low Power Scan Chain Design: A Solution for an Efficient Tradeoff Between Test Power and Scan Routing* - ASP: American Scientific Publishers. In Journal of Low Power Electronics, 2005, vol. 1, n° 1. - pp. 85-95 .
- [21] Dilillo L., Girard P., Pravossoudovitch S., Virazel A. ; Borri S., Hage-Hassan M. *Efficient March Test Procedure for Dynamic Read Destructive Fault Detection in SRAM Memories* - Springer. In Journal of Electronic Testing: Theory and Application (JETTA), 2005, vol. 21, n° 5, pp. 551-561.

[22] Borri S., Hage-Hassan M. ; Dilillo L., Girard P., Pravossoudovitch S., Virazel A. *Analysis of Dynamic Faults in Embedded-SRAMs: Implications for Memory Test* - Springer. In Journal of Electronic Testing: Theory and Application (JETTA), 2005, vol. 21, n° 2, pp. 169-179.

[23] Balen T.R., Andrade A. ; Azaïs F. ; Lubaszewski M. ; Renovell M. *Applying the Oscillation Test Strategy to FPAA's Configurable Analog Blocks* In Journal Of Electronic Testing: Theory and Application (JETTA), 2005, vol. 21, n° 2, pp. 135-146.

[24] Girard P., Héron O., Pravossoudovitch S., Renovell M. *Delay Fault Testing of Look-Up Tables in SRAM-Based FPGAs* In Journal of Electronic Testing: Theory and Application (JETTA), 2005, vol. 21, n° 1. - pp. 43-55.

[25] Azaïs F. ; Lubaszewski M. ; Nouet P., Renovell M. *A Strategy for Optimal Test Point Insertion in Analog Cascaded Filters* In Journal of Electronic Testing: Theory and Application (JETTA), 2005, vol. 21, n° 1. - pp. 9-16.

[26] Gallière J.M., Renovell M., Azaïs F., Bertrand Y. *Delay Testing Viability of Gate Oxide Short Defect* In Journal of Computer Science and Technology, 2005, vol. 20, n° 2. - pp. 195-200.

[27] Azaïs F., Bernard S., Comte M., Bertrand Y., Renovell M. *Efficiency of Optimized Dynamic Test Flows for ADCs: Sensitivity to Specifications* - Kluwer Academic Publisher. In Journal of Electronic Testing: Theory and Application (JETTA), 2005, vol. 21, n° 3, pp. 291-298.

[28] Polian I., Engelke P. ; Renovell M. ; Becker P. *Modeling Feedback Bridging Faults with Non-Zero Resistance* - Kluwer. In Journal Of Electronic Testing: Theory and Application (JETTA), 2005, vol. 21, n° 1. - pp. 57-69.

Conférences internationales avec actes et comité de lecture

[1] Bertrand Y., Flottes M.L., Azaïs F., Bernard S., Latorre L., Lorival R. *A Remote Access to Engineering Test Facilities for the Distant Education of European Microelectronics Students* - FIE'02: Frontiers in Education Conference, 2002. - T2E-24.

[2] Flottes M.L., Pouget J., Rouzeyre B. *Power-Constrained Test Scheduling for SoCs Under a "no session" Scheme* - SoC Design Methodologies, 2002. - pp. 375-386. - (11th).

[3] Renovell M., Faure P. ; Prinetto P., Zorian Y. *Testing the Unidimensionnal Interconnect Architecture of Symmetrical SRAM - Based FPGA* - IEEE International Workshop on Electronic Design, Test and Applications, 2002. - pp. 297-301.

[4] Renovell M., Gallière J.M., Azaïs F., Bertrand Y. *Modeling Gate Oxide Short Defects in CMOS Minimum Transistors* - ETW'02: IEEE European Test Workshop, 2002. - pp. 15-20. - (7th).

[5] Renovell M., Gallière J.M., Azaïs F., Bertrand Y. *Low Voltage Testing of Gate Oxide Short in CMOS Technology* - DDECS'02: 5th IEEE International Workshop on Design and Diagnostics of Electronic Circuits and Systems, 2002. - pp. 168-174. - (5th).

[6] Flottes M.L., Pouget J., Rouzeyre B. *A Heuristic for Test scheduling at System Level* - DATE'02: Design Automation and Test in Europe, 2002. - p. 1124.

[7] David R. ; Girard P., Landrault C., Pravossoudovitch S., Virazel A. *Random Adjacent Sequences: An Efficient Solution for Logic BIST* - SoC Design Methodologies, 2002. - pp. 413-424. - (11th).

[8] David R. ; Girard P., Landrault C., Pravossoudovitch S., Virazel A. *On Using Efficient Test Sequences for BIST* - VTS'02: 20th IEEE VLSI Test Symposium, 2002. - pp. 145-150. - (20th).

[9] Bonhomme Y., Girard P., Landrault C., Pravossoudovitch S. *Test Power: A Big Issue in Large SOC Design* - IEEE International Workshop on Electronic Design, Test and Applications, 2002. - pp. 447-449. - (1st).

- [10] Bonhomme Y., Girard P., Landrault C., Pravossoudovitch S. *Power Driven Chaining of Flip-Flops in Scan Architectures* - ITC'02: International Test Conference, 2002. - pp. 796-803.
- [11] Bertrand Y., Flottes M.L., Azaïs F., Bernard S., Latorre L., Lorival R. *European Network for Test Education* - DELTA'02: 1st International Workshop on Electronic Design, Test and Applications, 2002. - pp. 230-239. - (1st).
- [12] Bertrand Y., Flottes M.L., Azaïs F., Bernard S., Latorre L., Lorival R. *EuNICE-Test Project: A remote Access to Engineering Test for European Universities* - EWME'02: European Workshop on MicroElectronics Education, 2002. - pp. 133-136. - (4th).
- [13] Berouille V., Bertrand Y., Latorre L., Nouet P. *On the Use of an Oscillation-Based Test Methodology for CMOS Micro-Electro-Mechanical Systems* - DATE'02: Design Automation and Test in Europe, 2002. - p. 1120.
- [14] Berouille V., Latorre L. ; Dardalhon M., Oudea C., Perez G., Presseccq F. ; Nouet P. *Impact of Technology Spreading on MEMS Design Robustness* - SoC Design Methodologies, 2002. - pp. 241-251. - (11th).
- [15] Berouille V., Bertrand Y., Latorre L., Nouet P. *Evaluation of the Oscillation-Based Test Methodology for Micro-Electro-Mechanical Systems* - VTS'02: 20th IEEE VLSI Test Symposium, 2002. - pp. 439-444. - (20th).
- [16] Bernard S., Azaïs F., Bertrand Y., Renovell M. *A High Accuracy Triangle-Wave Signal Generator for On-Chip ADC Testing* - ETW'02: IEEE European Test Workshop, 2002. - pp. 89-94. - (7th).
- [17] Azaïs F., Bernard S., Bertrand Y., Renovell M. *On-Chip Generator of a Saw-Tooth Test Stimulus for ADC BIST* - SoC Design Methodologies, 2002. - pp. 425-436.
- [18] Renovell M., Gallière J.M., Azaïs F., Bertrand Y. *A Non-Split Model for Realistic Gate Oxide Short in CMOS Technology* - DCIS'02: 17th International Conference on Design of Circuits and Integrated Systems, 2002. - pp. 197-204. - (17th).
- [19] Dilillo L., Girard P., Pravossoudovitch S., Virazel A., Borri S. *Comparison of Open and Resistive-Open Defect Test Conditions in SRAM Address Decoders* - IEEE Computer Society. - ATS'03: 12th IEEE Asian Test Symposium, 2003. - pp. 250-255.
- [20] Renovell M., Gallière J.M., Azaïs F., Bertrand Y. *Delay Testing of MOS Transistor with Gate Oxide Short* - IEEE Computer Society. - ATS'03: 12th IEEE Asian Test Symposium, 2003. - pp. 168-173.
- [21] Engelke P., Polian I. ; Renovell M. ; Becker P. *Simulating Resistive Bridging And Stuck-At Faults* - ITC'03: International Test Conference, 2003. - pp. 1051-1059.
- [22] Bernard S., Comte M., Azaïs F., Bertrand Y., Renovell M. *A New Methodology for ADC Test Flow Optimization* - ITC'03: International Test Conference, 2003. - pp. 201-209.
- [23] Bonhomme Y., Girard P., Guiller L., Landrault C., Pravossoudovitch S. *Efficient Scan Chain Design for Power Minimization During Scan Testing Under Routing Constraint* - ITC'03: International Test Conference, 2003. - pp. 488-493.
- [24] Renovell M. *Testing Challenges for Modern FPGAs* - ECS'03: 4th Electronic Circuits and Systems, 2003. - pp. 1-9. - (4th).
- [25] Girard P., Héron O., Pravossoudovitch S., Renovell M. *Defect Analysis for Delay-Fault BIST in FPGAs* - IOLTS'03: 9th International On-Line Testing Symposium, 2003. - pp. 124-128. - (9th).
- [26] Bertrand Y., Flottes M.L., Balado L., Figueras J., Biasizzo A., Novak F., Di Carlo S., Prinetto P., Pricopi N., Wunderlich H.J., Van Der Heyden J-P. *Test Engineering Education in Europe: The EuNICE-Test Project* - MSE'03: 2nd International Conference on Microelectronic Systems Education, pp. 85-86.

- [27] Girard P., Héron O., Pravossoudovitch S., Renovell M. *Requirements for Delay Testing of Look-Up Tables in SRAM-Based FPGAs* - ETW'03: IEEE European Test Workshop, 2003. - pp. 147-152.
- [28] Pouget J., Larsson E., Peng Z., Flottes M.L., Rouzeyre B. *An Efficient Approach To Soc Wrapper Design, TAM Configuration and Test Scheduling* - ETW'03: IEEE European Test Workshop, 2003. - pp. 51-56.
- [29] Borri S., Hage-Hassan M., Girard P., Pravossoudovitch S., Virazel A. *Defect-Oriented Dynamic Fault Models for Embedded-SRAMs* - ETW'03: IEEE European Test Workshop, 2003. - pp. 23-28.
- [30] Renovell M. *Digital and Analog System Testing: Fundamentals and New Challenges* - IEEE. - ICM'04: 16th International Conference on Microelectronics, 2004. - pp. 8-10. - (16th).
- [31] Zenteno A., Champac V.H., Renovell M., Azaïs F. *Analysis and Attenuation Proposal in Ground Bounce* - IEEE. - ATS'04: 13th IEEE Asian Test Symposium, 2004. - pp. 460-463. - (13th).
- [32] Girard P., Héron O., Pravossoudovitch S., Renovell M. *BIST of Delay Faults in the Logic Architecture of Symmetrical FPGAs* - IEEE Computer Society. - IOLTS'04: 10th International On-Line Testing Symposium, 2004. - pp. 187-192. - (10th).
- [33] Hely D., Flottes M.L., Bancel F., Rouzeyre B., Berard N., Renovell M. *Scan Design and Secure Chip* - IEEE. - IOLTS'04: 10th International On-Line Testing Symposium, 2004. - pp. 219-224.
- [34] Balen T.R., Andrade A. ; Azaïs F., Lubaszewski M., Renovell M. *An Approach to the Built-in-Self of Field Programmable Analog Arrays* - VTS'04: 22nd IEEE VLSI Test Symposium, 2004. - pp. 383-388.
- [35] Dilillo L., Girard P., Pravossoudovitch S., Virazel A., Borri S., Hage-Hassan M. *Resistive-Open Defects in Embedded-SRAM Core Cells: Analysis and March Test Solution* - IEEE. - ATS'04: 13th IEEE Asian Test Symposium, 2004. - pp. 266-271.
- [36] Girard P., Héron O., Pravossoudovitch S., Renovell M. *Manufacturing-Oriented Testing of Delay Faults in the Logic Architecture of Symmetrical FPGAs* - IEEE. - ETS'04: 9th IEEE European Test Symposium, 2004. - pp. 117-122. - (9th).
- [37] Dumas N., Azaïs F., Latorre L., Nouet P. *Electrically-Induced Thermal Stimuli for MEMS Testing* - IEEE. - ETS'04: 9th IEEE European Test Symposium, 2004. - pp. 60-65. - (9th).
- [38] Krundel L., Kumar Goel S., Marinissen E.J., Flottes M.L., Rouzeyre B. *User-Constrained Test Architecture Design for Modular SOC Testing* - IEEE. - ETS'04: 9th IEEE European Test Symposium, 2004. - pp. 80-85. - (9th).
- [39] Dilillo L., Girard P., Pravossoudovitch S., Virazel A., Borri S., Hage-Hassan M. *Dynamic Read Destructive Faults in Embedded-SRAMs: Analysis and March Test Solution* - IEEE. - ETS'04: 9th IEEE European Test Symposium, 2004. - pp. 140-145. - (9th).
- [40] Engelke P., Polian I., Renovell M., Becker P. *Automatic Test Pattern Generation for Resistive Bridging Faults* - IEEE. - ETS'04: 9th IEEE European Test Symposium, 2004. - pp. 160-165. - (9th).
- [41] Bonhomme Y., Yoneda T., Fujiwara H., Girard P. *An Efficient Scan Tree Design for Test Time Reduction* - IEEE. - ETS'04: 9th IEEE European Test Symposium, 2004. - pp. 174-179. - (9th).
- [42] Martin Da., Desplats R., Haller G., Azaïs F., Nouet P. *Optimised Probing Flow for High Speed Fault Localization* - ISTFA'04: International Symposium on Testing and Failure Analysis, 2004 - pp. 176-180.
- [43] Balen T.R., Andrade Jr A., Azaïs F., Lubaszewski M., Renovell M. *Testing the Configurable Analog Blocks of Field Programmable Analog Arrays* - ITC'04: International Test Conference, 2004. - pp. 893-902.

- [44] Larsson E., Pouget J., Peng Z. *Defect-Aware SOC Test Scheduling* - VTS'04: 22nd IEEE VLSI Test Symposium, 2004. - pp. 359-364. - (22nd).
- [45] Engelke P., Polian I., Renovell M., Seshadri B., Becker P. *The Pros and Cons of Very-Low-Voltage Testing: An Analysis Based on Resistive Bridging Faults* - VTS'04: 22nd IEEE VLSI Test Symposium, 2004. - pp. 171-178. - (22nd).
- [46] Tahoori M.B., McCluskey E.J., Renovell M., Faure P. *A Multi-Configuration Strategy for an Application Dependant Testing of FPGAs* - VTS'04: 22nd IEEE VLSI Test Symposium, 2004. - pp. 154-159.
- [47] Dilillo L., Girard P., Pravossoudovitch S., Virazel A., Borri S. *March iC-: An Improved Version of March C- for ADOFs Detection* - VTS'04: 22nd IEEE VLSI Test Symposium, 2004. - pp. 129-134. - (22nd).
- [48] Flottes M.L., Poirier R., Rouzeyre B. *An Arithmetic Structure for Test Data Horizontal Compression* - DATE'04: Design, Automation and Test in Europe, 2004. - pp. 428-434.
- [49] Bonhomme Y., Girard P., Guiller L., Landrault C., Virazel A., Pravossoudovitch S. *Design of Routing-Constrained Low Power Scan Chains* - DATE'04: Design, Automation and Test in Europe, 2004. - pp. 62-67.
- [50] Bonhomme Y., Girard P., Guiller L., Landrault C., Pravossoudovitch S., Virazel A. *Design of Routing-Constrained Low Power Scan Chains* - IEEE Computer Society. - DELTA'04: 2nd International Workshop on Electronic Design, Test and Applications, 2004. - pp. 287-292.
- [51] Flottes M.L., Poirier R., Rouzeyre B. *On Using Test Vector Differences for Reducing Test Pin Numbers* - IEEE Computer Society. - DELTA'04: 2nd International Workshop on Electronic Design, Test and Applications, 2004. - pp. 275-280. - (2nd).
- [52] Flottes M.L., Bertrand Y., Balado L., Lupon E., Biasizzo A., Novak F., Di Carlo S., Prinetto P., Pricopi N., Wunderlich H.J. *Digital, Memory and Mixed-Signal Test Engineering Education: Five Centres of Competences in Europe* - IEEE Computer Society. - DELTA'04: 2nd International Workshop on Electronic Design, Test and Applications, 2004, pp. 135-139.
- [53] Girard P., Héron O., Pravossoudovitch S., Renovell M. *High Quality TPG for Delay Faults in Look-Up Tables of FPGAs* - IEEE Computer Society. - DELTA'04: 2nd International Workshop on Electronic Design, Test and Applications, 2004. - pp. 83-88. - (2nd).
- [54] Renovell M. *Principe et Problématique pour le Test des System-On-Chip* - SCS'04: Signaux, Circuits et Systèmes, 2004. - pp. 1-3 : (1ère).
- [55] Badereddine N., Girard P., Pravossoudovitch S., Virazel A., Landrault C. *Power-Aware Scan Testing for Peak Power Reduction* - VLSI-SOC'05: IFIP International Conference on Very Large Scale Integration, 2005..
- [56] Badereddine N., Girard P., Pravossoudovitch S., Virazel A., Landrault C. *Why Do We Need to Reduce Peak Power Consumption During Scan Capture ?* - Springer. - PATMOS'05: 15th International Workshop on Power and Timing Modeling, Optimization and Simulation, 2005, pp. 540-549.
- [57] Hely D., Bancel F., Flottes M.L., Rouzeyre B. *Test Control for Secure Scan Designs* - IEEE. - ETS'05: European Test Symposium, 2005. - pp. 190-195 - (10th).
- [58] Dilillo L., Girard P., Pravossoudovitch S., Virazel A., Hage-Hassan M. *Resistive-Open Defect Influence in SRAM Pre-Charge Circuits: Analysis and Characterization* - IEEE. - ETS'05: European Test Symposium, 2005. - pp. 116-121- (10th).
- [59] Mailly F., Azaïs F., Dumas N., Latorre L., Nouet P. *Towards On-Line Testing of MEMS Using Electro-Thermal Excitation* - IEEE. - ETS'05: European Test Symposium, 2005. - pp. 76-81 - (10th).

[60] Kerkhoff H.G., Zhang X., Liu H., Richardson A., Nouet P., Azaïs F. *Vhdl-Ams Fault Simulation for Testing DNA Bio-Sensing Arrays* – à paraître dans IEEE Sensors Conference, 2005.

[61] Dilillo L., Girard P., Pravossoudovitch S., Virazel A., Bastian M. *Resistive-Open Defect Injection in SRAM Core-Cell: Analysis and Comparison Between 0.13 um and 90 nm Technologies* - DAC'05: Design Automation Conference, 2005. - pp. 857-862.

[62] Pereira G., Andrade A., Balen T.R., Lubaszewski M., Azaïs F., Renovell M. *Testing the Interconnect Networks and I/O Resources of Field Programmable Analog Arrays* - IEEE Computer Society - VTS'05: 23rd IEEE VLSI Test Symposium, 2005. - pp. 389-400.

[63] Polian I., Sandip Kundu, Gallièrre J.M., Engelke P., Renovell M., Becker P. *Resistive Bridge Fault Model Evolution From Conventional to Ultra Deep Submicron Technologies* - IEEE Computer Society. - VTS'05: 23rd IEEE VLSI Test Symposium, 2005. - pp. 343-348.

[64] Dumas N., Azaïs F., Latorre L., Nouet P. *On-Chip Electro-Thermal Stimulus Generation for a MEMS-Based Magnetic Field Sensor* - IEEE Computer Society. - VTS'05: 23rd IEEE VLSI Test Symposium, 2005. - pp. 213-218.

[65] Dilillo L., Girard P., Pravossoudovitch S., Virazel A., Hage-Hassan M. *Data Retention Fault in SRAM Memories: Analysis and Detection Procedures* - IEEE Computer Society. - VTS'05: 23rd IEEE VLSI Test Symposium, 2005. - pp. 183-188.

[66] Comte M., Ohtake S. ; Fujiwara H., Renovell M. *Electrical Behavior of GOS Faults in Domino Logic* - IEEE. - DDECS'05: IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems, 2005. - pp. 210-215.

[67] Badereddine N., Girard P., Pravossoudovitch S., Landrault C., Virazel A. *Peak Power Consumption During Scan Testing: Issue, Analysis and Heuristic Solution* / - IEEE. - DDECS'05: IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems, 2005, pp. 151-159.

[68] Renovell M., Tanguy S. *A Set of Test Configurations for the Global Routing of Hierarchical SRAM-Based FPGA* - IEEE. - DDECS'05: IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems, 2005. - pp. 47-54.

[69] Bonhomme Y., Yoneda T., Fujiwara H., Girard P. *Test Application Time Reduction with a Dynamically Reconfigurable Scan Tree Architecture* - IEEE. - DDECS'05: IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems, 2005. - pp. 19-26.

[70] Scholive M. , Berouille V., Robach C., Flottes M.L., Rouzeyre B. *Mutation Sampling Technique for the Generation of Structural Test Data* - IEEE Computer Society. - DATE'05: Design, Automation and Test in Europe, 2005. - p 1022.

[71] Latorre L., Bertrand Y., Flottes M.L., Robert M. *Test Engineering Education in Europe: The EuNICE-Test Project* – à paraître dans EDUTECH'05, 2005.

Conférences invitées - Audience internationale

[1] Bonhomme Y., Girard P., Landrault C., Pravossoudovitch S. *Power Conscious Testing* - EWDTTC'03: East-West Design & Test Conference, 2003. - pp. 29-31.

[2] Renovell M. *Structural Testing of Modern Reconfigurable Chips* - EWDTTC'03: East-West Design & Test Conference, 2003. - pp. 5-9.

[3] Azaïs F. *Towards Low-Cost Testing of Analog-to-Digital Converters* - Workshop on the Testing of High Resolution Mixed-Signal Interfaces, 2004.

[4] Nouet P. *Electrically-Induced Thermal Stimuli for MEMS Testing* - 1st PATENT-DfMM Summer School, 2004.

[5] Nouet P. *Tutorial on Test Engineering and Design for Testability of Micro- and Nano- Systems* - 1st PATENT-DfMM Summer School, 2004.

[6] Renovell M. *Fundamentals of System Testing: Challenges for System-On-Chips* - ICM'04: 16th International Conference on Microelectronics, 2004. - pp. 176-180.

[7] Renovell M. *Realistic Fault Models for Defects in Electronic Circuits* - BEC'04: International Baltic Electronic Conference, 2004. - pp. 33-37.

[8] Flottes M.L. *Testing a secure device: high coverage with very low observability* – Table Ronde “Security vs test quality: can we only have one at a time”, IEEE ITC'04 : International test Conference, Charlotte, USA, oct. 2004.

[9] Landrault C. *Functional Memory Testing* - EWDTW: East-West Design & Test International Workshop, 2004.

[10] Girard P. *European Projects: What Type of Instruments for what Type of Research ?*- 1st Reconfigurable Communication-Centric SoCs Workshop, 2005.

[11] Dilillo L., Girard P., Pravossoudovitch S., Virazel A., Hage-Hassan B. *Test Solutions for Dynamic Faults in SRAM Memories* - MEDEA + Design Automation Conference, 2005.

[12] Azaïs F. *Test of a CMOS Micro Compass* – 2nd PATENT-DfMM Summer School, 2005.

Conférences invitées - Audience nationale

[13] Girard P. *Test de Fautes de Délai dans les Circuits Intégrés Numériques* - Réunion Action Spécifique CNRS "TestSOC-MRF", 2004.

Congrès internationaux avec comité de lecture et actes à diffusion restreinte

[1] Flottes M.L., Poirier R., Rouzeyre B. *A Simple and Effective Compression Scheme for Test Pins Reduction* - HLDVT'02: IEEE International Workshop on High Level Design Validation and Test, 2002. - pp. 165-168. - (7th).

[2] Azaïs F., Bernard S., Bertrand Y., Comte M., Renovell M. *Evaluation of ADC Static Parameters via Frequency Domain* - IMSTW'02: 8th IEEE International Mixed-Signal Testing Workshop, 2002. - pp. 165-169. - (8th).

[3] Azaïs F., Bertrand Y., Calvano J.V., Lubaszewski M., Nouet P., Renovell M. *Designing Testable Analog Filters with Optimal DFT Insertion* - IMSTW'02: 8th IEEE International Mixed-Signal Testing Workshop, 2002. - pp. 201-203. - (8th).

[4] Azaïs F., Nouet P., Kac U., Novak F. *Design of an IEEE 1149.4 Test Chip with Extended ABM Functionality* - IMSTW'02: 8th IEEE International Mixed-Signal Testing Workshop, 2002. - pp. 153-159. - (8th).

[5] Vogel I., Flottes M.L., Landrault C. *Initialization of Partially LBISTed Sequential Circuits* - ETW'02: IEEE European Test Workshop, 2002.

[6] Kac U., Novak F., Azaïs F., Nouet P. *Experimental Test Infrastructure Supporting IEEE 1149.4 Standard* - ETW'02: IEEE European Test Workshop, 2002. - poster.

[7] Bonhomme Y., Girard P., Landrault C., Pravossoudovitch S. *Scan Cell Ordering for Low Power Scan Testing* - ETW'02: IEEE European Test Workshop, 2002.

[8] Bertrand Y. *European Network for Education in Microelectronics: Mutualization of Common Facilities and Evolution towards Remote Experiments* - INTERTECH'02: 7th International Conference on Engineering and Technology Education, 2002. - paper 221. - (7th).

- [9] Kac U., Novak F., Azaïs F., Nouet P., Renovell M. *Implementation of an Experimental IEEE 1149.4 Mixed-Signal Test Chip* - BTW'02: Board Test Workshop, 2002. - paper 4.2.
- [10] Comte M., Azaïs F., Bernard S., Bertrand Y., Renovell M. *On the Evaluation of ADC Static Parameters Through Dynamic Testing* - ADDA&EWADC'02: Advanced A/D and D/A Conversion Techniques and Their Applications & ADC Modelling and Testing, 2002. - pp. 95-98.
- [11] Renovell M., Gallière J.M., Azaïs F., Bertrand Y. *Non-Linear and Non-Split Transistor MOS Model for Gate Oxide Short* - DBT'02: IEEE International Workshop on Defect Based Testing, 2002. - pp. 11-16.
- [12] Dardalhon M., Dzeukou M.O., Berouille V., Latorre L., Nouet P., Perez G., Oudea C. *Impact of Environmental Parameters on CMOS MEMS Structures* - CANEUS'02, 2002.
- [13] Berouille V., Bertrand Y., Latorre L., Nouet P. *Testing Resonant Micro-Electro-Mechanical Sensors Using the Oscillation-Based Test Methodology* - LATW'02: 3rd IEEE Latin American Test Workshop, 2002. - pp. 99-104. - (3rd).
- [14] Gonsales A., Lubaszewski M., Carro L., Renovell M. *A New FPGA for DSP Applications Integrating BIST Capabilities* - LATW'02: 3rd IEEE Latin American Test Workshop, 2002. - pp. 76-81. - (3rd).
- [15] Azaïs F., Bernard S., Bertrand Y., Comte M., Renovell M., Lubaszewski M. *Estimating Static Parameters of A-to-D Converters from Spectral Analysis* - LATW'02: 3rd IEEE Latin American Test Workshop, 2002. - pp. 174-179. - (3rd).
- [16] Bernard S., Azaïs F., Comte M., Bertrand Y., Renovell M. *Automatic Generation of LH-BIST Architecture for ADC Testing* - IWADC'03: IEEE International Workshop on ADC Modelling and Testing, 2003. - pp. 7-12.
- [17] Comte M., Azaïs F., Bernard S., Bertrand Y., Renovell M. *Analysis of the Specification Influence on the Efficiency of an Optimized Test Flow for ADCs* - IMSTW'03: 9th IEEE International Mixed-Signal Testing Workshop, 2003. - pp. 185-190.
- [18] Chaehoi A., Latorre L., Azaïs F., Nouet P. *Use of a Statistical Approach for Efficient Implementation of Oscillation-Based Test Strategy* - IMSTW'03: 9th IEEE International Mixed-Signal Testing Workshop, 2003. - pp. 99-103.
- [19] Bernard S., Azaïs F., Comte M., Bertrand Y., Renovell M. *An Automatic Tool for Generation of ADC BIST Architecture* - IMSTW'03: 9th IEEE International Mixed-Signal Testing Workshop, 2003. - pp. 79-84.
- [20] Comte M., Bernard S., Azaïs F., Bertrand Y., Renovell M. *A New Methodology for ADC Test Flow Optimization* - ETW'03: IEEE European Test Workshop, 2003. - pp. 75-80.
- [21] Bonhomme Y., Girard P., Guiller L., Landrault C., Pravossoudovitch S. *Efficient Scan Chain Design for Power Minimization During Scan Testing Under Routing Constraint* - ETW'03: IEEE European Test Workshop, 2003. - pp. 251-256.
- [22] Renovell M., Gallière J.M., Azaïs F., Bertrand Y., Portal J.M., Bouchadour R. *GOSMOS: A Gate Oxide Short Defect Embedded in a MOS Compact Model* - LATW'03: 4th IEEE Latin American Test Workshop, 2003. - pp. 6-11.
- [23] Vogel I., Flottes M.L., Landrault C. *Structural and Functional Analysis for Initialization of High Pipelined Industrial BISTed Circuits Using Partial Reset* - LATW'03: 4th IEEE Latin American Test Workshop, 2003. - pp. 84-89.
- [24] Balen T.R., Schreiber M., Azaïs F., Lubaszewski M., Renovell M. *OBIST Applied to FPAs: A Case Study* - LATW'03: 4th IEEE Latin American Test Workshop, 2003. - pp. 238-243.

- [25] Chaehoi A., Bertrand Y., Latorre L., Nouet P. *Improving the Efficiency of the Oscillation-Based Test Methodology for Parametric Faults* - LATW'03: 4th IEEE Latin American Test Workshop, 2003. - pp. 234-237.
- [26] Azaïs F., Lubaszewski M., Nouet P., Renovell M. *On the Synthesis of Analog Cascaded Filters with Optimal Test Point Insertion* - LATW'03: 4th IEEE Latin American Test Workshop, 2003. - pp. 212-216.
- [27] Comte M., Azaïs F., Bernard S., Bertrand Y., Renovell M. *On the Efficiency of Measuring ADC Dynamic Parameters to Detect ADC Static Errors* - LATW'03: 4th IEEE Latin American Test Workshop, 2003. - pp. 198-203.
- [28] Girard P., Héron O., Pravossoudovitch S., Renovell M. *Timing Defect Analysis in Look-Up Tables of SRAM-Based FPGAs* - LATW'03: 4th IEEE Latin American Test Workshop, 2003. - pp. 26-31.
- [29] Zottino M., Benso A., Prinetto P., Renovell M., Bertrand Y., Balado L., Figueras J. *Hard to Detect Bridging Defects in a Cross-Point Digital Switch* - LATW'03: 4th IEEE Latin American Test Workshop, 2003. - pp. 12-18.
- [30] Engelke P., Polian I., Renovell M., Becker P. *Automatic Test Pattern Generation for Resistive Bridging Faults* - IEEE International Workshop on Current and Defect-Based Testing, 2004. - pp. 89-94.
- [31] Engelke P., Polian I., Renovell M., Seshadri B., Becker P. *The Pros and Cons of Very-Low-Voltage Testing: An Analysis Based on Resistive Bridging Faults* - GI/ITG Workshop Testmethoden und Zuverlässigkeit von Schaltungen und Systemen, 2004. - pp. 149-153.
- [32] Bernardini S., Masson P., Portal J.M., Gallière J.M., Renovell M. *Impact of Gate Oxide Reduction Failure on Analog Applications: Example of the Current Mirror* - LATW'04: 5th IEEE Latin American Test Workshop, 2004. - pp. 12-17. - (5th).
- [33] Martin Da., Haller G., Azaïs F., Nouet P. *On the Development of a Low-Cost Diagnostic Flow for Efficient Failure Analysis* - ETS'04: 9th IEEE European Test Symposium, 2004.
- [34] Andrade Jr A., Vieira G., Balen T.R., Lubaszewski M., Azaïs F., Renovell M. *Testing Global Interconnects of Field Programmable Analog Arrays* - IMSTW'04: 10th IEEE International Mixed-Signal Testing Workshop, 2004.
- [35] Bernardini S., Masson P., Portal J.M., Gallière J.M., Renovell M. *Impact of Gate Oxide Reduction Failure on Analog Application: Example of the Current Mirror* - LATW'04: 5th IEEE Latin American Test Workshop, 2004. - pp. 12-16.
- [36] Martin Da., Haller G., Azaïs F., Nouet P. *Investigations on the Use of EWS Data for Failure Diagnosis Enhancement* - LATW'04: 5th IEEE Latin American Test Workshop, 2004. - pp. 6-10.
- [37] Dumas N., Azaïs F., Latorre L., Nouet P. *On the Use of Electrical Stimuli for MEMS Testing* - LATW'04: 5th IEEE Latin American Test Workshop, 2004. - pp. 118-122.
- [38] Dilillo L., Girard P., Pravossoudovitch S., Virazel A., Borri S., Hage-Hassan M. *March Tests Improvements for Address Decoder Open and Resistive Open Fault Detection* - LATW'04: 5th IEEE Latin American Test Workshop, 2004. - pp. 31-36.
- [39] Comte M., Ohtake S., Fujiwara H., Renovell M. *Electrical Analysis of a Domino Logic Cell with GOS Faults* - DBT'05: IEEE International Workshop on Current and Defect Based Testing, 2005. - pp. 35-42.
- [40] Balen T.R., Jost T.A., Calvano J.V., Lubaszewski M.S., Renovell M. *The Transient Response Analysis Method Applied to the Test of Field Programmable Analog Arrays: Feasibility Study* - IEEE. - LATW'05: 6th IEEE Latin American Test Workshop, 2005 - pp. 252-257. - (6th).

[41] Maillary F., Dumas N., Latorre L., Azaïs F., Nouet P. *Electro-Thermal On-Line Testing of a MEMS Magnetometer Through Bias Modulation* - IEEE. - LATW'05: 6th IEEE Latin American Test Workshop, 2005. - pp. 213-218. - (6th).

[42] Dumas N., Azaïs F., Latorre L., Nouet P. *BIST Implementation of Electro-Thermal Stimulus Generation for a MEMS-Based Magnetic Field Sensor* - IEEE. - LATW'05: 6th IEEE Latin American Test Workshop, 2005. - pp. 207-212. - (6th).

[43] Dilillo L., Girard P., Pravossoudovitch S., Virazel A., Hage-Hassan M. *Efficient Test of Dynamic Read Destructive Faults in SRAM Memories* - IEEE. - LATW'05: 6th IEEE Latin American Test Workshop, 2005. - pp. 40-45. - (6th).

[44] Zenteno A., Champac V.H., Renovell M., Azaïs F. *Analysis and Attenuation Proposal in Ground Bounce: II* - IEEE. - LATW'05: 6th IEEE Latin American Test Workshop, 2005. - pp. 34-39. - (6th).

[45] Regnier A., Portal J.M., Bouchakour R., Renovell M. *Modeling Halo Implant Failures in MOS Sub-Micron Technology* - IEEE. - LATW'05: 6th IEEE Latin American Test Workshop, 2005. - pp. 29-33. - (6th).

[46] Renovell M., Tanguy S. *A Set of Test Configurations for the Global Routing of Hierarchical SRAM-Based FPGA* - IBERCHIP'05, 2005. - pp. 277-280. - (XI).

[47] Liu H., Kerkhoff H.G., Richardson A., Zhang X., Nouet P., Azaïs F. *Design & Test of an Oscillation Based System Architecture for DNA Sensor Arrays* - IMSTW'05: 11th IEEE International Mixed-Signal Testing Workshop, 2005. - pp. 234-239. - (11th).

[48] Kerzerho V., Bernard S., Janik J.M., Cauvet P. *Comparison Between Spectral-Based Methods for INL Estimation and Feasibility of Their Implantation* - IMSTW'05: 11th IEEE International Mixed-Signal Testing Workshop, 2005. - pp. 270-275. - (11th).

[49] Bernard S., Comte M., Azaïs F., Bertrand Y., Renovell M. *Fast and Fully-Efficient Test Flow for ADCs* - IMSTW'05: 11th IEEE International Mixed-Signal Testing Workshop, 2005. - pp. 244-249. - (11th).

[50] Maillary F., Azaïs F., Dumas N., Latorre L., Nouet P. *Superposition vs. Modulation: A Comparative Analysis for Electro-Thermal On-Line MEMS Testing* - IMSTW'05: 11th IEEE International Mixed-Signal Testing Workshop, 2005. - pp. 212-219. - (11th).

[51] Hely D., Bancel F., Flottes M.L., Rouzeyre B. *Scan Design and Secure Chips: Can They Work Together* - SAME'05: Sophia-Antipolis Forum on Microelectronics, 2005. - 5p.

Congrès nationaux avec comité de lecture et actes à diffusion restreinte

[1] Berouille V., Bertrand Y., Latorre L., Nouet P. *Conception et Test d'une Micro-Boussole Electromécanique Intégrée* - Colloque du GDR CAO de Circuits et Systèmes Intégrés, 2002. - pp. 97-100. - (3ème).

[2] Vogel I., Flottes M.L., Landrault C. *Initialisation des Circuits Séquentiels Avant Test Intégré et Scan Partiel* - Colloque du GDR CAO de Circuits et Systèmes Intégrés, 2002. - pp. 39-42. - (3ème).

[3] Girard P., Héron O., Pravossoudovitch S., Renovell M. *Pannes Temporelles dans les FPGA* - Colloque du GDR CAO de Circuits et Systèmes Intégrés, 2002. - pp. 43-46. - (3ème).

[4] Flottes M.L., Pouget J., Rouzeyre B. *Une Nouvelle Heuristique pour le Test des Systèmes Intégrés sur Puce* - Colloque du GDR CAO de Circuits et Systèmes Intégrés, 2002. - pp. 39-42. - (3ème).

[5] Comte M., Azaïs F., Bernard S., Bertrand Y., Renovell M. *Mesure des Paramètres Statiques des Convertisseurs A/N par une Analyse Spectrale* - Colloque du GDR CAO de Circuits et Systèmes Intégrés, 2002. - pp. 47-50. - (3ème)

[6] Poirier R. *Système de Compression Simple et Efficace pour Réduire le Nombre de Broches Testeur nécessaires au Test d'un Système Combinatoire sur Puce* - JNRDM'03 : 6ièmes Journées Nationales du Réseau Doctoral de Microélectronique, 2003. - pp. 413-415.

[7] Girard P., Héron O., Pravossoudovitch S., Renovell M. *Conditions pour le Test de Pannes de Délai des Look-Up Table dans les FPGA à Base de SRAM* - JNRDM'03 : 6ièmes Journées Nationales du Réseau Doctoral de Microélectronique, 2003. - pp. 381-383.

[8] Latorre L., Azaïs F., Flottes M.L., Bernard S., Lorival R., Bertrand Y. *Test Digital, Test de Mémoires, Test Mixte : 5 Centres de Compétence pour la Formation en Europe* - CNFM'04 : 8ème Journées Pédagogiques du Comité National de Formation en Microélectronique.

[9] Dilillo L., Girard P., Pravossoudovitch S., Virazel A., Borri S., Hage-Hassan M. *Test March pour la Détection des Fautes Dynamiques dans les Décodeurs de Mémoires SRAM* - JNRDM'04 : 7ièmes Journées Nationales du Réseau Doctoral de Microélectronique, 2004.

[10] Dilillo L., Girard P., Pravossoudovitch S., Virazela., Hage-Hassan M. *Incidence des Défauts Résistifs dans les Circuits de Précharge des Mémoires SRAM* - JNRDM'05 : 8ièmes Journées Nationales du Réseau Doctoral de Microélectronique, 2005. - (8ièmes).

[11] Badereddine N., Girard P., Pravossoudovitch S., Virazel A., Landrault C. *Analyse et Réduction de la Puissance de Pic durant le Test Série* - JNRDM'05 : 8ièmes Journées Nationales du Réseau Doctoral de Microélectronique, 2005. - 502 p. - (8ièmes).

4.4. Brevet

[1] Renovell M., Azaïs F., Bernard S., Bertrand Y. *"Method and device for integrated testing for an analog-to-digital converter"* Brevet FR 2 798 539, déposé le 09 Septembre 1999, Brevet US 6 642 870, publié le 04 Novembre 2003