

# Examen d'Architectures Analogiques de Base

## Master de Physique - Spécialité MNE (S3) - UE TC1

Durée 1 heure - Documents de cours et de TP autorisés

Luc HEBRARD

16 février 2006

*Objectif : Conception et simulation d'un OTA (Operational Transconductance Amplifier) à un étage utilisé en suiveur.*

L'OTA est simplement réalisé par un étage différentiel entrant sur des PMOS (figure 1). On note  $v_{in_c} = \frac{v_{IN+} + v_{IN-}}{2}$  l'entrée de mode commun,  $v_{in_d} = v_{IN+} - v_{IN-}$  l'entrée différentielle et  $V_{OUT_0}$  le point de fonctionnement autour duquel travaille l'OTA en sortie (c.f. figure 1). D'autre part, l'alimentation est symétrique  $V_{DD} = -V_{SS} = 1.65V$ . On rappelle que les transistors  $M_1$  et  $M_2$  sont identiques, ainsi que les transistors  $M_3$  et  $M_4$ . On notera donc par la suite  $W_{12}/L_{12}$  les dimensions de  $M_1$  ou  $M_2$ , et  $W_{34}/L_{34}$  les dimensions de  $M_3$  ou  $M_4$ . Enfin, la charge vue par l'OTA est  $C_L = 1pF$ .

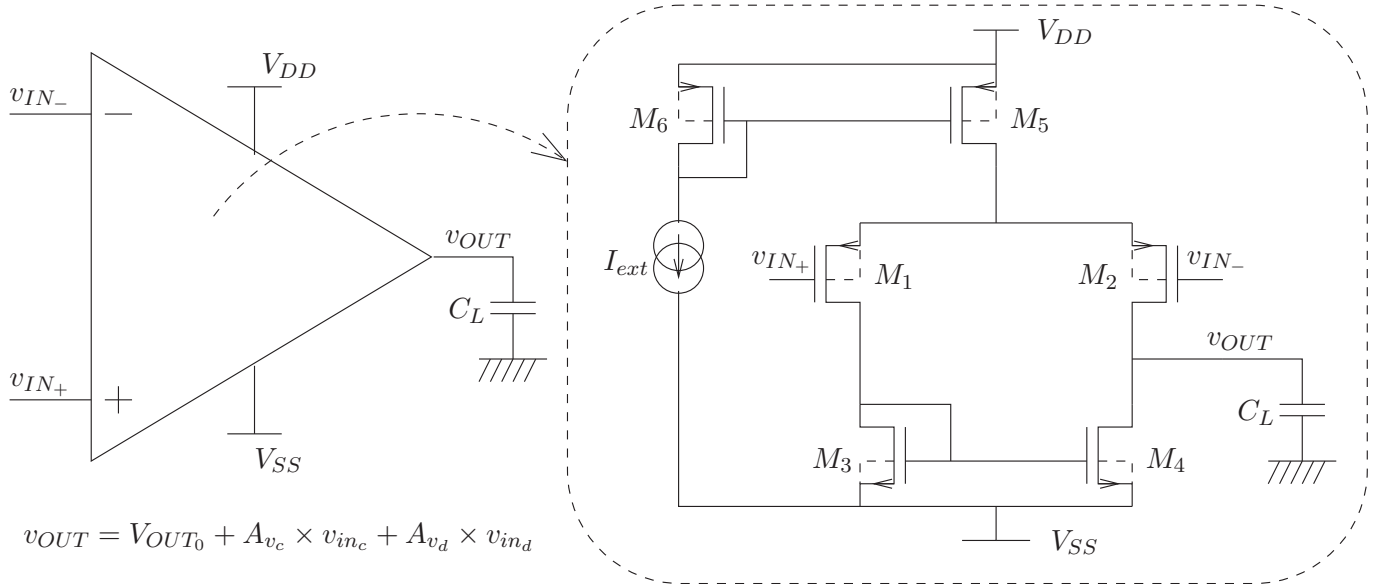


FIG. 1 – OTA à concevoir

## 1 Etablissement de quelques équations de conception

1. Que peut-on dire du gain de mode commun  $A_{v_c}$  ?
2. Montrez que le courant  $I_5$  polarisant l'étage différentiel est lié au courant injecté de l'extérieur,  $I_{ext}$ , par l'expression suivante :

$$\frac{I_{ext}}{I_5} = \frac{W_6/L_6}{W_5/L_5}$$

3. Montrez que le point de fonctionnement autour duquel travaille la sortie de l'OTA est donné par :

$$V_{OUT_0} = V_{SS} + V_{Tn} + \sqrt{\frac{I_5}{KP_n \cdot W_{34}/L_{34}}} \quad (1)$$

4. L'offset d'un amplificateur opérationnel étant défini comme la tension différentielle d'entrée  $v_{in_d}$  nécessaire pour que la sortie  $v_{OUT}$  soit nulle, montrez que notre OTA présente un offset systématique et donnez son expression en fonction de  $V_{OUT_0}$  et du gain différentiel statique  $A_{v_{d0}}$ .

5. Montrez que la borne supérieure de la dynamique de sortie de l'OTA est donnée par :

$$OUT_+ = v_{in_c} - V_{T_p} \quad (2)$$

6. Montrez que la borne inférieure de la dynamique de sortie de l'OTA est donnée par :

$$OUT_- = V_{OUT_0} - V_{T_n} \quad (3)$$

7. Dédurre des deux questions précédentes qu'il est possible de connecter cet OTA en suiveur ( $v_{OUT} = v_{IN_-}$  avec entrée sur  $v_{IN_+}$ )
8. Sachant que la borne inférieure de la dynamique d'entrée en mode commun s'exprime par :

$$CMR_- = V_{SS} + \sqrt{\frac{I_5}{K P_n \cdot W_3 / L_3}} + V_{T_n} + V_{T_p} = V_{OUT_0} + V_{T_p} \quad (4)$$

et que  $V_{T_n} = 0,483V$  et  $V_{T_p} = -0,683V$ , montrez que la dynamique du suiveur est limitée par la dynamique d'entrée en mode commun de l'étage différentiel.

## 2 Dimensionnement manuel de l'OTA

On donne ici quatre expressions supplémentaires qui seront nécessaires au dimensionnement, mais que l'on ne demande pas de démontrer. Il s'agit du  $CMR_-$  et du  $CMR_+$ , dynamique d'entrée en mode commun :

$$CMR_+ = V_{DD} - \sqrt{\frac{2 \cdot I_5}{K P_p \cdot W_5 / L_5}} + V_{T_p} - \sqrt{\frac{I_5}{K P_p \cdot W_1 / L_1}} \quad (5)$$

du gain différentiel statique :

$$A_{v_{d0}} = \frac{g_{m_{12}}}{g_{ds_{12}} + g_{ds_{34}}} \quad (6)$$

du produit gain bande passante :

$$GBW \simeq \frac{g_{m_{12}}}{2 \cdot \pi \cdot C_L} \quad (7)$$

et du slew-rate :

$$SR = \frac{I_5}{C_L} \quad (8)$$

Le cahier des charges que doit remplir cet OTA est le suivant :

- **Offset inférieur à  $\pm 5mV$**
- **Dynamique d'entrée en mode commun  $CMR_- \leq -0.5V$  et  $CMR_+ \geq 0.5V$**
- **Borne inférieure de la dynamique de sortie  $OUT_- \leq -1.2V$**
- **Slew rate supérieur à  $2V/\mu s$**
- **GBW supérieur à  $2MHz$**

1. De la condition sur le slew-rate, déterminez le courant  $I_5$  minimal nécessaire à la polarisation de l'OTA. On choisira cette valeur minimale pour  $I_5$  afin de minimiser la consommation.
2. De la condition sur  $OUT_-$ , déterminez la valeur maximale que l'on puisse donner à  $V_{OUT_0}$ . Par la suite, on choisira cette valeur maximale afin de minimiser l'offset.
3. Dédurre de la valeur de  $V_{OUT_0}$  le gain statique minimal  $A_{v_{d0}}$  que devra présenter l'OTA.
4. De l'expression donnant  $V_{OUT_0}$ , déterminez la valeur à donner au rapport  $W_{34}/L_{34}$ . Donnez alors les dimensions des transistors  $M_3$  et  $M_4$  sachant que l'on veut des transistors de surface minimale (on rappelle - c.f. annexe - que pour notre technologie  $L_{min} = 0.35\mu m$  et  $W_{min} = 0.4\mu m$ ).
5. De la condition sur le GBW, déterminez la valeur à donner à la transconductance  $g_{m_{12}}$  des transistors  $M_1$  et  $M_2$ .
6. De la valeur minimale du gain statique  $A_{v_{d0}}$ , déterminez la longueur  $L_{12}$  à donner aux transistors  $M_1$  et  $M_2$ .
7. De la valeur de la transconductance  $g_{m_{12}}$ , déterminez la valeur à donner au rapport  $W_{12}/L_{12}$ , et donnez les dimensions des transistors  $M_1$  et  $M_2$ .
8. De la condition sur le  $CMR_+$ , déterminez le rapport à donner à  $W_5/L_5$ , puis donnez des dimensions à  $M_5$ .
9. Donnez les dimensions de  $M_6$  sachant que l'on choisit  $I_{ext} = I_5$ .

**ANNEXE - Paramètres SPICE de la technologie utilisée**

Paramètre	NMOS	PMOS
$KP$	$122 \mu A/V^2$	$46 \mu A/V^2$
$\lambda$	$\frac{1}{V_{E_n} \cdot L_n}$ avec $V_{E_n} = 21 V/\mu m$	$\frac{1}{V_{E_p} \cdot L_p}$ avec $V_{E_p} = 27 V/\mu m$
$V_{TH}$	$0.483 V$	$-0.683 V$

D'autre part,

$$L_{min} = 0.35 \mu m \text{ et } W_{min} = 0.4 \mu m$$

et toute dimension doit être multiple de  $0.05 \mu m$ .

# Examen d'Architectures Analogiques de Base

## Master de Physique - Spécialité MNE (S3) - UE TC1

### Durée 1h30 - Documents de cours autorisés

Luc HEBRARD

27 novembre 2006

*Objectif : Conception et simulation d'un OTA à étage différentiel d'entrée symétrique.*

L'OTA à concevoir (figure 1) est réalisé par un étage différentiel symétrique entrant sur des PMOS ( $M_1$  et  $M_2$ ) chargés par deux NMOS montés en diode ( $M_3$  et  $M_4$ ), suivi d'un étage de gain constitué de  $M_{n1}$ ,  $M_{n2}$ ,  $M_{p1}$  et  $M_{p2}$ . La sortie de l'étage différentiel est différentielle, notée  $v_{diff} = v_{d+} - v_{d-}$  où  $v_{d+}$  représente la sortie sur le drain commun à  $M_1$  et  $M_3$ ,  $v_{d-}$  la sortie sur le drain commun à  $M_2$  et  $M_4$  (c.f. figure 1). L'entrée de l'étage de gain (grilles de  $M_{n1}$  et de  $M_{n2}$ ) est différentielle alors que sa sortie  $v_{OUT}$  est unipolaire, la conversion  $2 \rightarrow 1$  étant réalisée par le miroir de courant  $M_{p2}/M_{p1}$ .

L'alimentation est symétrique  $V_{DD} = -V_{SS} = 1,5V$ . D'autre part,  $M_1$  et  $M_2$  sont identiques, ainsi que  $M_3$  et  $M_4$ . On notera donc par la suite  $W_{12}/L_{12}$  les dimensions de  $M_1$  ou de  $M_2$ , et  $W_{34}/L_{34}$  les dimensions de  $M_3$  ou de  $M_4$ . De même, la transconductance de  $M_1$  ou de  $M_2$  sera notée  $g_{m12}$  et celle de  $M_3$  ou de  $M_4$  sera notée  $g_{m34}$ . Enfin,  $M_{n1}$  et  $M_{n2}$  sont identiques, ainsi que  $M_{p1}$  et  $M_{p2}$ . On notera donc,  $W_n/L_n$  et  $W_p/L_p$ , ainsi que  $g_{m_n}$  et  $g_{m_p}$ , les dimensions et les transconductances de ces paires de transistors.

La charge vue par l'OTA est  $C_L = 500fF$ .

Les paramètres de la technologie utilisée sont donnés en annexe.

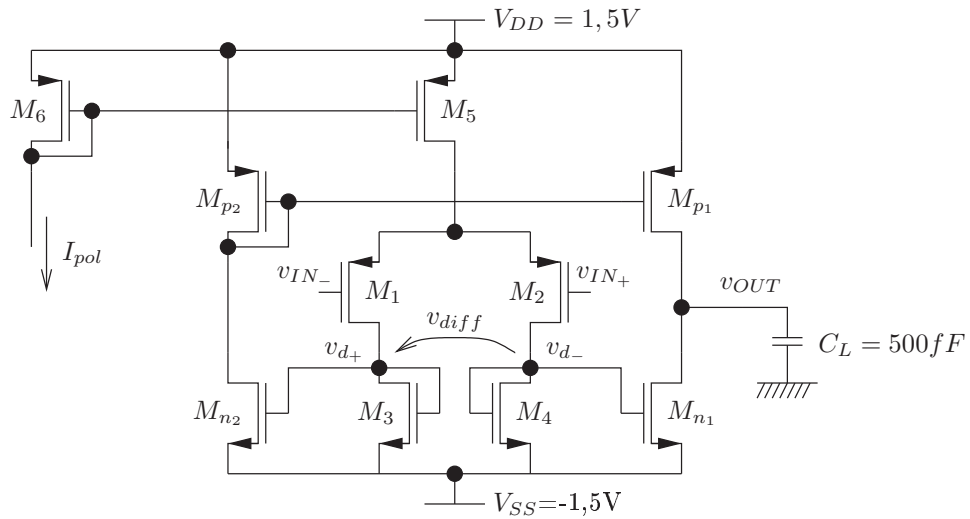


FIG. 1 – OTA à concevoir

L'OTA doit remplir le cahier des charges suivant :

- **Produit gain-bande passante** :  $GBW \geq 50MHz$
- **Gain statique** :  $A_{v_0} \geq 500$
- **Dynamique de sortie** :  $OUT_- \leq -1,2V$  et  $OUT_+ \geq +1,2V$

1. Expliquez pourquoi tous les transistors du montage doivent rester saturés pour que l'OTA fonctionne correctement ?
2. Montrez que le courant polarisant la branche ( $M_{p1}$ ,  $M_{n1}$ ) est identique au courant polarisant la branche ( $M_{p2}$ ,  $M_{n2}$ ). On notera ce courant  $I_n$ .
3. Le courant polarisant l'étage différentiel étant noté  $I_5$ , montrez que les courants  $I_n$  et  $I_5$  sont liés par la relation suivante :

$$\frac{I_5/2}{I_n} = \frac{W_{34}/L_{34}}{W_n/L_n}$$

4. Montrez que la borne inférieure de la dynamique de sortie l'OTA est donnée par :

$$OUT_- = V_{SS} + V_{DS_{sat}}(M_n)$$

où  $V_{DS_{sat}}(M_n)$  représente la tension de saturation des transistors  $M_{n1}$  et  $M_{n2}$ . En déduire que l'on doit choisir  $V_{DS_{sat}}(M_n) = 300mV$  pour assurer que  $OUT_-$  soit au moins de  $-1,2V$ .

5. Expliquez brièvement par quelques phrases, sans établir de schéma petits signaux et sans faire de calcul, que le gain à basses fréquences de l'étage différentiel est donné par :

$$A_{v1} = \frac{v_{diff}}{v_{IN+} - v_{IN-}} = -\frac{g_{m12}}{g_{m34}} = -\frac{V_{DS_{sat}}(M_{34})}{|V_{DS_{sat}}(M_{12})|}$$

où  $V_{DS_{sat}}(M_{12})$  et  $V_{DS_{sat}}(M_{34})$  représentent respectivement les tensions de saturation des paires de transistors  $(M_1, M_2)$  et  $(M_3, M_4)$ .

6. De même, sans faire de calcul, expliquez en quelques phrases que le gain à basses fréquences de l'étage de gain est donné par :

$$A_{v2} = \frac{v_{out}}{v_{d+} - v_{d-}} = -\frac{g_{m_n}}{g_{ds_n} + g_{ds_p}}$$

où  $g_{ds_n}$  et  $g_{ds_p}$  représentent les conductances de sortie respectives des paires de transistors  $(M_{n1}, M_{n2})$  et  $(M_{p1}, M_{p2})$ .

7. Pourquoi doit-on choisir  $V_{DS_{sat}}(M_{34}) = 300mV$ ? D'autre part, on choisit  $|V_{DS_{sat}}(M_{12})| = 100mV$ . Justifiez ce choix et montrez que le gain à basses fréquences de l'OTA,  $A_{v0} = A_{v1} \cdot A_{v2}$  peut alors s'écrire :

$$A_{v0} = \frac{20}{\frac{1}{V_{E_n} \cdot L_n} + \frac{1}{V_{E_p} \cdot L_p}}$$

8. On choisit de prendre  $V_{E_n} \cdot L_n = V_{E_p} \cdot L_p$ . Justifiez ce choix et calculez les longueurs minimales des transistors  $(M_{n1}, M_{n2})$  et  $(M_{p1}, M_{p2})$  pour que le cahier des charges de l'OTA soit vérifié du point de vue du gain  $A_{v0}$ .
9. Après avoir bien noté que l'on n'utilise pas de capacité de compensation, donc que l'on peut à priori négliger tout effet Miller, montrez en quelques phrases, sans calcul, que le pôle dominant de l'OTA a pour fréquence de coupure :

$$f_d = \frac{g_{ds_n} + g_{ds_p}}{2\pi \cdot (C_{DS_n} + C_{DS_p} + C_L)} \simeq \frac{g_{ds_n} + g_{ds_p}}{2\pi \cdot (C_L)}$$

En déduire que le GBW de l'OTA est donné par :

$$GBW \simeq \frac{g_{m12}}{g_{m34}} \cdot \frac{g_{m_n}}{2\pi \cdot C_L} = \frac{10}{\pi} \cdot \frac{I_n}{C_L}$$

10. Déduire de la question précédente la valeur minimale à donner au courant  $I_n$  pour que le GBW soit d'au moins  $50MHz$ .
11. Calculez alors la valeur à donner au rapport  $W_n/L_n$  et donnez les dimensions des transistors  $M_{n1}$  et  $M_{n2}$ .
12. Montrez que la borne supérieure de la dynamique de sortie est donnée par :

$$OUT_+ = V_{DD} + V_{DS_{sat}}(M_{p1})$$

En déduire que l'on doit choisir  $V_{DS_{sat}}(M_{p1}) = -300mV$  pour que le cahier des charges soit vérifié vis-à-vis de  $OUT_+$  tout en assurant que les transistors  $M_{p1}$  et  $M_{p2}$  soient de taille minimale. Déterminez alors la valeur à donner au rapport  $W_p/L_p$  et donnez les dimensions de  $M_{p1}$  et  $M_{p2}$ .

13. Sans calcul ni établissement du schéma petits signaux, expliquez en quelques phrases que le pôle sur la sortie  $v_{d+}$  de l'étage différentiel est identique au pôle sur la sortie  $v_{d-}$  et qu'il a pour fréquence de coupure :

$$f_{nd} \simeq \frac{g_{m34}}{2\pi \cdot C_{GS_n}}$$

où  $C_{GS_n}$  représente la capacité  $C_{GS}$  de  $M_{n1}$  et  $M_{n2}$ . On justifiera les capacités négligées.

14. Tout revient donc à dire que le signal différentiel  $v_{diff}$  subit une coupure à la fréquence  $f_{nd}$ . On admettra qu'il s'agit du pôle secondaire de l'OTA. On choisit alors de placer ce pôle à  $3 \times GBW$ . Justifiez ce choix et calculez la valeur à donner à  $g_{m34}$  après avoir calculé  $C_{GS_n}$ .
15. Déduire de la question précédente la valeur du courant  $I_5$  polarisant l'étage différentiel et calculez les valeurs à donner aux rapports  $W_{12}/L_{12}$  et  $W_{34}/L_{34}$ .
16. Les transistors  $M_1, M_2, M_3$  et  $M_4$  sont choisis de taille minimale. Justifiez ce choix et calculez alors leurs dimensions.

17. Sans calcul ni établissement du schéma petits signaux, expliquez en quelques phrases qu'il existe un pôle sur le drain commun à  $M_{n2}$  et  $M_{p2}$  dont la fréquence de coupure est donnée par :

$$f_3 \simeq \frac{g_{m_p}}{4\pi \cdot C_{GS_p}}$$

où  $C_{GS_p}$  représente la capacité  $C_{GS}$  de  $M_{p1}$  et  $M_{p2}$ . On justifiera les capacités négligées. Calculez la valeur de  $f_3$  après avoir calculé celle de  $C_{GS_p}$ .

18. Pour quelle raison le pôle précédent est-il associé à un zéro négatif (dans le plan de gauche) situé à deux fois ce pôle. Donnez alors l'expression de la marge de phase de l'OTA en fonction de  $GBW$ ,  $f_{nd}$  et  $f_3$ , et calculez sa valeur. Commentez le résultat obtenu.
19. On choisit les transistors  $M_5$  et  $M_6$  identiques. Que doit valoir le courant  $I_{pol}$  ?
20. On choisit enfin  $V_{DS_{sat}}(M_5) = -100mV$ . Déterminez les dimensions de  $M_6$  et de  $M_5$ , ces derniers étant supposés de taille minimale.

### ANNEXE - Paramètres SPICE de la technologie utilisée

Paramètre	NMOS	PMOS
$KP$	$122 \mu A/V^2$	$46 \mu A/V^2$
$\lambda$	$\frac{1}{V_{E_n} \cdot L_n}$ avec $V_{E_n} = 21 V/\mu m$	$\frac{1}{V_{E_p} \cdot L_p}$ avec $V_{E_p} = 27 V/\mu m$
$V_{TH}$	$0.483 V$	$-0.683 V$
$C_{ox}$	$4.54 fF$	$4.54 fF$

D'autre part,

$$L_{min} = 0.35\mu m \text{ et } W_{min} = 0.4\mu m$$

et toute dimension doit être multiple de  $0.05\mu m$ .

# Examen d'Architectures Analogiques de Base

## Master de Physique - Spécialité MNE (S3) - UE TC1

Durée 1 heure - Documents de cours et de TP autorisés

Luc HEBRARD

3 septembre 2007

*Objectif : Conception et simulation d'un OTA (Operational Transconductance Amplifier) à un étage, utilisé en suiveur.*

L'OTA est simplement réalisé par un étage différentiel entrant sur des NMOS (figure 1). On note  $v_{in_c} = \frac{v_{IN+} + v_{IN-}}{2}$  l'entrée de mode commun,  $v_{in_d} = v_{IN+} - v_{IN-}$  l'entrée différentielle et  $V_{OUT_0}$  le point de fonctionnement autour duquel travaille l'OTA en sortie (c.f. figure 1). D'autre part, l'alimentation est symétrique  $V_{DD} = -V_{SS} = 1.65V$ . On rappelle que les transistors  $M_1$  et  $M_2$  sont identiques, ainsi que les transistors  $M_3$  et  $M_4$ . On notera donc par la suite  $W_{12}/L_{12}$  les dimensions de  $M_1$  ou  $M_2$ , et  $W_{34}/L_{34}$  les dimensions de  $M_3$  ou  $M_4$ . Enfin, la charge vue par l'OTA est  $C_L = 1pF$ .

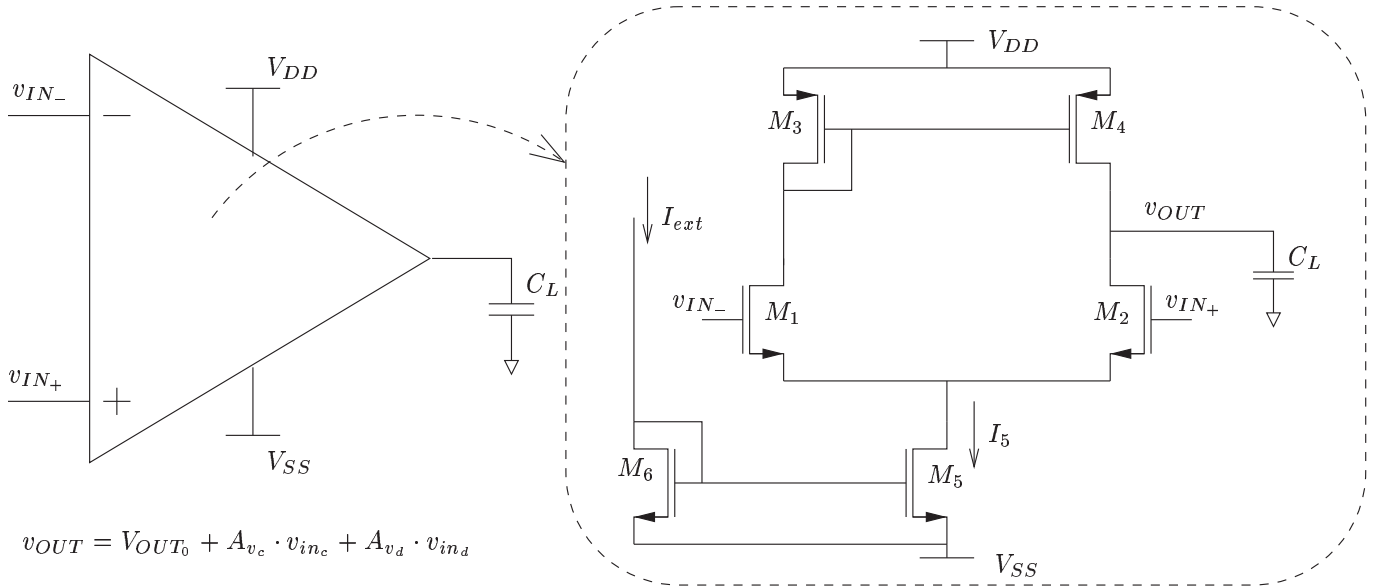


FIG. 1 – OTA à concevoir

## 1 Etablissement de quelques équations de conception

1. Que peut-on dire du gain de mode commun  $A_{v_c}$  ?
2. Montrez que le point de fonctionnement autour duquel travaille la sortie de l'OTA est donné par :

$$V_{OUT_0} = V_{DD} + V_{T_p} + V_{DS_{sat}}(M_{34}) \quad (1)$$

où  $V_{DS_{sat}}(M_{34})$  représente la tension de saturation des transistors  $M_3$  et  $M_4$ .

3. L'offset d'un amplificateur opérationnel étant défini comme la tension différentielle d'entrée  $v_{in_d}$  nécessaire pour que la sortie  $v_{OUT}$  soit nulle, montrez que notre OTA présente un offset systématique et donnez son expression en fonction de  $V_{OUT_0}$  et du gain différentiel statique  $A_{v_{d0}}$ .
4. Montrez que la borne supérieure de la dynamique d'entrée en mode commun de l'OTA est donnée par l'expression :

$$CMR_+ = V_{OUT_0} + V_{T_n}$$

5. Montrez que la borne supérieure de la dynamique de sortie de l'OTA est donnée par :

$$OUT_+ = V_{OUT_0} - V_{T_p} \quad (2)$$

6. Montrez que la borne inférieure de la dynamique de sortie de l'OTA est donnée par :

$$OUT_- = v_{in_c} - V_{T_n} \quad (3)$$

7. Montrez qu'un OTA bouclé en suiveur est tel que (on suppose l'OTA parfait) :

$$v_{OUT} = v_{IN} = v_{in_c}$$

8. Sachant que  $V_{T_n} = 483mV$  et que  $V_{T_p} = -683mV$ , déduire des quatre questions précédentes qu'il est possible de connecter l'étage différentiel de la figure 1 en suiveur ( $v_{OUT} = v_{IN_-}$ ). D'autre part, montrez que la dynamique de ce suiveur est limitée par la dynamique d'entrée en mode commun de l'étage différentiel.
9. Donnez l'expression (sans démonstration) du gain statique de l'OTA en fonction de  $g_{m_{12}}$ , de  $g_{ds_{12}}$  et de  $g_{ds_{34}}$ .
10. Justifiez en quelques phrases l'expression du pôle dominant de cet OTA, donnée par :

$$f_d = \frac{g_{ds_{12}} + g_{ds_{34}}}{2\pi \cdot C_L}$$

11. Déduire des deux questions précédentes que le produit gain bande passante de l'OTA est donné par :

$$GBW \simeq \frac{g_{m_{12}}}{2\pi \cdot C_L}$$

12. Montrez que la borne inférieure de la dynamique d'entrée en mode commun de l'OTA s'exprime par :

$$CMR_- = V_{SS} + V_{DS_{sat}}(M_5) + V_{DS_{sat}}(M_{12}) + V_{T_n}$$

où  $V_{DS_{sat}}(M_{12})$  représente la tension de saturation de  $M_1$  et  $M_2$ , et  $V_{DS_{sat}}(M_5)$  celle de  $M_5$ .

## 2 Dimensionnement manuel de l'OTA à monter en suiveur

Le suiveur que nous devons concevoir à partir de l'OTA de la figure 1 doit remplir le cahier des charges suivant :

- **Offset inférieur à  $\pm 5mV$**
- **Précision meilleure que 0.5%**
- **Dynamique du signal  $\geq \pm 600mV$**
- **Bande passante  $BW \geq 10MHz$**

1. L'OTA possède un gain statique en boucle ouverte finie,  $A_{v_0}$ , le reste de ses caractéristiques étant supposées parfaites. Montrez que bouclé en suiveur, la sortie est donnée par :

$$v_{OUT} = \frac{A_{v_0}}{1 + A_{v_0}} \cdot v_{IN}$$

En déduire que la précision du signal de sortie par rapport au signal d'entrée,  $P = (v_{OUT} - v_{IN})/v_{OUT}$  sera meilleure que 0.5% si  $A_{v_0} \geq 200$ .

2. On choisit d'imposer comme point de polarisation en sortie de l'OTA  $V_{OUT_0} = 200mV$ . En déduire que l'offset systématique du suiveur sera inférieure à  $1mV$ . A quelle autre type d'offset sera soumis le suiveur ? Que feriez-vous, lors du layout du circuit pour assurer un offset effectif inférieur à  $\pm 5mV$  ?
3. On choisit de prendre  $V_{DS_{sat}}(M_5) = V_{DS_{sat}}(M_{12}) = 100mV$ . Calculez les valeurs numériques du  $CMR_-$  et du  $CMR_+$  de l'OTA et montrez qu'un tel choix permet de respecter le cahier des charges du suiveur en terme de dynamique du signal.
4. Calculez maintenant la valeur à donner à  $I_5$  pour que le  $GBW$  soit de  $10MHz$ .
5. Montrez que le gain statique de l'OTA peut se mettre sous la forme :

$$A_{v_0} = \frac{10}{\frac{1}{V_{E_n} L_{12}} + \frac{1}{V_{E_p} L_{34}}}$$

6. On choisit de prendre  $V_{E_n} L_{12} = V_{E_p} L_{34}$ . Justifiez ce choix et calculez les valeurs à donner à  $L_{12}$  et  $L_{34}$  pour assurer au suiveur une précision d'au 0,5%.

7. A partir de la valeur de  $I_5$  et de  $V_{DS_{sat}}(M_{12})$   $W_{12}/L_{12}$ , déterminez la valeur à donner au rapport  $W_{12}/L_{12}$  puis donnez des dimensions des transistors  $M_1$  et  $M_2$ .
8. Calculez la valeur numérique à donner à  $V_{DS_{sat}}(M_{34})$ , puis au rapport  $W_{34}/L_{34}$ . Donnez alors les dimensions des transistors  $M_3$  et  $M_4$ .
9. Calculez la valeur à donner au rapport  $W_5/L_5$  et donnez les dimensions de  $M_5$  minimisant sa surface.
10. On choisit de prendre  $M_6$  identique à  $M_5$ . Quel doit être la valeur du courant  $I_{ext}$  ?

### ANNEXE - Paramètres SPICE de la technologie utilisée

Paramètre	NMOS	PMOS
$KP$	$122 \mu A/V^2$	$46 \mu A/V^2$
$\lambda$	$\frac{1}{V_{E_n} \cdot L_n}$ avec $V_{E_n} = 21 V/\mu m$	$\frac{1}{V_{E_p} \cdot L_p}$ avec $V_{E_p} = 27 V/\mu m$
$V_{TH}$	$0.483 V$	$-0.683 V$

D'autre part,

$$L_{min} = 0.35 \mu m \text{ et } W_{min} = 0.4 \mu m$$

et toute dimension doit être multiple de  $0.05 \mu m$ .

# Examen d'Architectures Analogiques de Base

## Master de Physique - Spécialité MNE (S3) - UE TC1

Durée 1h30 - Documents de cours autorisés

Luc HEBRARD

26 novembre 2007

*Objectif : Conception et simulation d'un "super" étage suiveur.*

Tous les transistors utilisés ici sont supposés avoir la source reliée au bulk, soit  $V_{SB} = 0V$ .

## 1 Etage suiveur conventionnel

On considère l'étage suiveur conventionnel de la figure 1. On note  $I_7$  le courant le polarisant. Le signal entre sur la grille du transistor PMOS dénommé  $M_6$  et sort sur sa source.

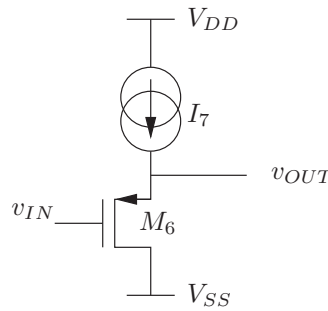


FIG. 1 – Etage suiveur conventionnel

1. Le transistor  $M_6$  étant supposé fonctionner en régime saturé, montrez que l'entrée  $v_{IN}$  et la sortie  $v_{OUT}$  de l'étage suiveur conventionnel représenté à la figure 1 sont reliées par l'expression suivante :

$$v_{OUT} = v_{IN} - V_{T_p} + \sqrt{\frac{2 \cdot I_7}{K P_p \cdot W_6/L_6}}$$

En déduire que la sortie suit l'entrée avec un décalage de tension constant dont on donnera l'expression.

2. On donne  $I_7 = 50\mu A$  et  $W_6/L_6 = 76/0.35$ . Calculez le décalage de tension constant existant entre l'entrée et la sortie.
3. Etablissez le schéma petits signaux de l'étage suiveur à basses fréquences (sans capacité) et montrez que sa résistance de sortie  $r_{out}$  est donnée par :

$$r_{out} = \frac{1}{g_{m_6} + g_{ds_6}} \simeq \frac{1}{g_{m_6}}$$

4. Calculez la valeur numérique de  $r_{out}$ .

## 2 "Super" étage suiveur

Afin de construire un étage suiveur possédant un décalage de tension quasi nul ainsi qu'une résistance de sortie beaucoup plus faible, nous proposons d'adjoindre au montage de la figure 1 un amplificateur opérationnel permettant d'asservir le signal de sortie au signal d'entrée (figure 2-a). Cet amplificateur opérationnel est simplement réalisé par l'étage différentiel constitué des transistors  $M_1$ ,  $M_2$ ,  $M_3$ ,  $M_4$  et  $M_5$  (figure 2-b). D'autre part, la source de courant  $I_7$  de la figure 1 est réalisée par le transistor  $M_7$ . Pour stabiliser le système, une capacité de compensation  $C_c$  a été placée en sortie de l'étage

Dans tout ce qui suit, on note  $I_5$  le courant polarisant l'étage différentiel,  $W_{12}/L_{12}$  les dimensions de  $M_1$  et  $M_2$ , et  $W_{34}/L_{34}$  les dimensions de  $M_3$  et  $M_4$ .



- $$r_{out} \simeq \frac{1}{1 + A_{v_0}} \cdot \frac{1}{g_{m_6}}$$

$$V_{A_0} = V_{SS} + V_{T_n} + \sqrt{\frac{I_5}{K P_n \cdot W_{34}/L_{34}}}$$

- $$V_{OUT_0} = V_{A_0} - V_{T_p} + \sqrt{\frac{2 \cdot I_7}{K P_p \cdot W_6/L_6}} = V_{SS} + V_{T_n} + \sqrt{\frac{I_5}{K P_n \cdot W_{34}/L_{34}}} - V_{T_p} + \sqrt{\frac{2 \cdot I_7}{K P_p \cdot W_6/L_6}}$$

- $$f_d \simeq \frac{g_{ds12} + g_{ds34}}{2 \cdot \pi \cdot C_c}$$

$$f_{nd} \simeq \frac{g_{m_6}}{2 \cdot \pi \cdot C_L}$$

On indiquera les capacités négligées.

9. Calculez la valeur  $f_{nd}$ .
10. Expliquez pourquoi  $f_d$  représente le pôle dominant du système.
11. Pourquoi le gain statique en boucle ouverte du "super" suiveur est égal au gain statique  $A_{v_0}$  de l'étage différentiel. Après avoir donné, sans explication, son expression en fonction  $g_{m_{12}}$  de  $g_{ds_{12}}$  et de  $g_{ds_{34}}$ , montrez que le produit gain bande passante du "super" suiveur s'exprime par :

$$GBW = \frac{g_{m_{12}}}{2 \cdot \pi \cdot C_c}$$

12. Pourquoi doit-on choisir  $GBW \leq \frac{1}{3} \cdot f_{nd}$ . Calculez la valeur maximale que l'on puisse donner à  $GBW$  et donnez la bande passante maximale de notre "super" suiveur.
13. On choisit de prendre  $C_c = 200 fF$  et  $|V_{DS_{sat}}(M_{12})| = 100 mV$ . Calculez la valeur à donner à  $I_5$  pour que le  $GBW$  soit égal à sa valeur maximale.
14. Calculez alors la valeur que doit avoir le rapport  $W_{12}/L_{12}$ .
15. De même, connaissant le  $V_{DS_{sat}}(M_{34})$  - question 7 - calculez la valeur à donner au rapport  $W_{34}/L_{34}$ .
16. Montrez que le gain statique du "super" suiveur peut se mettre sous la forme :

$$A_{v_0} = \frac{1}{|V_{DS_{sat}}(M_{12})| \cdot \left( \frac{1}{V_{E_p} \cdot L_{12}} + \frac{1}{V_{E_n} \cdot L_{34}} \right)}$$

17. On choisit de prendre  $V_{E_p} \cdot L_{12} = V_{E_n} \cdot L_{34}$ . Justifiez ce choix et calculez les valeurs à donner à  $L_{12}$  et  $L_{34}$  pour faire en sorte que  $A_{v_0} = 100$ .
18. Donnez finalement les dimensions des transistors  $M_1$ ,  $M_2$ ,  $M_3$  et  $M_4$ .
19. On choisit de prendre  $M_7$  identique à  $M_6$ . Calculez le  $V_{DS_{sat}}(M_7)$ , puis déterminez la valeur à donner au rapport  $W_5/L_5$ .
20. Donnez alors les dimensions de  $M_5$  minimisant sa surface.
21. On choisit enfin de prendre  $M_8$  identique à  $M_5$ . Quelle doit être alors la valeur du courant externe  $I_{pol}$ .

### ANNEXE - Paramètres SPICE de la technologie utilisée

Paramètre	NMOS	PMOS
$KP$	$122 \mu A/V^2$	$46 \mu A/V^2$
$\lambda$	$\frac{1}{V_{E_n} \cdot L_n}$ avec $V_{E_n} = 21 V/\mu m$	$\frac{1}{V_{E_p} \cdot L_p}$ avec $V_{E_p} = 27 V/\mu m$
$V_{TH}$	$0.483 V$	$-0.683 V$
$C_{ox}$	$4.54 fF$	$4.54 fF$

D'autre part,

$$L_{min} = 0.35 \mu m \text{ et } W_{min} = 0.4 \mu m$$

et toute dimension doit être multiple de  $0.05 \mu m$ .

**Examen d'Architectures Analogiques de Base**  
Master de Physique - Spécialité MNE (S3) - UE TC1  
Durée 1h00 - Documents de cours autorisés

Luc HEBRARD

1er septembre 2008

*Objectif : Etude d'un OTA à étage différentiel d'entrée symétrique.*

L'OTA à concevoir (figure 1) est réalisé par un étage différentiel symétrique entrant sur des PMOS ( $M_1$  et  $M_2$ ) chargés par deux NMOS montés en diode ( $M_3$  et  $M_4$ ), suivi d'un étage de gain constitué de  $M_{n1}$ ,  $M_{n2}$ ,  $M_{p1}$  et  $M_{p2}$ . La sortie de l'étage différentiel est différentielle, notée  $v_{diff} = v_{d+} - v_{d-}$  où  $v_{d+}$  représente la sortie sur le drain commun à  $M_1$  et  $M_3$ ,  $v_{d-}$  la sortie sur le drain commun à  $M_2$  et  $M_4$  (c.f. figure 1). L'entrée de l'étage de gain (grilles de  $M_{n1}$  et de  $M_{n2}$ ) est différentielle alors que sa sortie  $v_{OUT}$  est unipolaire, la conversion  $2 \rightarrow 1$  étant réalisée par le miroir de courant  $M_{p2}/M_{p1}$ .

L'alimentation est symétrique  $V_{DD} = -V_{SS} = 1,5V$ . D'autre part,  $M_1$  et  $M_2$  sont identiques, ainsi que  $M_3$  et  $M_4$ . On notera donc par la suite  $W_{12}/L_{12}$  les dimensions de  $M_1$  ou de  $M_2$ , et  $W_{34}/L_{34}$  les dimensions de  $M_3$  ou de  $M_4$ . De même, la transconductance de  $M_1$  ou de  $M_2$  sera notée  $g_{m_{12}}$  et celle de  $M_3$  ou de  $M_4$  sera notée  $g_{m_{34}}$ . Enfin,  $M_{n_1}$  et  $M_{n_2}$  sont identiques, ainsi que  $M_{p_1}$  et  $M_{p_2}$ . On notera donc,  $W_n/L_n$  et  $W_p/L_p$ , ainsi que  $g_{m_n}$  et  $g_{m_p}$ , les dimensions et les transconductances de ces paires de transistors.

La charge vue par l'OTA est  $C_L = 500fF$ .

Les paramètres de la technologie utilisée sont donnés en annexe.

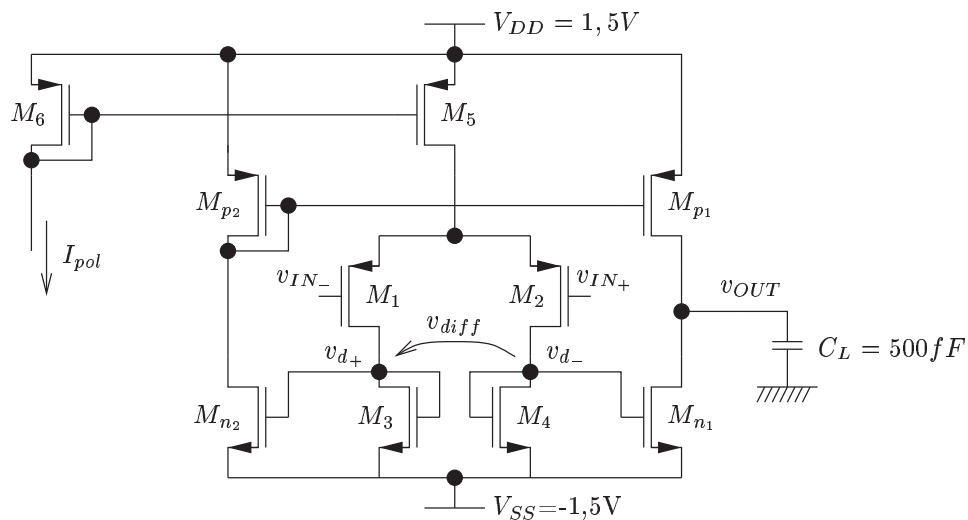


FIG. 1 – OTA à concevoir

L'OTA doit remplir le cahier des charges suivant :

- Produit gain-bande passante :  $GBW \geq 40MHz$
- Gain statique :  $A_{v_0} \geq 500$
- Dynamique de sortie :  $OUT_- < -1,3V$  et  $OUT_+ > +1,3V$

1. Montrez que le courant polarisant la branche  $(M_{p_1}, M_{n_1})$  est identique au courant polarisant la branche  $(M_{p_2}, M_{n_2})$ . On notera ce courant  $I_n$ .
2. Le courant polarisant l'étage différentiel étant noté  $I_5$ , montrez que les courants  $I_n$  et  $I_5$  sont liés par la relation suivante :

$$\frac{I_5/2}{I_n} = \frac{W_{34}/L_{34}}{W_n/L_n}$$

3. Montrez que la borne inférieure de la dynamique de sortie l'OTA est donnée par :

$$OUT_- = V_{SS} + V_{DS_{sat}}(M_n)$$

où  $V_{DS_{sat}}(M_n)$  représente la tension de saturation des transistors  $M_{n1}$  et  $M_{n2}$ . En déduire que l'on doit choisir  $V_{DS_{sat}}(M_n) \leq 200mV$  pour assurer que  $OUT_-$  soit au moins de  $-1,3V$ . On choisira  $V_{DS_{sat}}(M_n) = 200mV$

4. Expliquez brièvement par quelques phrases, sans établir de schéma petits signaux et sans faire de calcul, que le gain à basses fréquences de l'étage différentiel est donné par :

$$A_{v1} = \frac{v_{diff}}{v_{IN+} - v_{IN-}} = -\frac{g_{m12}}{g_{m34}} = -\frac{V_{DS_{sat}}(M_{34})}{|V_{DS_{sat}}(M_{12})|}$$

où  $V_{DS_{sat}}(M_{12})$  et  $V_{DS_{sat}}(M_{34})$  représentent respectivement les tensions de saturation des paires de transistors  $(M_1, M_2)$  et  $(M_3, M_4)$ .

5. De même, sans faire de calcul, expliquez en quelques phrases que le gain à basses fréquences de l'étage de gain est donné par :

$$A_{v2} = \frac{v_{out}}{v_{d+} - v_{d-}} = -\frac{g_{m_n}}{g_{ds_n} + g_{ds_p}}$$

où  $g_{ds_n}$  et  $g_{ds_p}$  représentent les conductances de sortie respectives des paires de transistors  $(M_{n1}, M_{n2})$  et  $(M_{p1}, M_{p2})$ .

6. Pourquoi doit-on choisir  $V_{DS_{sat}}(M_{34}) = 200mV$ ? D'autre part, on choisit  $|V_{DS_{sat}}(M_{12})| = 100mV$ . Justifiez ce choix et montrez que le gain à basses fréquences de l'OTA,  $A_{v0} = A_{v1} \cdot A_{v2}$  peut alors s'écrire :

$$A_{v0} = \frac{20}{\frac{1}{V_{E_n} \cdot L_n} + \frac{1}{V_{E_p} \cdot L_p}}$$

7. On choisit de prendre  $V_{E_n} \cdot L_n = V_{E_p} \cdot L_p$ . Justifiez ce choix et calculez les longueurs minimales des transistors  $(M_{n1}, M_{n2})$  et  $(M_{p1}, M_{p2})$  pour que le cahier des charges de l'OTA soit vérifié du point de vue du gain  $A_{v0}$ .
8. Après avoir bien noté que l'on n'utilise pas de capacité de compensation, donc que l'on peut à priori négliger tout effet Miller, montrez en quelques phrases, sans calcul, que le pôle dominant de l'OTA a pour fréquence de coupure :

$$f_d = \frac{g_{ds_n} + g_{ds_p}}{2\pi \cdot (C_{DS_n} + C_{DS_p} + C_L)} \simeq \frac{g_{ds_n} + g_{ds_p}}{2\pi \cdot (C_L)}$$

En déduire que le GBW de l'OTA est donné par :

$$GBW \simeq \frac{g_{m12}}{g_{m34}} \cdot \frac{g_{m_n}}{2\pi \cdot C_L} = \frac{10}{\pi} \cdot \frac{I_n}{C_L}$$

9. Déduire de la question précédente la valeur minimale à donner au courant  $I_n$  pour que le GBW soit d'au moins  $40MHz$ .
10. Calculez alors la valeur à donner au rapport  $W_n/L_n$  et donnez les dimensions des transistors  $M_{n1}$  et  $M_{n2}$ .
11. Montrez que la borne supérieure de la dynamique de sortie est donnée par :

$$OUT_+ = V_{DD} + V_{DS_{sat}}(M_{p1})$$

En déduire que l'on doit choisir  $V_{DS_{sat}}(M_{p1}) \geq -200mV$  pour que le cahier des charges soit vérifié vis-à-vis de  $OUT_+$ . Déterminez alors la valeur à donner au rapport  $W_p/L_p$  et donnez les dimensions de  $M_{p1}$  et  $M_{p2}$  de telle sorte que leur surface soit minimale.

12. Sans calcul ni établissement du schéma petits signaux, expliquez en quelques phrases que le pôle sur la sortie  $v_{d+}$  de l'étage différentiel est identique au pôle sur la sortie  $v_{d-}$  et qu'il a pour fréquence de coupure :

$$f_{nd} \simeq \frac{g_{m34}}{2\pi \cdot C_{GS_n}}$$

où  $C_{GS_n}$  représente la capacité  $C_{GS}$  de  $M_{n1}$  et  $M_{n2}$ . On justifiera les capacités négligées.

13. Tout revient donc à dire que le signal différentiel  $v_{diff}$  subit une coupure à la fréquence  $f_{nd}$ . On admettra qu'il s'agit du pôle secondaire de l'OTA. On choisit alors de placer ce pôle à  $3 \times GBW$ . Justifiez ce choix et calculez la valeur à donner à  $g_{m34}$  après avoir calculé  $C_{GS_n}$ .
14. Déduire de la question précédente la valeur du courant  $I_5$  polarisant l'étage différentiel et calculez les valeurs à donner aux rapports  $W_{12}/L_{12}$  et  $W_{34}/L_{34}$ .
15. Les transistors  $M_1, M_2, M_3$  et  $M_4$  sont choisis de taille minimale. Justifiez ce choix et calculez leurs dimensions.

**ANNEXE - Paramètres SPICE de la technologie utilisée**

Paramètre	NMOS	PMOS
$K_P$	$122 \mu A/V^2$	$46 \mu A/V^2$
$\lambda$	$\frac{1}{\overline{V_{E_n}} \cdot L_n}$ avec $V_{E_n} = 21 V/\mu m$	$\frac{1}{\overline{V_{E_p}} \cdot L_p}$ avec $V_{E_p} = 27 V/\mu m$
$V_{TH}$	$0.483 V$	$-0.683 V$
$C_{ox}$	$4.54 fF$	$4.54 fF$

D'autre part,

$$L_{min} = 0.35 \mu m \text{ et } W_{min} = 0.4 \mu m$$

et toute dimension doit être multiple de  $0.05 \mu m$ .

**Examen d'Architectures Analogiques de Base**  
Master de Physique - Spécialité MNE (S3) - UE TC1  
Durée 1h30 - Documents de cours autorisés

Luc HEBRARD

23 octobre 2008

*Objectif : Etude d'un OTA à étage différentiel d'entrée symétrique.*

L'OTA à concevoir (figure 1) est réalisé par un étage différentiel symétrique entrant sur des PMOS ( $M_1$  et  $M_2$ ) chargés par deux autres PMOS montés en diode ( $M_3$  et  $M_4$ ), suivi d'un étage de gain constitué de  $M_{n1}$ ,  $M_{n2}$ ,  $M_{p1}$  et  $M_{p2}$ . La sortie de l'étage différentiel est différentielle, notée  $v_{diff} = v_{d+} - v_{d-}$  (c.f. figure 1). L'entrée de l'étage de gain (grilles de  $M_{n1}$  et de  $M_{n2}$ ) est différentielle alors que sa sortie  $v_{OUT}$  est unipolaire, la conversion  $2 \rightarrow 1$  étant réalisée par le miroir de courant  $M_{p2}/M_{p1}$ .

L'alimentation est symétrique  $V_{DD} = -V_{SS} = 1,5V$ . D'autre part,  $M_1$  et  $M_2$  sont identiques, ainsi que  $M_3$  et  $M_4$ . On notera donc par la suite  $W_{12}/L_{12}$  les dimensions de  $M_1$  ou de  $M_2$ , et  $W_{34}/L_{34}$  les dimensions de  $M_3$  ou de  $M_4$ . De même, la transconductance de  $M_1$  ou de  $M_2$  sera notée  $g_{m12}$  et celle de  $M_3$  ou de  $M_4$  sera notée  $g_{m34}$ . Enfin,  $M_{n1}$  et  $M_{n2}$  sont identiques, ainsi que  $M_{p1}$  et  $M_{p2}$ . On notera donc,  $W_n/L_n$  et  $W_p/L_p$ , ainsi que  $g_{m_n}$  et  $g_{m_p}$ , les dimensions et les transconductances de ces paires de transistors.

La charge vue par l'OTA est  $C_L = 500fF$ .

Les paramètres de la technologie utilisée sont donnés en annexe.

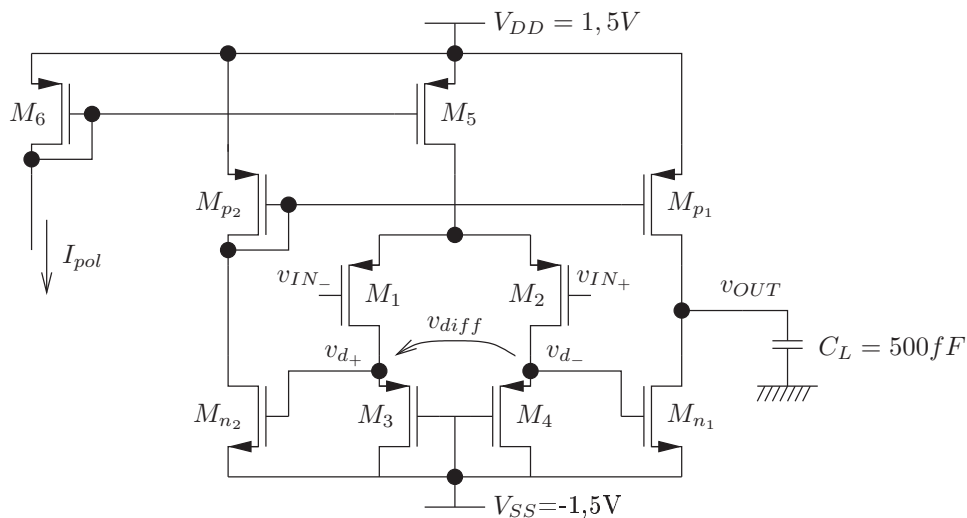


FIG. 1 – OTA à concevoir

L'OTA doit remplir le cahier des charges suivant :

- **Produit gain-bande passante** :  $GBW \geq 20MHz$
- **Gain statique** :  $A_{v_0} \geq 500$
- **Dynamique de sortie** :  $OUT_- < -1,0V$  et  $OUT_+ > +1,0V$

1. Montrez que le courant polarisant la branche  $(M_{p_1}, M_{n_1})$  est identique au courant polarisant la branche  $(M_{p_2}, M_{n_2})$ . On notera ce courant  $I_n$ .
2. Montrez que la borne inférieure de la dynamique de sortie l'OTA est donnée par :

$$OUT_- = V_{SS} + V_{DS_{sat}}(M_n)$$

où  $V_{DS_{sat}}(M_n)$  représente la tension de saturation des transistors  $M_{n1}$  et  $M_{n2}$ . En déduire que l'on doit choisir  $V_{DS_{sat}}(M_n) \leq 500mV$  pour assurer que  $OUT_-$  soit au moins de  $-1,0V$ . On choisira  $V_{DS_{sat}}(M_n) = 500mV$

3. Pourquoi doit-on choisir  $V_{GS_0}(M_{34}) = -(V_{DS_{sat}}(M_n) + V_{T_n})$  où  $V_{GS_0}(M_{34})$  représente le  $V_{GS}$  de polarisation des transistors  $M_3$  et  $M_4$ .
4. Dédurre de la question précédente que  $V_{DS_{sat}}(M_{34})$  doit être choisi égal à  $-300mV$ , avec  $V_{DS_{sat}}(M_{34})$  représentant la tension de saturation des transistors  $M_3$  et  $M_4$ .
5. Expliquez brièvement par quelques phrases, sans établir de schéma petits signaux et sans faire de calcul, que le gain à basses fréquences de l'étage différentiel est donné par :

$$A_{v_1} = \frac{v_{diff}}{v_{IN_+} - v_{IN_-}} = -\frac{g_{m_{12}}}{g_{m_{34}}} = -\frac{V_{DS_{sat}}(M_{34})}{V_{DS_{sat}}(M_{12})}$$

où  $V_{DS_{sat}}(M_{12})$  représente la tension de saturation des transistors  $M_1$  et  $M_2$ .

6. On choisit de prendre  $V_{DS_{sat}}(M_{12}) = -100mV$ . Justifiez ce choix et calculez la valeur numérique du gain  $A_{v_1}$ .
7. Toujours sans faire de calcul, expliquez en quelques phrases que le gain à basses fréquences de l'étage de gain est donné par :

$$A_{v_2} = \frac{v_{out}}{v_{d_+} - v_{d_-}} = -\frac{g_{m_n}}{g_{ds_n} + g_{ds_p}}$$

où  $g_{ds_n}$  et  $g_{ds_p}$  représentent les conductances de sortie respectives des paires de transistors  $(M_{n_1}, M_{n_2})$  et  $(M_{p_1}, M_{p_2})$ .

8. Dédurre des questions précédentes que le gain à basses fréquences de l'OTA,  $A_{v_0} = A_{v_1} \cdot A_{v_2}$  peut finalement s'écrire :

$$A_{v_0} = \frac{12}{\frac{1}{V_{E_n} \cdot L_n} + \frac{1}{V_{E_p} \cdot L_p}}$$

9. On choisit de prendre  $V_{E_n} \cdot L_n = V_{E_p} \cdot L_p$ . Justifiez ce choix et calculez les longueurs minimales des transistors  $(M_{n_1}, M_{n_2})$  et  $(M_{p_1}, M_{p_2})$  pour que le cahier des charges de l'OTA soit vérifié du point de vue du gain  $A_{v_0}$ .
10. Quatre nœuds sont susceptibles de "couper" la réponse en fréquences du circuit, le nœud de sortie  $v_{OUT}$ , le nœud  $v_{d_+}$ , le nœud  $v_{d_-}$  et le nœud sur le drain commun à  $M_{n_2}$  et  $M_{p_2}$ . Après noté que l'on n'utilise pas de capacité de compensation, donc que l'on peut à priori négliger tout effet Miller, montrez en quelques phrases, sans calcul, que le pôle dominant de l'OTA est donné par le nœud de sortie  $v_{OUT}$  et qu'il a pour fréquence de coupure :

$$f_d = \frac{g_{ds_n} + g_{ds_p}}{2\pi \cdot (C_{DS_n} + C_{DS_p} + C_L)} \simeq \frac{g_{ds_n} + g_{ds_p}}{2\pi \cdot (C_L)}$$

En déduire que le GBW de l'OTA est donné par :

$$GBW \simeq \frac{g_{m_{12}}}{g_{m_{34}}} \cdot \frac{g_{m_n}}{2\pi \cdot C_L} = \frac{6}{\pi} \cdot \frac{I_n}{C_L}$$

11. Dédurre de la question précédente la valeur minimale à donner au courant  $I_n$  pour que le GBW soit d'au moins  $20MHz$ .
12. Calculez alors la valeur à donner au rapport  $W_n/L_n$  et donnez les dimensions des transistors  $M_{n_1}$  et  $M_{n_2}$ .
13. Montrez que la borne supérieure de la dynamique de sortie est donnée par :

$$OUT_+ = V_{DD} + V_{DS_{sat}}(M_{p_1})$$

En déduire que l'on doit choisir  $V_{DS_{sat}}(M_{p_1}) \geq -500mV$  pour que le cahier des charges soit vérifié vis-à-vis de  $OUT_+$ . Déterminez alors la valeur à donner au rapport  $W_p/L_p$  et donnez les dimensions de  $M_{p_1}$  et  $M_{p_2}$  de telle sorte que leur surface soit minimale.

14. Sans calcul ni établissement du schéma petits signaux, expliquez en quelques phrases que le pôle sur le nœud  $v_{d_+}$  est identique au pôle sur le nœud  $v_{d_-}$  et qu'il a pour fréquence de coupure :

$$f_{nd} = \frac{g_{m_{34}}}{2\pi \cdot (C_{GS_n} + C_{GS_{34}} + C_{DS_{34}} + C_{DS_{12}})}$$

15. Tout revient donc à dire que le signal différentiel  $v_{diff}$  subit une coupure à la fréquence  $f_{nd}$ . On admettra qu'il s'agit du pôle secondaire de l'OTA. D'autre part, comme nous ne connaissons pas encore les dimensions des transistors  $M_1, M_2, M_3$  et  $M_4$ , nous négligeons dans un premier temps les capacités  $C_{GS_{34}}, C_{DS_{34}}$  et  $C_{DS_{12}}$  devant  $C_{GS_n}$ . On choisit alors de placer le pôle secondaire à  $3 \times GBW$ . Justifiez ce choix et calculez la valeur à donner à  $g_{m_{34}}$  après avoir calculé  $C_{GS_n}$ .
16. Dédurre de la question précédente la valeur du courant  $I_5$  polarisant l'étage différentiel et calculez les valeurs à donner aux rapports  $W_{12}/L_{12}$  et  $W_{34}/L_{34}$ .

17. Les transistors  $M_1$ ,  $M_2$ ,  $M_3$  et  $M_4$  sont choisis de taille minimale. Justifiez ce choix et calculez leurs dimensions.
18. On choisit de prendre  $V_{DS_{sat}}(M_5) = -100mV$ . Calculez alors les dimensions de  $M_5$  minimisant sa surface.
19. Les transistors  $M_5$  et  $M_6$  sont choisis identiques. Quelle valeur doit avoir le courant  $I_{pol}$  ?
20. Nous pourrions maintenant calculer les valeurs des capacités  $C_{GS_{34}}$ ,  $C_{DS_{34}}$  et  $C_{DS_{12}}$  négligées à la question 15. Expliquez quelle conséquence aura la prise en compte de ces capacités sur la valeur de  $I_5$ , puis expliquez la procédure itérative à appliquer pour affiner le dimensionnement manuel de l'étage différentiel. On ne demande pas de faire les calculs !

### ANNEXE - Paramètres SPICE de la technologie utilisée

Paramètre	NMOS	PMOS
$KP$	$122 \mu A/V^2$	$46 \mu A/V^2$
$\lambda$	$\frac{1}{V_{E_n} \cdot L_n}$ avec $V_{E_n} = 21 V/\mu m$	$\frac{1}{V_{E_p} \cdot L_p}$ avec $V_{E_p} = 27 V/\mu m$
$V_{TH}$	$0.483 V$	$-0.683 V$
$C_{ox}$	$4.54 fF$	$4.54 fF$

D'autre part,

$$L_{min} = 0.35\mu m \text{ et } W_{min} = 0.4\mu m$$

et toute dimension doit être multiple de  $0.05\mu m$ .