

**Patrice DELPY** - 40 ans.  
40 rue Cuvier, 31100 Toulouse.  
Tél: 06.25.77.52.56  
E-mail: [patrice.delpy@neuf.fr](mailto:patrice.delpy@neuf.fr)

## INGENIEUR EN ELECTRONIQUE

### Concepteur layout analogique full custom : 11 ans d'expérience

### Parcours Professionnel

Layout leader, responsabilités techniques, gestion des ressources.  
Création et assemblage de Top cell : estimation, floorplan, place & route et vérifications.  
Définition des méthodologies, planification d'une équipe et interface avec l'équipe Design.  
Bonnes connaissances des procédés micro électronique, de la physique des composants et des fonctions analogiques.  
Garant de la qualité de la réalisation physique – rigoureux, sensibilisé à la robustesse et la fiabilité. Maîtrise des règles liées au milieu du semi-conducteur : matching, contraintes technologiques, mécaniques, thermiques.  
Réalisation de sous-systèmes analogiques spécifiques et standards : ADC / DAC/ PLL / Buck & Boost / LDO / Bias / Vref / CAN / Oscillateur, circuits à capacités commutées.  
Intégration des stratégies de protection ESD, IO ring, isolation, recherche des parasites.  
Création de circuits aux dimensions submicroniques le plus performant – haute intégration.  
Qualification pour travailler sur des technologies BiCMOS : Smartmos 8LV FSL, TSMC BCD, ONC25, faible et fort courant de 1.5V à 40V.

- Depuis Sept 2008 : **Layout Engineer : ON SEMICONDUCTOR** (travail en équipe multi site)  
Leader sur des puces audio évoluées (ampli, charge pompe 400mA, Headset, classe D 15W).  
Circuit de protection et de monitoring (OCP et OVP), PMIC et chargeur de batterie.  
Développement de super Pcell ESD et d'une Toolbox Skill. Création d'une bibliothèque d'IPs.  
Charger de l'étude d'un outil de bonding et des techniques de flip chip packaging (RDL).  
Mise en place d'une trame Metrix mesurant l'avancement du projet et l'impact du Re-use.
- Janvier 2007 /  
Septembre 2008 : **Consultant backend : FREESCALE / MOTOROLA** (travail en équipe multi site)  
Conception d'ASICs automobile complexe (20 à 55 mm<sup>2</sup>) de type Smartpower: ESP, ABS.  
Debug de design kit en cours de qualification, test case – Développement de procédures.  
Réalisation de sous-systèmes en Power Management (téléphonie) et Power-over Ethernet.
- Mai 2000 /  
Décembre 2005 : Leader sur des produits E-switch et sur un chipset MSC2.
- 2006 : **Ingénieur Test: Groupe Automotive - FREESCALE**  
Mise en place d'un plan Zéro Défaut. Action visant à la réduction des coûts (temps de test).  
Développement des configurations de test, mise au point, mesures et caractérisation.  
Analyse des données Cp/Cpk, R&R, Gage, étude de la défektivité: Utilisation d'outils statistiques dédiés.  
Amélioration des packages de tests (stabilité, couverture de test) au test final et au probe.
- 1999 : **Superviseur des moyens d'émission terrestres - TV et radios. TDF**  
Planification des moyens techniques, opérations de maintenance (curatives et préventives).  
Ordonnancement des équipes. Rétablissement de service et suivie d'incident avec le client.

### Formation

Diplôme d'ingénieur en Électronique INPT Toulouse.

### Compétences techniques

Outils CAO: Cadence IC5, IC6, Calibre, Assura, Diva, VCR, Chip Floorplanner, Spectre, ADE.  
Langages et logiciels : SKILL, Verilog, C, Visual Basic, Perl, Tcl, Cadence Allegro, linux/Unix.  
Systèmes des tests: Testeur Teradyne, MiST, Prober Electroglas, Handler Delta Design.  
FPGA / Microcontrôleurs : Xilinx ISE Suite, Modelsim, Intel/Motorola, Environnement Metrowerks, ImageCraft.  
Langues : Anglais : Usuel et Technique (lu, écrit et parlé).

### Loisirs

Astronomie, programmation informatique, domotique, tir sportif.