

Term Prjoect 1

OP AMP design

학 과 전자 전기

학 번 20052121

이 름 김 영 상

OP AMP Design project : G

OP amp type : current mirror OP Amp

Spec.

Supply voltage, process : 3.3V, 0.35um process

DC voltage gain ≥ 1000

OVR $\geq 1V$

GBW $\geq 100\text{Mhz}$ (load cap=10pF)

PM > 60 with unity gain FB

Final Design Results

Items	Specification
Sum($W_i \cdot L_i$)	229.6 [μm^2] (without bias ckt) 282.4 [μm^2] (with bias ckt)
DC small signal voltage gain	3273V/V (70.3dB)
Power consumption(including bias circuit)	OP amp:3.39[mW] Bias circuit:0.76[mW]
Slew rate SR	75.4 [$V / \mu\text{s}$]
0.1% settling time with unity gain feedback(0.1V step)	11.43[ns]
Active input common mode voltage range(ICMR)	0.96 < V_{icm} < 2.78 1.82V
Gain-bandwidth product	106[Mhz]
Linear output voltage range(OVR)	1.54V
Low freq input equ. Thermal noise voltage spectrum	4.86 [$n / \sqrt{\text{Hz}}$]
Phase margin	75°

(1) Design by hand analysis

MOS Parameters				
	L	VT	K	LAMBDA
NMOS	0.35	0.5	0.000094	0.18
	0.7	0.59	0.000132	0.08
PMOS	0.35	0.72	0.000048	0.24
	0.7	0.75	0.000052	0.06

Hand analysis에서 사용할 MOS parameter이다. 이 parameter를 이용해서 주어진 Spec을 만족시키는 Tr의 width값을 결정하고, Spec을 만족시키지 못하는 부분은 iteration을 통해서 수정하면서 회로를 설계했다. 다음은 Hand design에 의해서 계산된 OP amp의 Spec. 결과이다.

OP amp Hand design Spec.

Vicm[V]	1.85
OVR[V]	1.5
Bias Current[A]	400u
Power[W]	3.3m
Area[um ²]	208.7
Slew rate[V/us]	80
Rout[Ω]	1146789
Avd[V/V]	7645
GBW[hz]	106M
-3dB freq[hz]	13.9k

Hand design과정

먼저 VDD=3.3V와 Power를 고려해서 회로의 흐르는 전류 값을 결정해 주었다. 이번 project에서 power에 관한 Spec.은 정확히 명시되어 있지 않기 때문에, bias ckt을 제외한 OPAMP의 power소비가 4mW이하가 되도록 결정했다. 이 조건에 의해서 bias current값을 계산하면,

$$I * V = 2.5I_B * 3.3 < 5mW, I_B < 484\mu A$$

$I_B = 400\mu A$ 로 선택했다.

설계하고자 하는 Current mirror OPAMP의 경우 Current mirror동작에 의해서 전류값이 출력 단에서 K배로 증폭되게 되는데, K값이 크면 GBW와 Slew rate는 좋아지지만 Power 소비가 많아지는 단점이 있다. K값은 2로 정하고 design했다.

다음으로 OVR > 1 조건으로부터 각 TR의 VDSAT값을 정해주었다. 즉, 3.3 공급전압에서 OVR>1이기 위해서는 $Vdsat9 + Vdsat11 + Vdsat13 + Vdsat15 < 2.3$ 인 조건을 만족해야 한

다. 여기서 margin을 생각해서 $V_{dsat9} + V_{dsat11} + V_{dsat13} + V_{dsat15} = 1.9$ 로 선택하였으며, 같은 전류가 흐를 때 PMOS의 V_{dsat} 값이 크므로

$V_{dsat9} = V_{dsat11} = 0.5V$, $V_{dsat13} = V_{dsat15} = 0.4V$ 로 정했다.

이때 OPAMP의 회로 구조가 Current mirror구조이므로 나머지 TR에 대해서 위와 동일하게 $V_{dsat4,5,6,7,8,10} = 0.5V$, $V_{dsat12,13,14,15} = 0.4V$ 로 정했다.

M3, M1, M2의 V_{dsat} 전압은 넓은 ICMR을 갖게 하기 위해

$V_{dsat1}, V_{dsat2} = 0.15V$, $V_{dsat3} = 0.3V$ 로 선택했다. 이때 bias전압은 v_{b3} 의 경우 $0.9V$, v_{b2} 는 $1.4V$ v_{b3} 는 $1.5V$ 로 정해주었다. V_{b3} 는 M3의 V_{th} 를 고려해서 $0.9V$ 로 정해주었으며, v_{b2} 는 $V_{ss} + V_{dsat13} + V_{gs15}$ 에 의해서 충분한 margin을 두어서 $1.4V$ 로 선택했다. V_{b3} 는 $V_{dd} - V_{dsat6} - V_{gs4}$ 에 의해 $1.5V$ 로 정했다.

여기서 결정한 V_{dsat} 값을 바탕으로 각 TR의 width를 계산하면 다음과 같다. 이때 width는 $I_D = 1/2\mu C_{ox}(W/L)(V_{GS} - V_{TH})^2$ 로부터 계산 할 수 있다.

MOS	ucox	Vdsat	Ids	W	L	Gm	Ro
MN1	0.000094	0.12	0.0002	103.43	0.35	0.0033	27778
MN2	0.000094	0.12	0.0002	103.43	0.35	0.0033	27778
MN3	0.000094	0.3	0.0004	33.10	0.35	0.0027	13889
MP4	0.000052	0.5	0.0002	10.77	0.35	0.0008	83333
MP5	0.000052	0.5	0.0002	10.77	0.35	0.0008	83333
MP6	0.000052	0.5	0.0002	10.77	0.35	0.0008	83333
MP7	0.000052	0.5	0.0002	10.77	0.35	0.0008	83333
MP8	0.000052	0.5	0.0002	10.77	0.35	0.0008	83333
MP9	0.000052	0.5	0.0004	43.08	0.7	0.0016	41667
MP10	0.000052	0.5	0.0002	10.77	0.35	0.0008	83333
MP11	0.000052	0.5	0.0004	43.08	0.7	0.0016	41667
MN12	0.000132	0.4	0.0002	6.63	0.35	0.0010	62500
MN13	0.000132	0.4	0.0004	26.52	0.7	0.0020	31250
MN14	0.000132	0.4	0.0002	6.63	0.35	0.0010	62500
MN15	0.000132	0.4	0.0004	26.52	0.7	0.0020	31250

위의 Hand design결과를 바탕으로 OPAMP의 Spec을 계산해보면,

Vicm

Min: $V_{ss} + V_{dsat3} + V_{dsat1} + V_{th1} = 0.3 + 0.15 + 0.5 = 0.95V$

Max: $V_{dd} - V_{dsat6} - V_{dsat4} + v_{th1} = 3.3 - 0.5 - 0.5 + 0.5 = 2.8V$

$0.95V < V_{icm} < 2.8V \Rightarrow V_{icm} \text{ range} = 1.9V$

OVR

Min: $V_{ss} + V_{dsat15} + V_{dsat13} = 0.4 + 0.4 = 0.8V$

Max: $V_{dd} - V_{dsat9} - V_{dsat11} = 3.3 - 0.5 - 0.5 = 2.3V$

$0.8V < V_o < 2.3V \Rightarrow OVR = 1.5V$

Power

$V_{dd} = 3.3V$, 전체 흐르는 전류 = $2.5 * I_B = 2.5 * 400\mu = 1mA$, Power = 3.3mW

Slew Rate

$$SR = \frac{KI_B}{C_L} = \frac{2 * I_B}{10p} = 80V / \mu s$$

Rout

$$R_o = (g_{m11} r_{o11} r_{o9}) \parallel (g_{m13} r_{o13} r_{o15})$$

$$= 0.0016 * 41667 * 41667 \parallel 0.002 * 31250 * 31250 = 1146789\Omega$$

Avd

$$A_{vd} = Kg_{m1} R_o = 2 * 0.0033 * 1146789 = 7645V / V$$

Gain Bandwidth

OPamp 회로에서 non-dominant pole의 효과를 무시하면, 주어진 OPamp 회로는 dominant pole을 $\frac{1}{R_o C_L}$ 에 가지는 형태이므로 다음과 같이 생각할 수 있다.

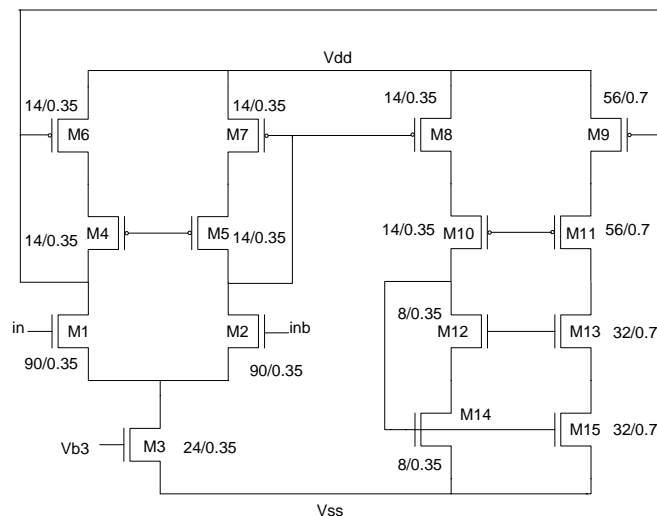
$$A_{vd}(s) = \frac{Kg_{m1} R_o}{1 + sR_o C_L}$$

따라서 Gaing Bandwidth는 $\omega_T = \frac{Kg_{m1}}{C_L}$ 으로 나타내어 지고 주어진 식

으로부터 계산하면, $\omega_T = \frac{Kg_{m1}}{2 * \pi * C_L} = \frac{2 * 0.0033}{2 * \pi * 10p} = 106Mhz$

-3dB Freq

$$\omega_{-3dB} = \frac{1}{2 * \pi * R_o C_L} = \frac{1}{2 * \pi * 1146789 * 10p} = 13.9kHz$$



시뮬레이션에 의한 최종 Design result

Self-bias CKT

Opamp design에서 vb1, vb2, vb3의 bias 전압이 필요하다. 공급전압이나 문턱전압등에 무관하게 전압을 일정하게 유지시켜 주기 위해 Self bias ckt을 설계한다.

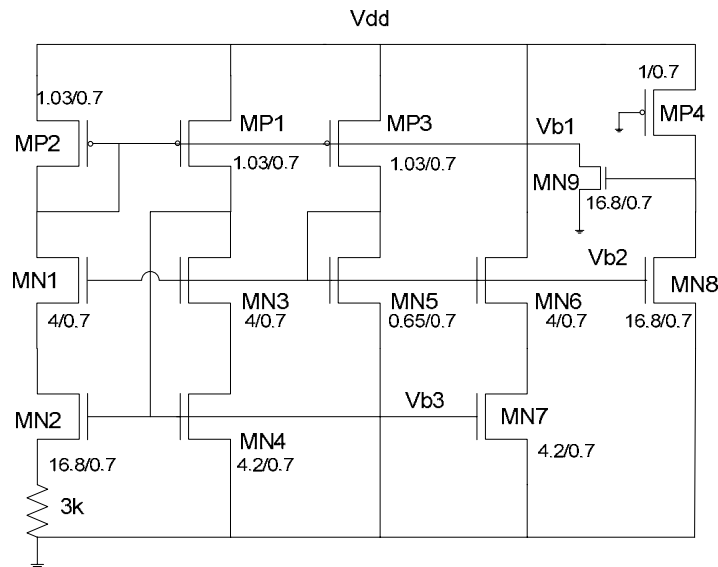
Hand Design

설계하는 Opamp에 필요한 bias 전압은 vb1, vb2, vb3이므로 3개의 bias전압을 공급할 수 있도록 3개의 층을 가지는 bias회로를 선택했다. Bias ckt를 설계하기 위해 먼저 MP2, MN4에 흐르는 전류 값으로부터 TR의 width를 정하고 bias voltage를 맞추도록 했다. Bias ckt에 흐르는 전류 I값은 다음과 같이 나타내어진다.

$$I = \frac{1}{2\mu C_{ox} R^2 (W/L)_{MN4}} = \frac{1}{2 * 0.000132 * (3k)^2 (W/L)_{MN4}} = 50\mu A, \quad W_4 = 5.89\mu m$$

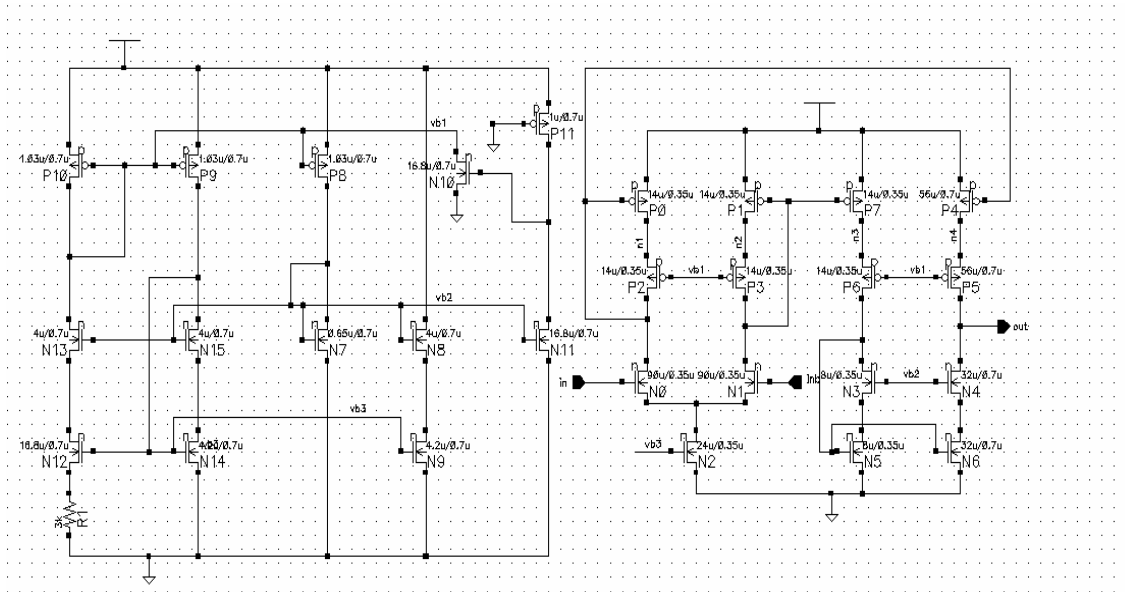
이때 W2는 W4의 4배이므로 $W_2 = 4 * W_4 = 23.56\mu m$ 이다. 여기서 각 bias voltage는 $V_{b3} = V_{thn} + V_{dsat, mn4}$, $V_{b2} = V_{th} + 2 * V_{dsat, mn4}$, $V_{b1} = V_{dd} - V_{thp} - V_{dsat, mp2}$ 이므로 각 TR의 사이즈를 조절해 가면서 vb1, vb2, vb3를 원하는 전압 값인 1.5v, 1.4v, 0.9v로 조정해 줄 수있다 즉, vb3=0.9V, vb2=1.4V에서 $V_{dsat, mn4} = 0.3V$ 로 정하고, vb1=1.5V에서 $V_{dsat} = 1V$ 로 정한다. $V_{dsat, mn5} = 1.4V$ 로 한다. 이것으로부터 Tr의 width를 계산한다.

MOS	ucox	Vdsat	Ids	W	L	Gm	Ro
MN1,3,6	0.000132	0.3	0.00005	5.89	0.7	0.0003	111111
MN5	0.000132	1.4	0.00005	0.27	0.7	0.0001	111111
MP1,2,3	0.000052	1	0.00005	1.35	0.7	0.0001	111111

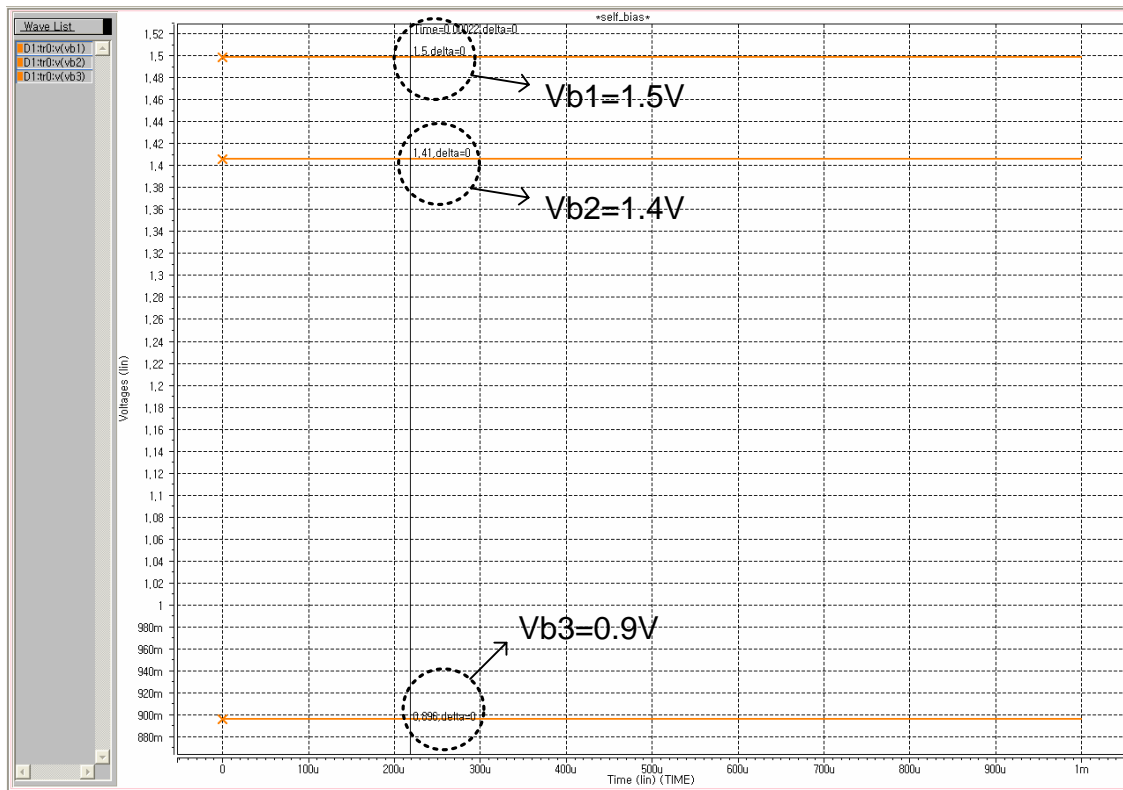


시뮬레이션에 의한 최종 design

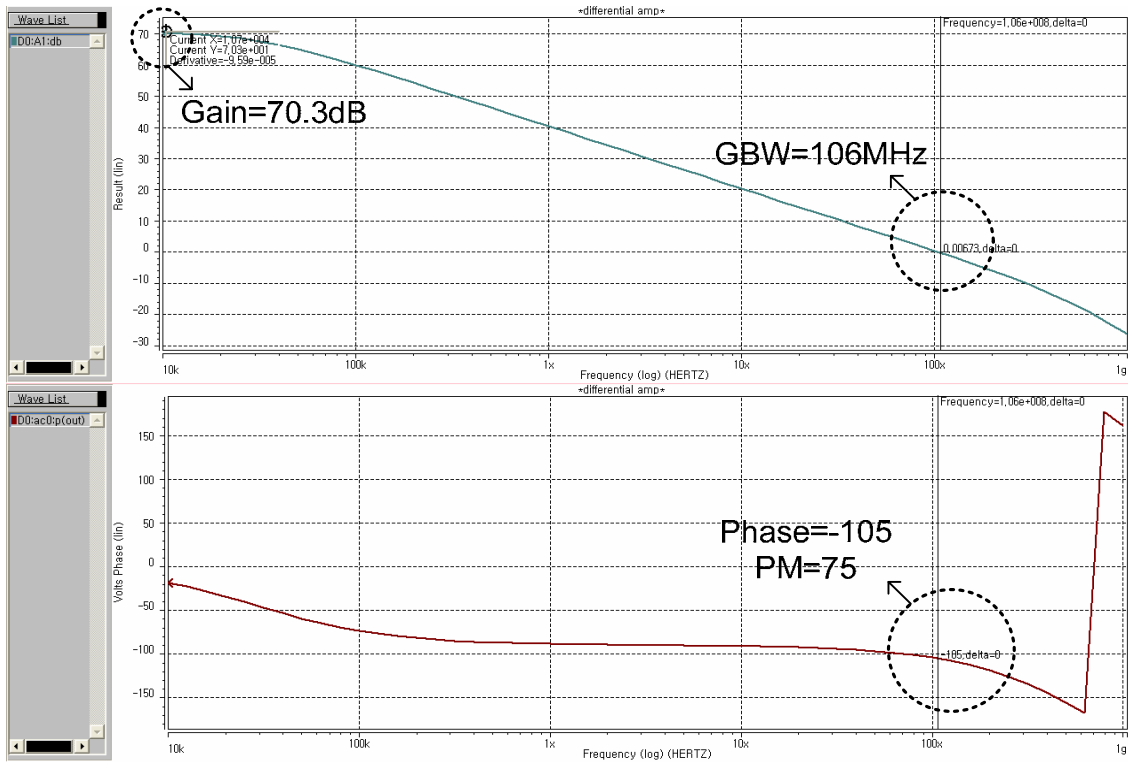
Final circuit design



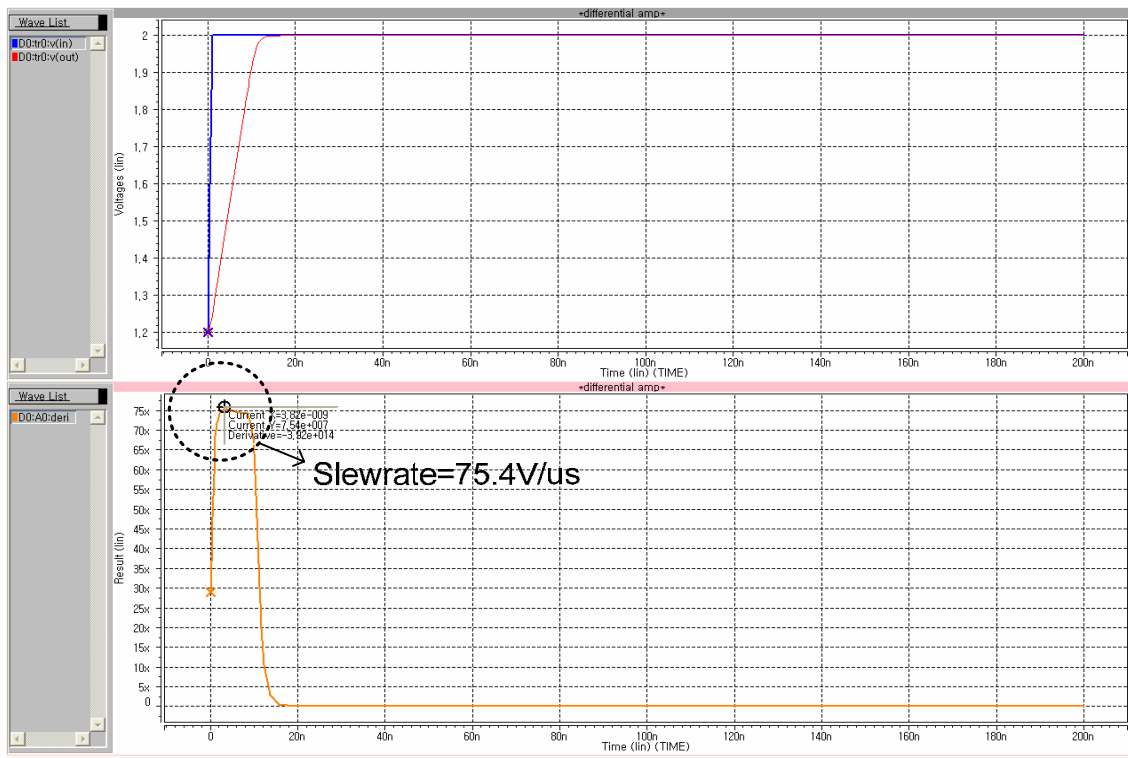
Simulation results



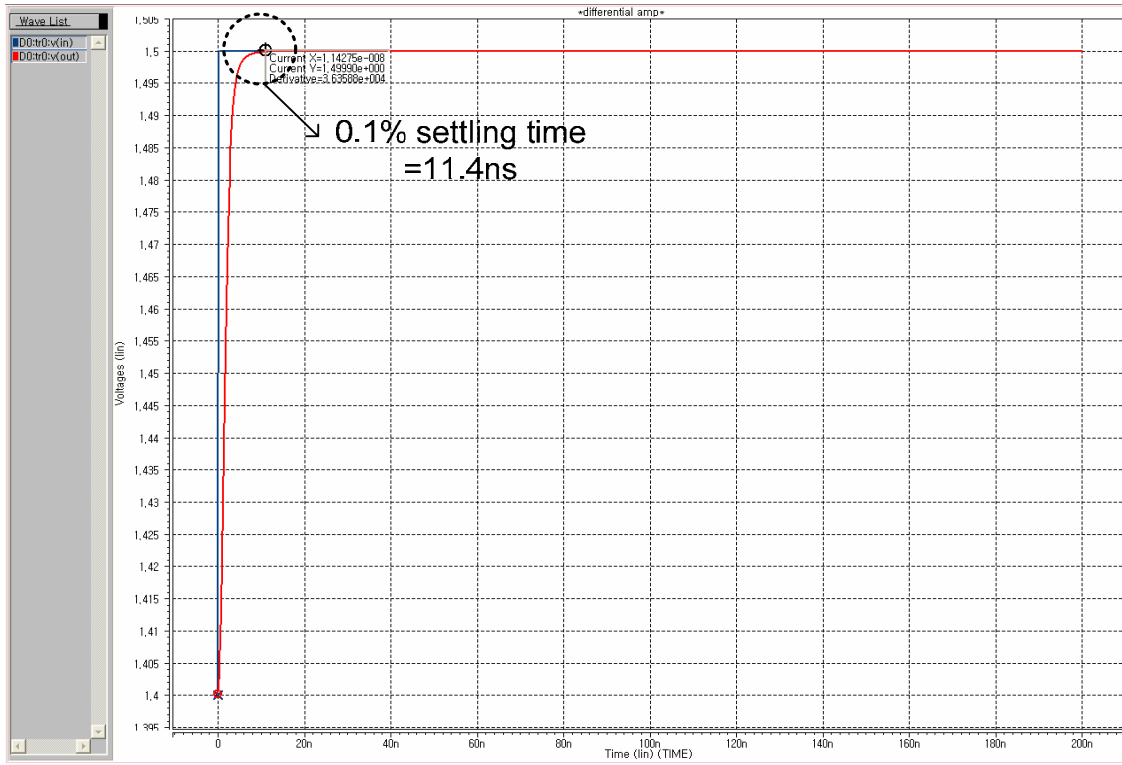
Bias ckt simulation result



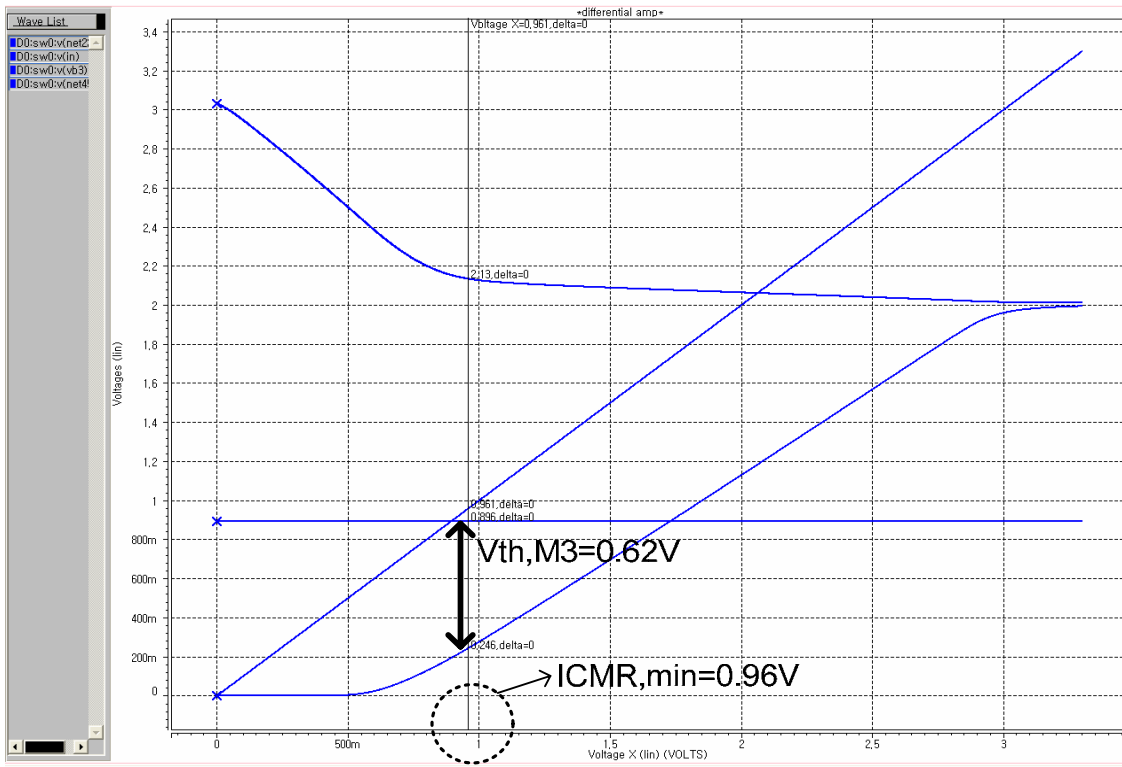
Gain, GBW, Phase results



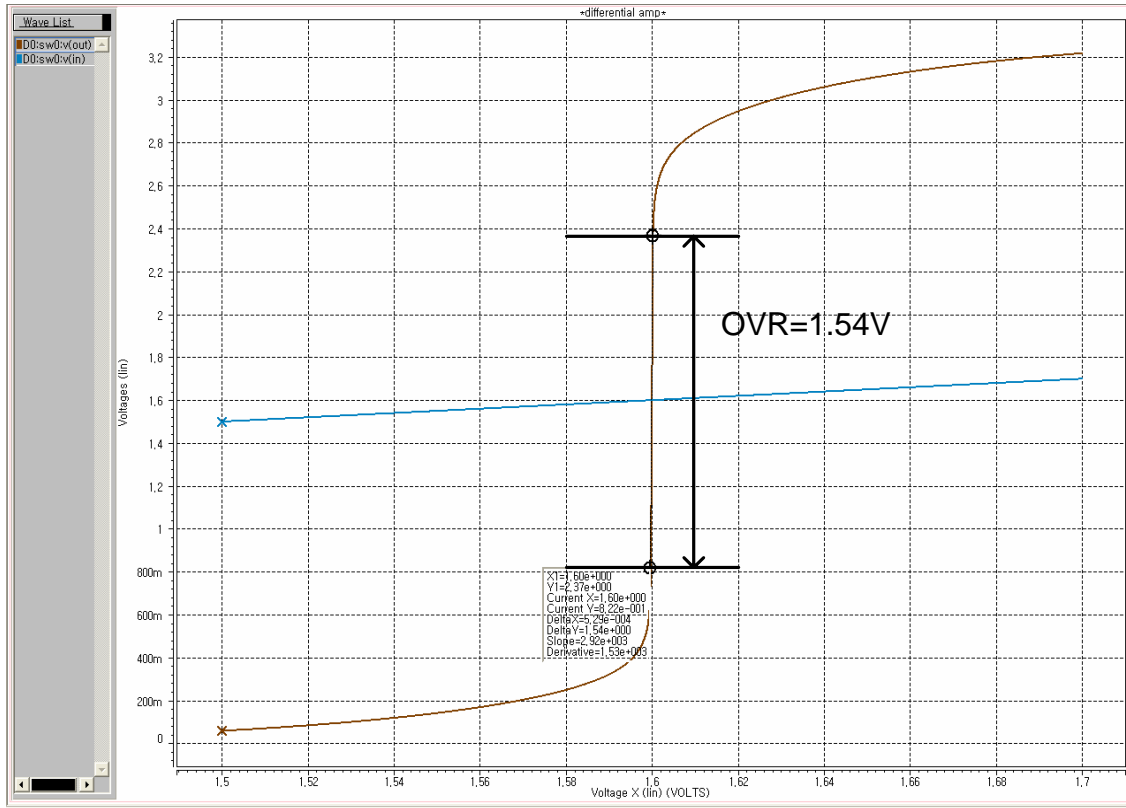
Slew Rate result



0.1% Settling time result



ICMR min



Output voltage range result

Conclusion

Differential input single ended output으로 구성된 current mirror OP amp를 설계해 보았다. Hand analysis를 통해 대략적인 Tr의 사이즈를 정하고 Spec.을 만족하는지 확인했다. 주어진 Spec.을 만족시키지 못하는 경우, Hand analysis을 반복했다. 이후에 시뮬레이션을 통해서 결과를 보고, Spec.을 만족시키지 못하는 경우 사이즈를 수정하는 과정을 반복했다. 이 과정을 통해서 주어진 Spec.을 만족시키는 OP Amp를 설계할 수 있었다. 설계한 OP Amp의 성능은 각각의 시뮬레이션 결과를 통해서 확인 할 수 있었다. OP amp설계과정에서 Power, Gain, Slewrate, GBW, Area을 전체적으로 고려해주어야 했기 때문에 모든 성능을 만족시키는 적당한 값을 정하는 것이 쉽지 않았다. 결국 여러 번의 simulation에 의해 적절한 성능을 가지는 OP Amp를 설계할 수 있었다..

Netlist

.subckt Self_bias vb1 vb2 vb3

R1 gnd net16 3k \${r2}

MP8 vdd vb1 vb2 vdd p w=1.03u l=0.7u as=1.1p ad=1.1p ps=3.1u pd=3.1u

MP11 vdd gnd net064 vdd p w=1u l=0.7u as=1.0p ad=1.0p ps=3.1u pd=3.1u

MP5 vdd vb1 vb3 vdd p w=1.03u l=0.7u as=1.1p ad=1.1p ps=3.1u pd=3.1u

MP6 vdd vb1 vb1 vdd p w=1.03u l=0.7u as=1.1p ad=1.1p ps=3.1u pd=3.1u

MN5 vb2 vb2 gnd gnd n w=0.65u l=0.7u as=0.7p ad=0.7p ps=2.8u pd=2.8u

MN7 vdd vb2 net060 gnd n w=4u l=0.7u as=4.2p ad=4.2p ps=6.1u pd=6.1u

MN8 net060 vb3 gnd gnd n w=4.2u l=0.7u as=4.4p ad=4.4p ps=6.3u pd=6.3u

MN9 vb1 net064 gnd gnd n w=16.8u l=0.7u as=17.6p ad=17.6p ps=18.9u pd=18.9u

MN11 net064 vb2 gnd gnd n w=16.8u l=0.7u as=17.6p ad=17.6p ps=18.9u pd=18.9u

MN1 net17 vb3 net16 gnd n w=16.8u l=0.7u as=17.6p ad=17.6p ps=18.9u pd=18.9u

MN0 vb1 vb2 net17 gnd n w=4u l=0.7u as=4.2p ad=4.2p ps=6.1u pd=6.1u

MN2 net078 vb3 gnd gnd n w=4.2u l=0.7u as=4.4p ad=4.4p ps=6.3u pd=6.3u

MN6 vb3 vb2 net078 gnd n w=4u l=0.7u as=4.2p ad=4.2p ps=6.1u pd=6.1u

.ends Self_bias

XI18 vb1 vb2 vb3 Self_bias

MN6 net5 net6 gnd gnd n w=32u l=0.7u as=33.6p ad=33.6p ps=34.1u pd=34.1u

MN5 net8 net6 gnd gnd n w=8u l=0.35u as=8.4p ad=8.4p ps=10.1u pd=10.1u

MN4 out vb2 net5 gnd n w=32u l=0.7u as=33.6p ad=33.6p ps=34.1u pd=34.1u

MN3 net6 vb2 net8 gnd n w=8u l=0.35u as=8.4p ad=8.4p ps=10.1u pd=10.1u

MN2 net22 vb3 gnd gnd n w=24u l=0.35u as=25.2p ad=25.2p ps=26.1u pd=26.1u

MN1 net20 inb net22 gnd n w=90u l=0.35u as=94.5p ad=94.5p ps=92.1u pd=92.1u

MN0 net45 in net22 gnd n w=90u l=0.35u as=94.5p ad=94.5p ps=92.1u pd=92.1u

MP7 vdd net20 n3 vdd p w=14u l=0.35u as=14.7p ad=14.7p ps=16.1u pd=16.1u

MP6 n3 vb1 net6 vdd p w=14u l=0.35u as=14.7p ad=14.7p ps=16.1u pd=16.1u

MP5 n4 vb1 out vdd p w=56u l=0.7u as=58.8p ad=58.8p ps=58.1u pd=58.1u

MP4 vdd net45 n4 vdd p w=56u l=0.7u as=58.8p ad=58.8p ps=58.1u pd=58.1u

MP3 n2 vb1 net20 vdd p w=14u l=0.35u as=14.7p ad=14.7p ps=16.1u pd=16.1u

MP2 n1 vb1 net45 vdd p w=14u l=0.35u as=14.7p ad=14.7p ps=16.1u pd=16.1u

MP1 vdd net20 n2 vdd p w=14u l=0.35u as=14.7p ad=14.7p ps=16.1u pd=16.1u

MP0 vdd net45 n1 vdd p w=14u l=0.35u as=14.7p ad=14.7p ps=16.1u pd=16.1u

C0 out gnd 10p \${c2}