

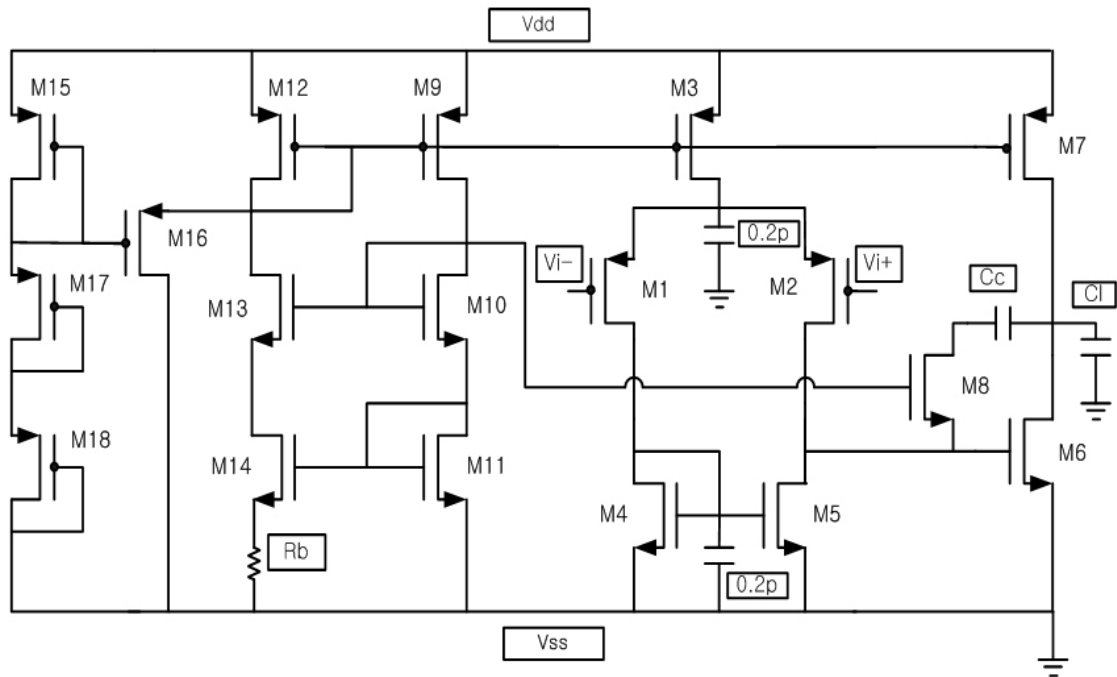
학번 : 20052264

성명 : 임 윤 택

comment:

Nice try, but OVR(1.9~2.3V) out of spec(1V)

2 - Stage Op Amp Design



Parameters : Vdd=3.3V Cl=10pF L=0.35um

	L(um)	Vth(v)	KP[uA/V^2]	Lamda(1/v)
NMOS	0.35	0.50	94	0.09
NMOS	0.70	0.59	132	0.04
PMOS	0.35	0.72	48	0.12
PMOS	0.70	0.75	52	0.03

Targets :

	DC Voltage Gain	OVR	GBW (Wt)	Phase Margin
Target	Over 1000	Over 1 V	Over 100 MHz	Over 60'

1. Hand analysis

Step 1) 소비 전력 (Power) 와 전류 Id3 , Id7 결정하기.

먼저 소비 전력을 2mW로 정하고, 전류 Id3와 Id7가 같다는 조건 하에, 소비 전력과 전류의 관계식을 이용하여 전류를 계산하였다.

$$\text{Power} = V_{dd} * (I_{d3} + I_{d7}) = V_{dd} * (2 * I_{d3}) = V_{dd} * (2 * I_{d7}) = 2 \text{ mW}$$

$$2 * I_{d3} = 2 * I_{d7} = 2 \text{ m} / 3.3$$

$$I_{d3} = I_{d7} = 303\mu\text{A}$$

Step 2) Channel length 및 (W/L)1 와 (W/L)6 결정하기.

먼저 Channel length를 0.35um로 선택하였다. 그리고, 전압이득의 관계식으로부터 (W/L)1 과 (W/L)6를 결정하였는데, 계산 과정은 다음과 같다.

DC 전압 이득은 아래와 같이 나타낼 수 있다.

$$A = (R_{o1} * g_{m1}) * (R_{o2} * g_{m6})$$

Transconductance 와 Output Resistance의 관계식을 이용하여, 위 전압이득 식을 정리하여 나타내면 다음과 같다.

$$R_{o1} = r_{o2} \parallel r_{o5}$$

$$R_{o2} = r_{o6} \parallel r_{o7}$$

$$r_{o2} = 2 / (\lambda_p * I_{D3}) = 55K$$

$$r_{o5} = 2 / (\lambda_n * I_{D3}) = 73.3K$$

$$r_{o6} = 1 / (\lambda_n * I_{D7}) = 36K$$

$$r_{o7} = 1 / (\lambda_p * I_{D7}) = 27K$$

$$g_{m1} = \sqrt{\mu_p C_{ox} (W/L)_1 I_{D3}}$$

$$g_{m6} = \sqrt{2\mu_n C_{ox} (W/L)_6 I_{D7}}$$

$$\therefore A_{dv}(0) = 2\sqrt{2} \sqrt{\mu_p \mu_p C_{ox}^2} \frac{1}{(\lambda_n + \lambda_p)^2} \sqrt{\frac{(W/L)_1 (W/L)_6}{I_{D3} I_{D7}}}$$

Gain 이 1000 이상 이어야 된다는 조건을 이용하여 정리하면, (W/L)1 과 (W/L)6의 식으로 나타낼 수 있는데, 면적을 최소화 하는 방향으로 하기 위하여 (W/L)1 = (W/L)6 인 조건으로 하였다. 그리고 이때 가정한 Gain 은 2200으로 하였으며, (Step 1)에서 가정한 전류 Id3 와 전류 Id7은 전력 소비를 최소화하기 위하여 동일하다고 가정하였다.

$$(W/L)_1 = (W/L)_6 = \frac{A_{dv}(0) * (\lambda_n + \lambda_p)^2 * I_{D3}}{2\sqrt{2} * \sqrt{\mu_n \mu_p C_{ox}^2}} = 154.7$$

Step 3) (W/L)3, (W/L)4, (W/L)5, (W/L)7 결정하기.

$$V_{SS} + V_{Th4} + V_{DSAT4} - |V_{Thp1}| < ICMR < VDD - |V_{DSAT3}| - |V_{DSAT1}| - |V_{Thp1}|$$

ICMR은 위와 같으나, 조건이 주어지지 않았으므로, 우선 각각 FET의 Vdsat를 아래와 같이 임의로 결정하였다. 위 식의 각각 Vdsat를 다음과 같이 정하여 나타내면 (W/L)과 ICMR을 구할 수 있다.

$$V_{DSAT} = \sqrt{\frac{2 * I_D}{\mu C_{ox} (W/L)}} \quad \text{-----} \rightarrow \quad (W/L) = \frac{2 * I_D}{\mu C_{ox} V_{DSAT}^2}$$

가정한 Vdsat로부터 위 식을 이용하여 (W/L)을 결정한다. Vdsat1와 Vdat2은 (Step1), (Step2)에서 구한 결과로부터 구할 수 있다. 여기에서 (W/L)4, (W/L)5은 이후에 Phase Margin을 만족시키지 확인을 한다.

$$\begin{aligned} V_{DSAT1} &= 0.202 \text{ V} & \text{-----} \rightarrow & (W/L)_1 = 154.7 \\ V_{DSAT2} &= 0.202 \text{ V} & \text{-----} \rightarrow & (W/L)_2 = 154.7 \\ V_{DSAT3} &= 0.5 \text{ V} & \text{-----} \rightarrow & (W/L)_3 = 50.5 \\ V_{DSAT4} &= 0.3 \text{ V} & \text{-----} \rightarrow & (W/L)_4 = 35.8 \\ V_{DSAT5} &= 0.3 \text{ V} & \text{-----} \rightarrow & (W/L)_5 = 35.8 \end{aligned}$$

따라서 계산된 ICMR을 구하면 다음과 같다.

$$\begin{aligned} V_{SS} + V_{Th4} + V_{DSAT4} - |V_{Thp1}| &< ICMR < VDD - |V_{DSAT3}| - |V_{DSAT1}| - |V_{Thp1}| \\ 0 + 0.5 + 0.3 - 0.72 &< ICMR < 3.3 - 0.5 - 0.202 - 0.72 \\ \therefore 0.08 &< ICMR < 1.878 \end{aligned}$$

Step 4) (W/L)7 결정 및 OVR 조건 확인하기.

$I_{D3} = I_{D7}$ 의 조건을 이용하여, $(W/L)_3 = (W/L)_7 = 50.5$ 으로 설정한다.

OVR 구하기 위하여 Vdsat6=Vdsat1, Vdsat3=Vdsat7으로 가정하였고, 다음 식을 이용하여 구할 수 있다. 이 때 문제의 조건에 맞는지 확인을 하고, 만약 만족시키지 못하는 경우에는 (Step3)에서 Vdsat를 OVR의 조건에 맞게 다시 조정한다.

$$\begin{aligned} V_{SS} - V_{DSAT6} &< Output_Voltage_Range < V_{DD} - V_{DSAT7} \\ 0 + 0.202 &< OVR < 3.3 - 0.5 \\ 0.202 &< OVR < 2.8 \end{aligned}$$

Step 5) Rz , Cc 결정하기

Rz , Cc는 다음과 같이 주어지고 문제의 조건에 따라, GBW와 계산한 Transconductance, Load 커패시턴스를 대입하면, 간단히 구할 수가 있다.

$$C_C = \frac{g_{m1}}{\omega_T} \quad R_z = \frac{1}{g_{m6}} \left(1 + \frac{C_L}{C_C}\right)$$

$$C_C = 2.387 \text{ pF} \quad R_z = 1.748 \text{ Kohm}$$

그러나, R_z는 P1=z의 조건을 만족시키는 경우에 성립하며, 이후에 (W/L)₈의 조건으로 결정해야만 한다.

Step 6) PM > 60°의 조건을 만족하는지 확인하기.

계산 과정에서 고려하지 않았던 고주파 p₃는 $-g_{m4}/C_4$ 로 주어지는데, Non-dominant pole인 p₂의 영향을 제거한 경우, Unity-gain 피드백 회로에서 60° 이상의 PM을 얻기 위해서는 다음의 조건이 충족되어야 한다. 여기서 C₄는 기생 커패시턴스이다.

$$A_{dv}(s) = \frac{A_{dv}(0)(1 - \frac{s}{z_1})}{(1 - \frac{s}{p_1})(1 - \frac{s}{p_2})(1 - \frac{s}{p_3})}$$

$$A_{dv}(s) = \frac{A_{dv}(0)}{(1 - \frac{s}{p_1})(1 - \frac{s}{p_3})} \quad \because p_2 = z_1$$

위 조건을 만족시킬 때 Unity Gain Frequency에서 Phase margin은 다음과 같으며,

$$\arg(A_{dv}(s)) = -90 - \tan^{-1}\left(\frac{\omega_T}{p_3}\right) \quad \therefore p_3 = \frac{g_{m4}}{C_4}$$

$$P.M. = 180 - 90 - \tan^{-1}\left(\frac{\omega_T}{p_3}\right)$$

위 식을 60°이상의 P.M.을 만족시키기 위한 식으로 바꾸면 아래와 같이 된다.

$$\frac{g_{m4}}{C_4} > \sqrt{3}\omega_T$$

$$g_{m4} > 0.2p * \sqrt{3} * 2\pi * 100M$$

여기서 GBW는 주어진 조건에 따라 100M로 하였고, 기생 커패시턴스는 0.2p로 가정하였다. g_{m4}를 전류에 대해서 다시 정리해 쓴다면 다음과 같고, (STEP3)에서 구한 (W/L)₅를 만족시킴을 확인하였다.

$$\sqrt{2\mu_n C_{ox} I_{D4}} (W/L)_4 > 0.000217$$

$$\sqrt{(W/L)_4} > \frac{0.000217}{2\mu_n C_{ox} I_{D4}}$$

$$(W/L)_4 > \frac{(0.000217)^2}{2\mu_n C_{ox} I_{D4}} = 1.653$$

Step 7 Rz 와 (W/L)8 결정하기. (바이어스 회로 및 start up circuit 결정하기)

(W/L)8을 구하기 위하여 먼저, 바이어스 회로의 (W/L)를 먼저 알아야 한다. 전력 소모를 줄이기 위하여, I_{D9} 과 I_{D3} 를 1:10 이 되도록 한다면, 다음과 같아야 한다.

$$\left(\frac{W}{L}\right)_9 = \left(\frac{W}{L}\right)_{12} = \frac{1}{10} \left(\frac{W}{L}\right)_3 = 5.05$$

여기서 V_{dsat} 를 결정해야 하는데, 다음과 같이 임의로 정한다면,

$$|V_{DSAT11}| = |V_{DSAT10}| = |V_{DSAT13}| = |V_{DSAT4}| = (1/2) * |V_{DSAT14}| = 0.3V$$

(W/L)는 아래와 같은 조건을 갖게 된다.

$$(W/L)_{10} = (W/L)_{11} = (W/L)_{13} = (1/5) * (W/L)_4 = 7.16$$

$$(W/L)_{14} = (4/5) * (W/L)_4 = 28.64$$

저항 R_B 로 구성된 bias 회로는 전류 I_{D9} 의 식으로 나타낼 수 있다.

$$I_{D9} = \frac{2}{\mu_n C_{ox} R_B^2} \left\{ \frac{1}{\sqrt{(W/L)_{11}}} - \frac{1}{\sqrt{(W/L)_{14}}} \right\}^2 = \frac{2.5}{\mu_n C_{ox} R_B^2 (W/L)_4} = 30.3\mu A$$

따라서 R_B 는 다음과 같다.

$$R_B = \sqrt{\frac{25}{\mu_n C_{ox} I_{D9} (W/L)_4}} = 6Kohm$$

DC 동작 점에서 $V_{DS5} = V_{GS4}$ 이므로, $V_{GS8} + V_{GS4} = V_{GS10} + V_{GS11}$ 이 되고, 다음 관계식이 성립하게 된다.

$$|V_{DSAT10}| = |V_{DSAT8}| = |V_{DSAT4}| = 0.3V$$

따라서 Rz를 구할 수가 있는데,

$$R_z = \frac{1}{\mu_n C_{ox} (W/L)_8 |V_{DSAT8}|} = \frac{1}{\mu_n C_{ox} (W/L)_8 |V_{DSAT4}|} = \frac{1}{g_{m4}} \frac{(W/L)_4}{(W/L)_8}$$

$$\left(\frac{W}{L}\right)_8 = \frac{g_{m6}}{g_{m4}} \left(\frac{W}{L}\right)_4 \frac{1}{1 + \frac{C_L}{C_c}} = \frac{\sqrt{2} \sqrt{(W/L)_4 (W/L)_6}}{1 + \frac{C_L}{C_c}} = 20.28$$

Start-up circuit은 대체로 OP Amp회로에서 큰 영향을 주지 않으므로, 다음과 같이 하였다.

$$\left(\frac{W}{L}\right)_{15} = \left(\frac{W}{L}\right)_{16} = \left(\frac{W}{L}\right)_9 = 5.05$$

$$\left(\frac{W}{L}\right)_{17} = \left(\frac{W}{L}\right)_{18} = \frac{1\mu m}{50\mu m}$$

Step 8) Hand analysis로 계산한 parameter 값과 Tweaking 후의 의 값과 비교.

	L [μm]	(W/L)	W [μm]		L [μm]	(W/L)	W [μm]
M1	0.35	154.7	54.14	M10	0.35	7.16	2.50
M2	0.35	154.7	54.14	M11	0.35	7.16	2.50
M3	0.35	50.5	17.67	M12	0.35	5.05	1.76
M4	0.35	35.8	12.53	M13	0.35	7.16	2.50
M5	0.35	35.8	12.53	M14	0.35	28.64	10.02
M6	0.35	154.7	54.14	M15	0.35	5.05	1.76
M7	0.35	50.5	17.67	M16	0.35	5.05	1.76
M8	0.35	20.28	7.09	M17	50	1/50	1
M9	0.35	5.05	1.76	M18	50	1/50	1

* Rb = 6Kohm

Cc = 2.38pF

Tweaking 후의 Parameters.

	L [μm]	(W/L)	W [μm]		L [μm]	(W/L)	W [μm]
M1	0.35	257	90	M10	0.35	8.5	3
M2	0.35	257	90	M11	0.35	8.5	3
M3	0.35	8.5	3	M12	0.35	1	0.35
M4	0.35	42.8	15	M13	0.35	8.5	3
M5	0.35	42.8	15	M14	0.35	34.2	12
M6	0.35	142	50	M15	0.35	1	0.35
M7	0.35	11.4	4	M16	0.35	1	0.35
M8	0.35	21.1	7.4	M17	50	1/50	1
M9	0.35	1	0.35	M18	50	1/50	1

* Rb=6Kohm

Cc=2.5pF

Tweaking

첫 번째 단계에 있는 증폭기의 M1~M5의 (W/L)의 값을 조정하면서 이득이 최대가 되는 방향으로 값을 바꾸어 갔으며, 두 번째 단계에서도 같은 방법으로 (W/L)의 값을 변화해 가면서, 최대의 이득을 얻도록 조정하였다. 첫 번째 단계의 (W/L)은 Bias circuit에 영향을 주므로 Tweaking 후에는 Bias circuit을 (Step 7)의 단계를 다시 거치면서 수정을 하였다. 여기서 PM과 GBW를 만족하는지 확인해가면서, 이를 만족하지 않을 경우에는 (Step 5)의 단계에서 Cc를 수정하고, 다시 (Step 8)의 단계의 과정에서 Bias circuit의 (W/L) 값들을 조정하였다.

After tweaking

1. Sum (Wi*Li) After tweaking

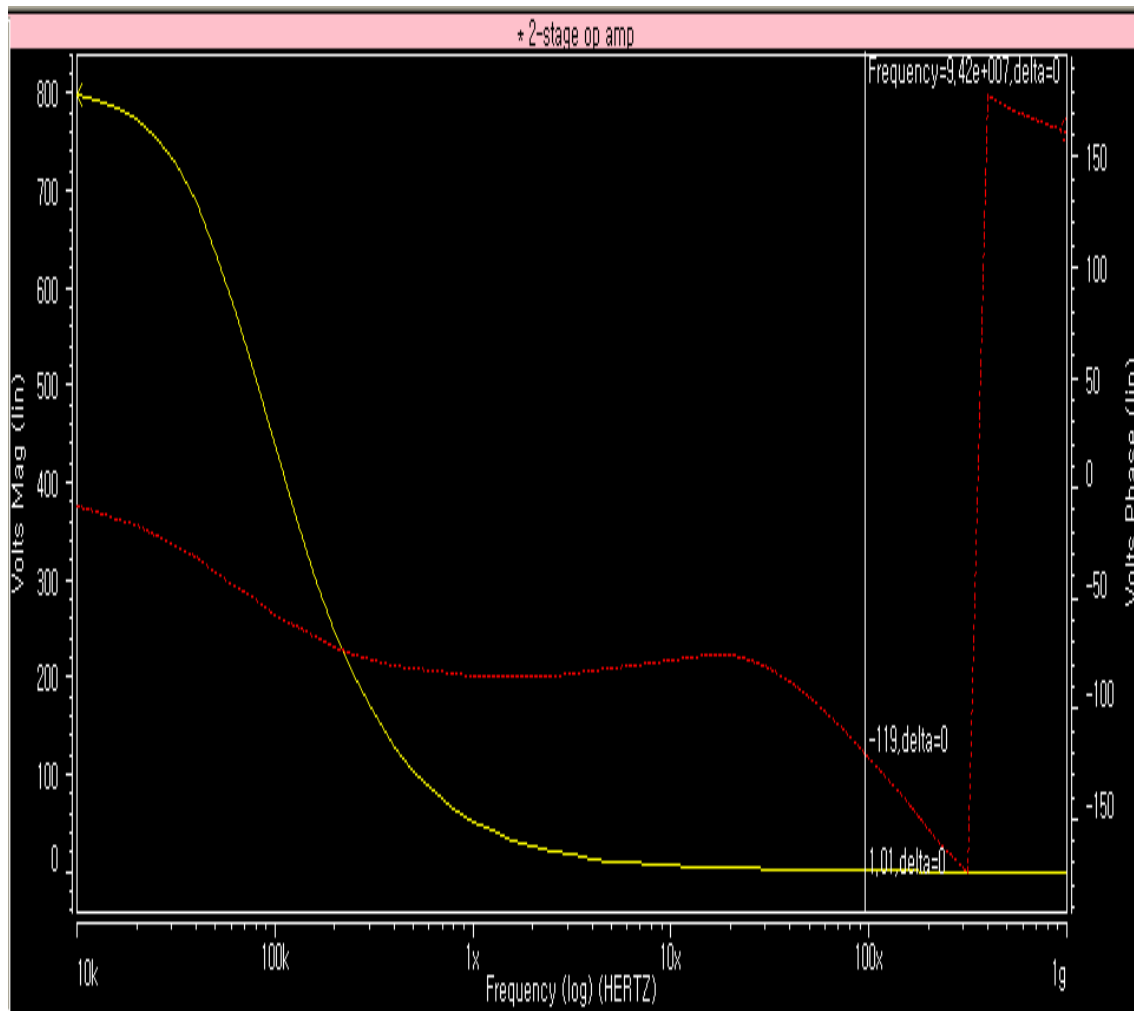
Bias Circuit : $0.35\mu * (0.35 + 3 + 3 + 0.35 + 3 + 12)\mu = \underline{7.595\text{ p [m}^2]}$

Start-up Circuit : $0.35\mu * (0.35 + 0.35)\mu + 50\mu * (1 + 1)\mu = \underline{100.245\text{ p [m}^2]}$

2-Stage OP Amp : $0.35\mu * (90 + 90 + 3 + 15 + 15 + 50 + 4 + 7.4)\mu = \underline{96.04\text{ p [m}^2]}$

Total Sum : 203.88 p [m²]

2. DC Small signal voltage gain : (Gain : 800 , P.M.: 61')



3. Power consumption

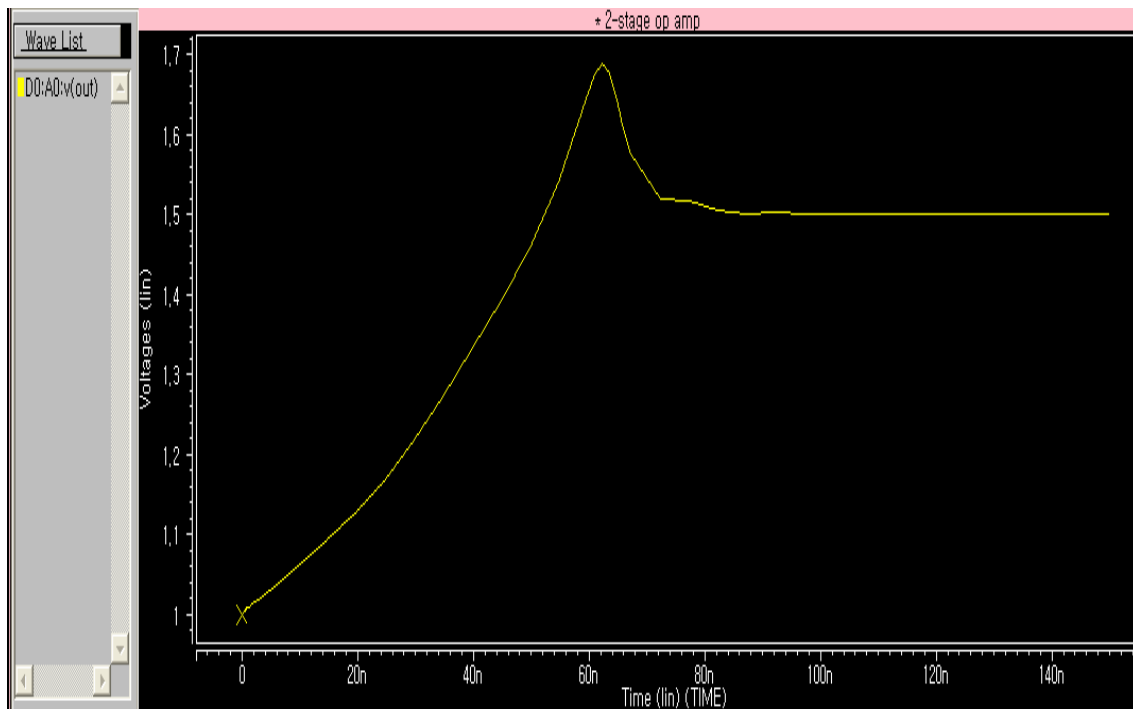
Total Current : 288.3985u A

Power : Total current * Vdd (3.3V) = 951.7u W

OP Amp : 866.2u W

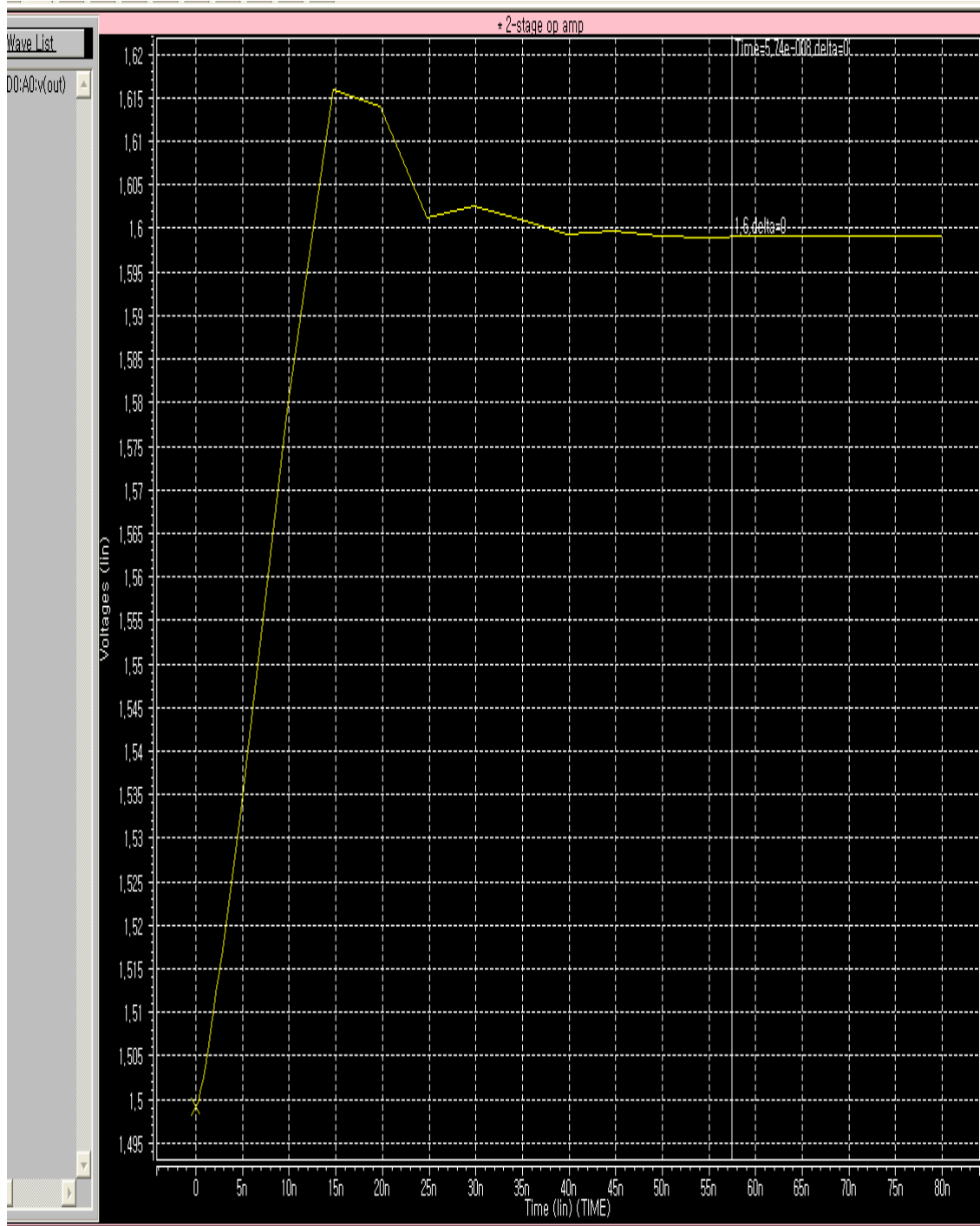
Bias circuit : 85.5u W

4. SR rate: $0.7V/60ns = \underline{11.7 V/us}$



5. 0.1% settling time with unity gain frequency

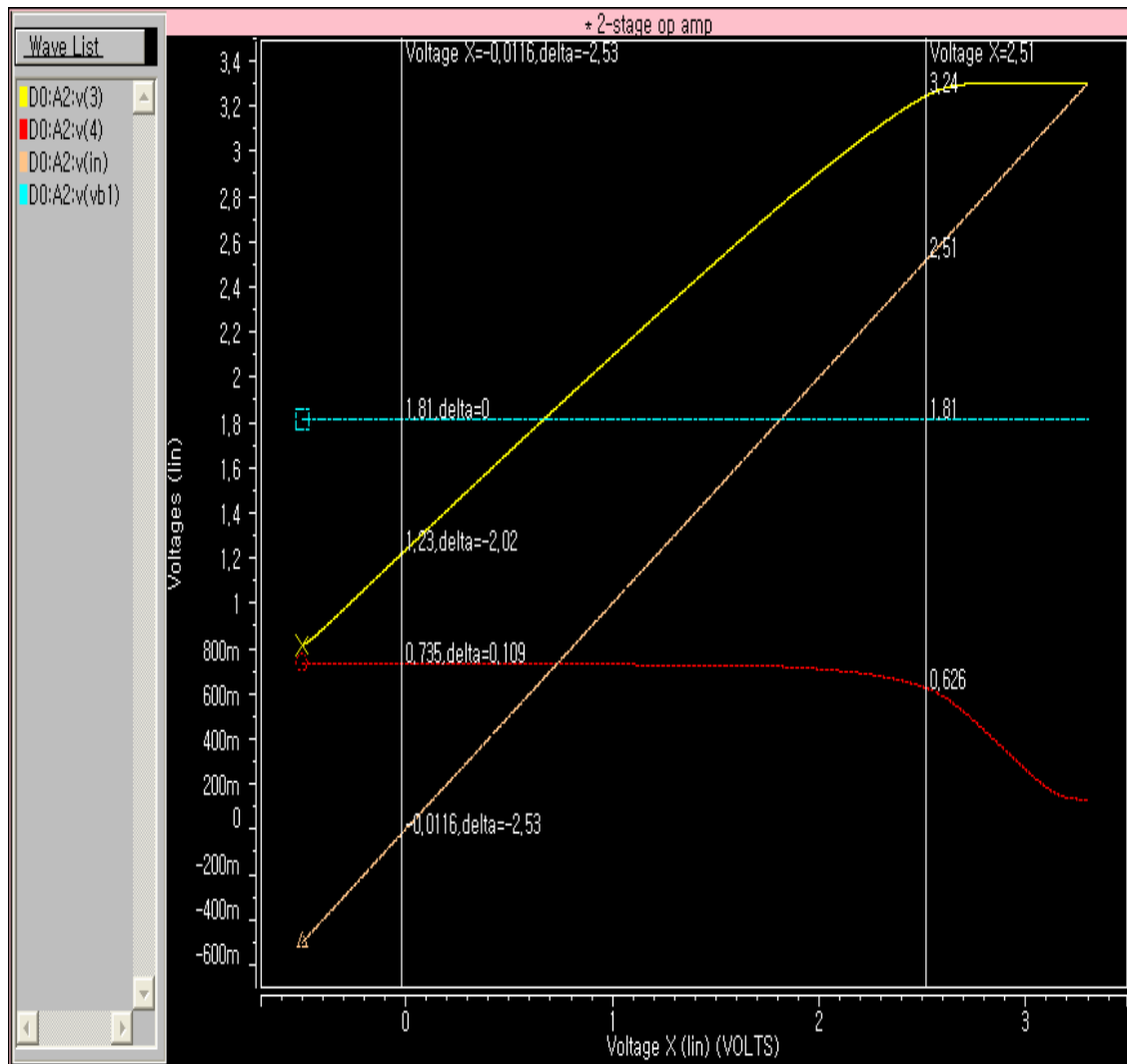
Settling time : 57.ns



6. ICMR

$$V_{i_min} = -0.0116 \text{ V}$$

$$V_{i_max} = 2.51 \text{ V}$$



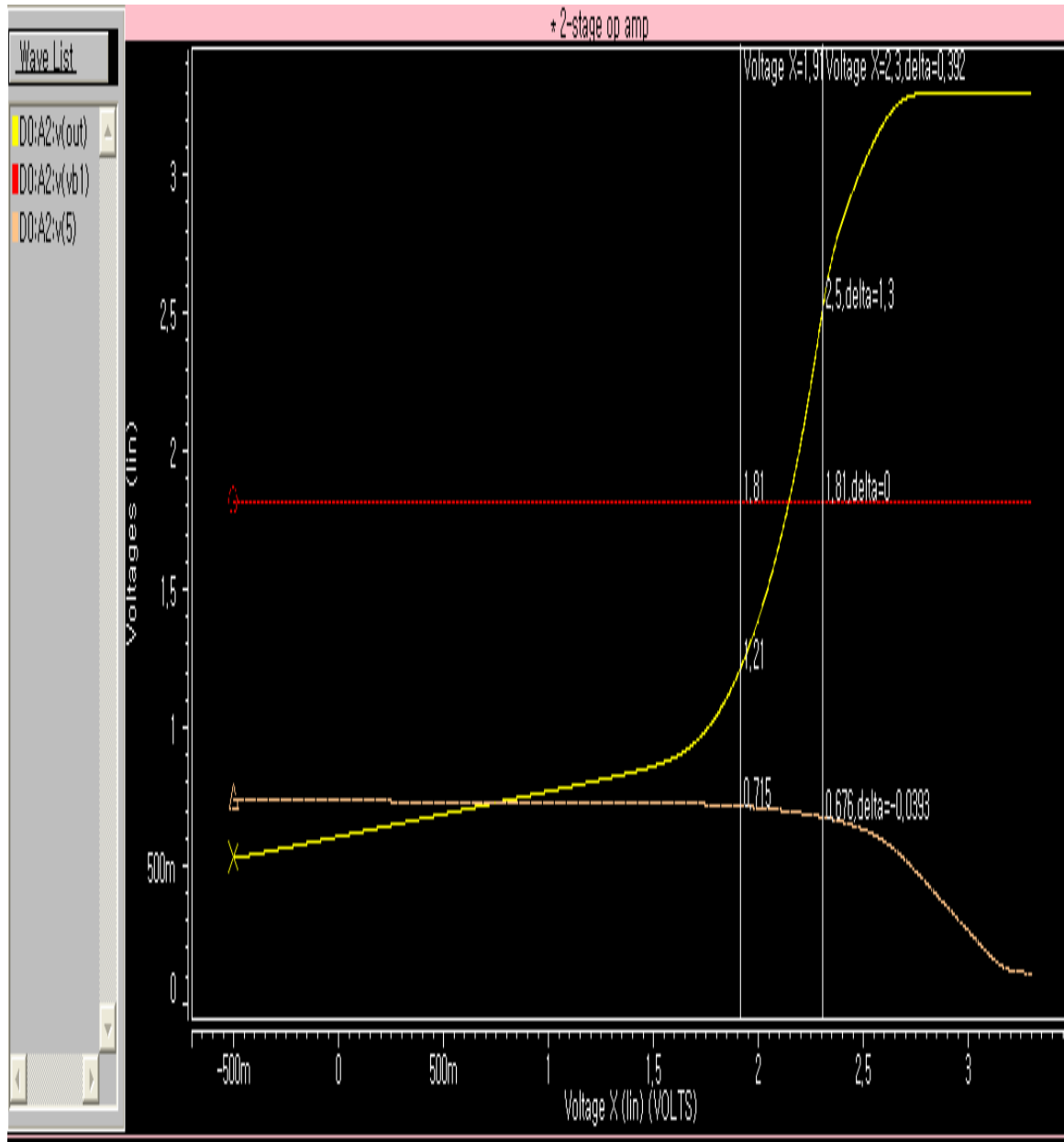
7. Gain-Bandwidth product (.pz 명령어 사용)

$$GBW = | 800 * (-647 \text{ K}) [\text{rad}] | = \underline{517 \text{ M} [\text{rad}]}$$

8. Linear output voltage range

$$V_{o_min} = 1.9 \text{ V}$$

$$V_{o_max} = 2.3 \text{ V}$$



9. Thermal noise voltage spectrum (From .lis file)

[Hz] [/root Hz]	10K	100K	1M	10M	100M	1G
Low freq. input Equivalent Thermal voltage noise	195.1197n	61.7818n	19.8063n	7.5721n	4.2110n	7.2410n

*** Spec Table *******

ITEMS	Speci fi cation
Sum (Wi*Li)	203.88 p [m^2]
DC small signal voltage gain	Gain : 800 , P. M. : 61'
Power Consumption	OP Amp : 866.2u W Bi as ci rcui t : 85.5u W
Slew Rate	11.7 V/us
0.1 % Settling time with unit gain feedback (0.1v Step)	57. ns
ICMR	-0.0116V < I C M R < 2.51V
Gain Bandwidth Product	517M[Hz]
Linear Output Voltage	1.9 V < O V R < 2.3 V
Low Freq. Equ. thermal noise voltage spectrum.	See the result of # 9.

* Spi ce Code *

* 2-stage OP amp

vdd vdd 0 3.3

vss vss 0 0

* start-up

m15 s1 s1 vdd vdd p w=.35u l=0.35u as=0.367p ad=0.367p pd=2.45u ps=2.45u

m16 vss s1 vb1 vdd p w=.35u l=0.35u as=0.367p ad=0.367p pd=2.45u ps=2.45u

m17 s2 s2 s1 vdd p w=1u l=50u as=1.05p ad=1.05p pd=3.1u ps=3.1u

m18 vss vss s2 vdd p w=1u l=50u as=1.05p ad=1.05p pd=3.1u ps=3.1u

* Bias-circuit

m9 vb2 vb1 vdd vdd p w=0.35u l=0.35u as=0.367p ad=0.367p pd=2.45u ps=2.45u

m10 vb2 vb2 vb3 vss n w=3u l=0.35u as=3.15p ad=3.15p pd=5.1u ps=5.1u

m11 vb3 vb3 vss vss n w=3u l=0.35u as=3.15p ad=3.15p pd=5.1u ps=5.1u

m12 vb1 vb1 vdd vdd p w=0.35u l=0.35u as=0.367p ad=0.367p pd=2.45u ps=2.45u

m13 vb1 vb2 vb23 vss n w=3u l=0.35u as=3.15p ad=3.15p pd=5.1u ps=5.1u

m14 vb23 vb3 vbr vss n w=12u l=0.35u as=12.6p ad=12.6p pd=14.1u ps=14.1u

* 1st stage

m1 4 vinp 3 vdd p w=90u l=0.35u as=94.5p ad=94.5p pd=92.1u ps=92.1u

m2 5 vinn 3 vdd p w=90u l=0.35u as=94.5p ad=94.5p pd=92.1u ps=92.1u

m3 3 vb1 vdd vdd p w=3u l=0.35u as=3.15p ad=3.15p pd=5.1u ps=5.1u

m4 4 4 vss vss n w=15u l=0.35u as=15.75p ad=15.75p pd=17.1u ps=17.1u

m5 5 4 vss vss n w=15u l=0.35u as=15.75p ad=15.75p pd=17.1u ps=17.1u

* 2nd stage

m6 out 5 vss vss n w=50u l=0.35u as=52.5p ad=52.5p pd=52.1u ps=52.1u

m7 out vb1 vdd vdd p w=4u l=0.35u as=4.2p ad=4.2p pd=6.1u ps=6.1u

m8 frc vb2 5 vss n w=7.4u l=0.35u as=7.77p ad=7.77p pd=9.5u ps=9.5u

* capacitance and bias resistance

cc out frc 2.5pF

cl out vss 10pF

cn 3 vss 0.2pF

cp 4 vss 0.2pF

R vss vbr 6Kohm

* #1 Sum of (Wi * Li)

* #2 Power consumption

* #3 Slew rate
* vi1 vinn vss dc 1.0 pulse 1. 1.5 0 0 0
* vi2 vinp out 0
* .tran 1n 150n
* #4 Settling time 0.1%
* Slew rate 0.1% 0.1V Step
* vin1 vinn vss pwl 0 1.5 1n 1.6
* vin2 vinp out 0
* .tran 1n 80n
* #5 ICMR --> Change i1->in i2->inb
* common mode DC transfer curve
* vsin vinp vinn dc 0
* vsincm incm vinp dc 0
* vincm incm vss dc 2
* .dc vincm -0.5 3.3 0.001
* #6 Gain - bandwidth product
* Differential mode frequency response pole zero
* vi1 vinp vss dc 0.9 ac 0.5 180
* vi2 vinn vss dc 0.9 ac 0.5
* .pz v(out) vi1
* .ac dec 10 10K 1000meg
* #7 OVR --> Change i1->in i2->inb
* vsin in inb dc 0
* vsincm incm in dc 0
* vincm incm vss dc 2
* .dc vincm -0.5 3.3 0.001
* #8 Thermal noise voltage spectrum
*voffset vinp vinp1 dc 0
*voffset2 vinn vinn1 dc 0
*einb vinn1 incm vinp1 incm -1
*vindm vinp1 incm ac 0.5 0
*vincm incm vss dc 1
*.noise v(out) vindm 10
*.ac dec 10 10K 1000meg
* vi1 i1 vss dc 0.9 ac .5
* vi2 i2 vss dc 0.9 ac .5 180

* .ac dec 10 10k 1000000meg

.op

.inc "./model0p35.txt"

.end