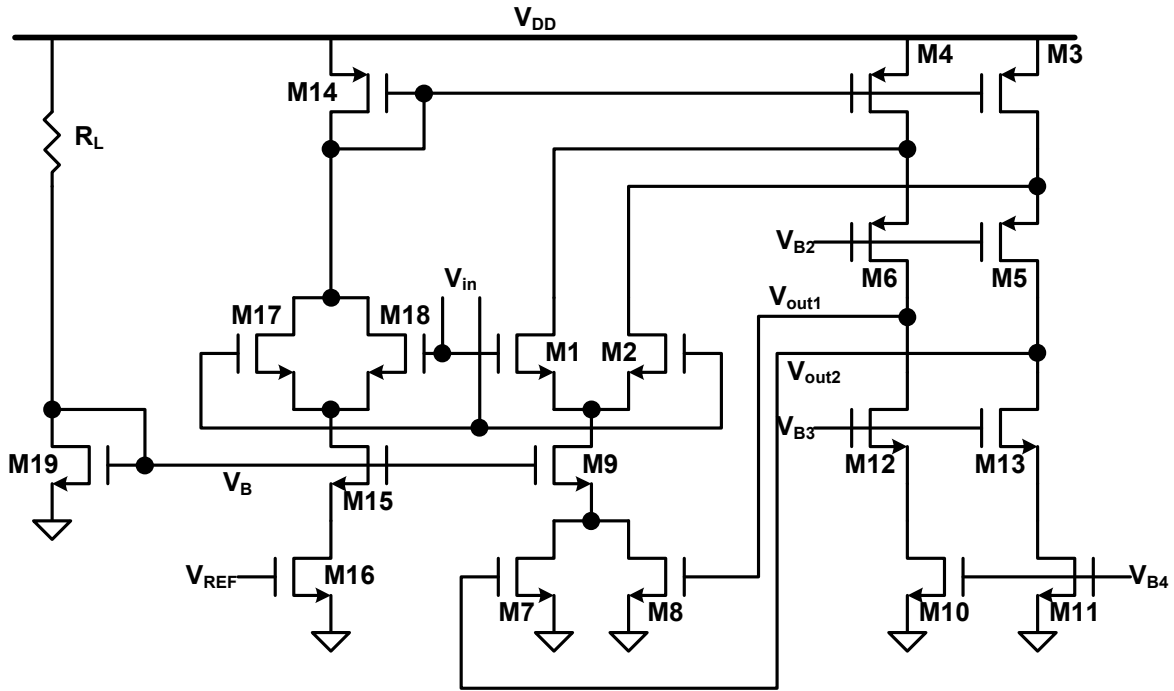


Project Report

OP_AMP Design

과목	아날로그 집적회로
담당교수	박 홍 준
학과	전자 전기
학번	20052224
성명	김 호 영
제출일	2005년 11월 28일



[Figure. 1] Fully Differential OP Amp for Term Project

아날로그 집적회로 프로젝트로 위의 [Figure. 1]에서 보인 Fully Differential OP Amp를 설계 하였다. 설계하기 전에, M19는 V_B 를 만들기 위한 Transistor이다. 원래, 주어진 회로에는 R_L 대신에 Current Source가 부착되어 있지만, R_L 을 사용하여 V_B 를 공급하는 Bias Circuit을 만들기로 결정하였다. 전체 OP Amp 설계 단계에서는 M19를 생략하고, Bias Voltage에 각각 DC 값을 정하고 설계하였으며, 설계 단계에서 정한 각각의 Bias Voltage를 공급하는 Bias Circuit을 설계하였다.

Hand Analysis

OP Amp에 사용된 각 Transistor의 사이즈를 정하기에 앞서 주어진 Specification을 살펴보자.

DC Small Signal Voltage Gain ≥ 1000

Output Voltage Range $\geq 1V$

Gain Bandwidth Product $\geq 100 \text{ MHz}$

Phase Margin $\geq 60^\circ$

1. Determine Length

이번 설계에서의 최소 Transistor Length를 정하였다.

$L = 0.7\mu\text{m}$ 로 정하였으며, 이에 다른 PMOS, NMOS Parameter들을 아래의 [Table. 1]에 보였다.

	V_{TO} (V)	K_P ($\mu A / V^2$)	λ (1 / V)
PMOS	0.75	52	0.06
NMOS	0.59	132	0.08

[Table. 1] Transistor Parameters for $L = 0.7 \mu m$

2. Transistor Equations

Transistor의 Size를 결정하기에 앞서, 필요한 Equation들을 정리하였다. (단, Transistor의 Current Equation에서 Channel Length Modulation은 무시하였다).

$$I_D = \frac{1}{2} \cdot \mu \cdot C_{OX} \cdot \left(\frac{W}{L}\right) \cdot (V_{GS} - V_{TH})^2 \quad \text{Current Equation}$$

$$V_{DSAT} = (V_{GS} - V_{TH}) = \sqrt{\frac{2 \cdot I_D}{\mu \cdot C_{OX} \cdot (W/L)}} \quad V_{DSAT} \text{ Equation}$$

$$g_m = \sqrt{2 \cdot \mu \cdot C_{OX} \cdot (W/L) \cdot I_D} \quad g_m \text{ Equation}$$

$$r_o = \frac{1}{\lambda \cdot I_D} \quad r_o \text{ Equation}$$

3. Gain Calculation

위의 [Figure. 1]에 보인 Schematic을 바탕으로 Small Signal Gain을 수식으로 풀어보았다.

$$\begin{aligned} Gain &= -g_{m1} \cdot \left(\frac{1}{r_{o6}} + g_{m6}\right) \cdot (R_2 \parallel r_{o6}) \cdot (r_{o1} \parallel R_5) \\ &\approx -g_{m1} \cdot \left(\frac{1}{r_{o6}} + g_{m6}\right) \cdot ((g_{m12} \cdot r_{o12} \cdot r_{o10}) \parallel r_{o6}) \cdot (r_{o1} \parallel \left(\frac{g_{m12} \cdot r_{o12} \cdot r_{o10}}{g_{m6} \cdot r_{o6}}\right)) \end{aligned}$$

$$\text{Where, } R_2 = g_{m12} \cdot r_{o12} \cdot r_{o10} + r_{o12} + r_{o10} \approx g_{m12} \cdot r_{o12} \cdot r_{o10}$$

$$R_5 = \frac{1}{g_{m6} + \frac{1}{r_{o6}}} \cdot \left(1 + \frac{R_2}{r_{o6}}\right) \parallel r_{o4} \approx \frac{1}{g_{m6}} \cdot \frac{R_2}{r_{o6}} = \frac{g_{m12} \cdot r_{o12} \cdot r_{o10}}{g_{m6} \cdot r_{o6}}$$

위의 Small Signal Gain은 Half Circuit Analysis를 통해 얻어낸 식이다. R2는 M12의 Drain쪽에서 Ground로 바라본 저항이고, R5는 M1의 Drain쪽에서 M4, M6쪽으로 바라본 저항이다.

4. Determine Current

이번 프로젝트에는 Power Consumption Limit이 Specification으로 주어지지 않았으므로, Current 값을 1mA로 정하였고, 따라서 $I_{D3,4} = I_{D9} = I_{D14,15,16} = 1mA$, $I_{D5,6,10,11,12,13} = I_{D1,2,7,8} = I_{D17,18} = 0.5mA$ 로 정하였다.

5. Determine V_{DSAT} of each transistor

Output Voltage Range가 1.0V이상 되어야 하므로, Folded Cascode부분의 각 Transistor M3,4,5,6과 M10,11,12,13의 V_{DSAT} 값은 아래의 [Table. 2]에 보인 바와 같이 정하였다.

Transistor	V_{DSAT} (V)
M3,4	0.5V
M5,6	0.5V
M10,11	0.5V
M12,13	0.5V

[Table. 2] V_{DSAT} of Transistor M3,4,5,6,10,11,12,13

따라서 Output Voltage Range는 다음과 같이 구해질 수 있다.

$$V_{OUT,MAX} = V_{DD} - V_{DSAT,M3,4} - V_{DSAT,M5,6} = 3.3 - 0.5 - 0.5 = 2.3V$$

$$V_{OUT,MIN} = V_{SS} + V_{DSAT,M10,11} + V_{DSAT,M12,13} = 0 + 0.5 + 0.5 = 1.0V$$

$$OVR = V_{OUT,MAX} - V_{OUT,MIN} = 2.3V - 1.0V = 1.3V > 1.0V$$

Input쪽 Transistor의 V_{DSAT} 값을 구하기 전에, Output Common Mode Voltage를 생각해 보았다. Output Common Mode Voltage는 $0.5 \cdot (V_{DD} - V_{SS}) = 1.65V$ 가 되도록 해야 하므로, M16의 Gate에 가해지는 VREF값을 1.65V 값으로 정하였다.

또한, M7과 M8이 Saturation Region에서 동작하게 하기 위해서는 V_{DSAT} 값이 최소한 $1.65V - V_{THN} = 1.09V$ 이 되어야 한다. M9의 V_{DSAT} 값은 Active Input Common Mode Range를 고려하여 0.3V로 정하였다. M1과 M2의 V_{DSAT} 값 역시 Active Input Common Mode Range의 Maximum값을 고려하여 0.3V로 정하였다. AC Simulation을 위해서 Input Voltage의 DC 값은 Input Common Mode Voltage = 2.5V로 하였으며, M9의 Gate Voltage는 2V로 정하였다.

모든 Transistor의 V_{DSAT} 값을 아래의 [Table. 3]에 정리 하였다.

Transistor	V_{DSAT} (V)
M1,2,17,18	0.3V
M3,4,14	0.5V
M5,6	0.5V
M10,11	0.5V
M12,13	0.5V
M9,15	0.3V
M7,8,16	1.1V

[Table. 3] V_{DSAT} of All Transistors

6. Calculate (W/L) Ratio

위의 [Table. 3]에 정리된 각 Transistor의 V_{DSAT} 값과, Current를 바탕으로 Current Equation을 이용하여, W와 L값을 아래의 [Table. 4]에 정리 하였다.

Transistor	W (μm)	L (μm)	Transistor	W (μm)	L (μm)
M1	70	0.7	M10	21	0.7
M2	70	0.7	M11	21	0.7
M3	108	0.7	M12	21	0.7
M4	108	0.7	M13	21	0.7
M5	42	0.7	M14	108	0.7
M6	42	0.7	M15	118	0.7
M7	4.7	0.7	M16	9.4	0.7
M8	4.7	0.7	M17	70	0.7
M9	118	0.7	M18	70	0.7

[Table. 4] W and L value for all transistors (except M19, and Bias Circuit)

7. Verify Specification

위의 Gain Equation을 이용하여, Gain을 구해보면,

$$\begin{aligned} \text{Gain} &= -g_{m1} \cdot \left(\frac{1}{r_{o6}} + g_{m6} \right) \cdot (R_2 \parallel r_{o6}) \cdot (r_{o1} \parallel R_5) \\ &\approx -g_{m1} \cdot \left(\frac{1}{r_{o6}} + g_{m6} \right) \cdot ((g_{m12} \cdot r_{o12} \cdot r_{o10}) \parallel r_{o6}) \cdot (r_{o1} \parallel \left(\frac{g_{m12} \cdot r_{o12} \cdot r_{o10}}{g_{m6} \cdot r_{o6}} \right)) \end{aligned}$$

$$g_{m1} = \sqrt{2 \cdot \mu \cdot C_{OX} \cdot \left(\frac{W}{L} \right) \cdot I_{D,1}} = 0.00363, \quad g_{m6} = \sqrt{2 \cdot \mu \cdot C_{OX} \cdot \left(\frac{W}{L} \right) \cdot I_{D,6}} = 0.00177$$

$$g_{m12} = \sqrt{2 \cdot \mu \cdot C_{OX} \cdot \left(\frac{W}{L} \right) \cdot I_{D,12}} = 0.00198, \quad r_{o1} = (\lambda \cdot I_{D,1})^{-1} = 25000,$$

$$r_{o6} = (\lambda \cdot I_{D,6})^{-1} = 33333, \quad r_{o10} = (\lambda \cdot I_{D,10})^{-1} = 25000, \quad r_{o12} = (\lambda \cdot I_{D,12})^{-1} = 25000$$

따라서, DC Small Signal Voltage Gain = 2419 > 10000이므로 Gain Specification을 만족한다.

Dominant Pole을 구해보자. Output Node에 Specification에 주어진 대로 $C_L = 10\text{pF}$ 이 연결되어 있으므로, Dominant Pole은 Output Node에서 발생함을 알 수 있다.

$$\text{Frequency}_{3dB} = \frac{1}{2 \cdot \pi} \cdot \frac{1}{R_o \cdot C_L}, \quad R_o = (g_{m12} \cdot r_{o12} \cdot r_{o10}) \parallel (g_{m6} \cdot r_{o6} \cdot (r_{o1} \parallel r_{o4})),$$

$$r_{o4} = (\lambda \cdot I_{D,4})^{-1} = 16666$$

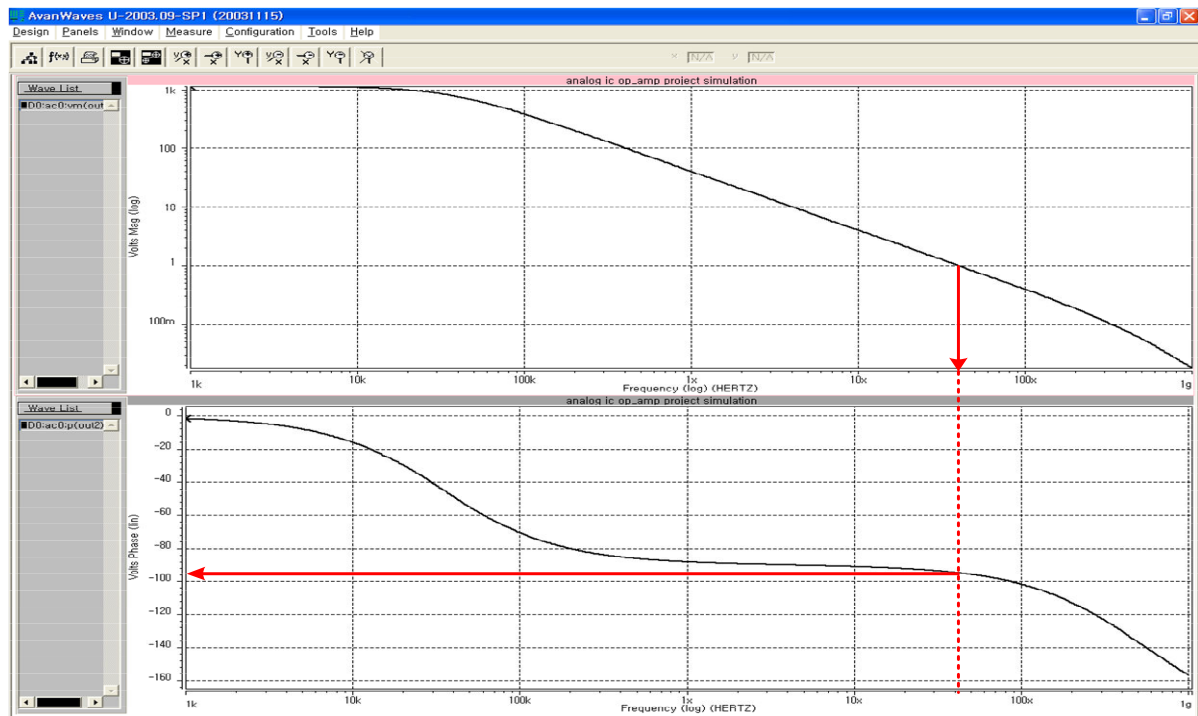
위의 식을 이용하면, $\text{Frequency}_{3dB} = 63 \text{ kHz}$, $\text{GBW} = 152 \text{ MHz} > 100\text{MHz}$ 이므로 GBW Specification 또한 만족한다.

8. Conclusion of Hand Analysis

Hand Analysis로 구한 모든 Transistor의 Size로 DC Small Signal Voltage, Gain-Bandwidth Product (Unity Gain Frequency) 및 Output Voltage Range를 만족하였다. 지금까지의 Hand Analysis를 통해 구한 Transistor의 Size를 이용한 Simulation 결과를 살펴보자.

Simulation Result of Hand Analysis

지금부터 Simulation Results를 살펴보도록 하자. 실제 Hand Analysis를 통해 구한 Size를 사용해 Simulation 한 결과를 살펴보자.



[Figure. 2] Simulation Result of Hand Analysis

위의 [Figure. 2]를 살펴보면, Gain은 약 1140정도 되며, GBW는 100 MHz보다 작음을 알 수 있다. 따라서, Gain과 GBW를 맞추기 위해 Hand Analysis를 통해 구한 Size들을 바꾸었다. Gain을 늘리기 위해서 Input Transistor의 G_m 을 늘리거나, R_{out} 을 늘리는 방법이 있지만, R_{out} 을 늘리면 Dominant Pole이 작아져, GBW의 향상에 큰 도움이 되지 못함을 발견 할 수 있었다. 따라서, 전체적으로 Transistor의 Width를 늘려서, Gain을 높임과 동시에 R_{out} 은 그대로 유지하여 Dominant Pole이 10KHz정도를 유지하게끔 하였다.

Simulation Results

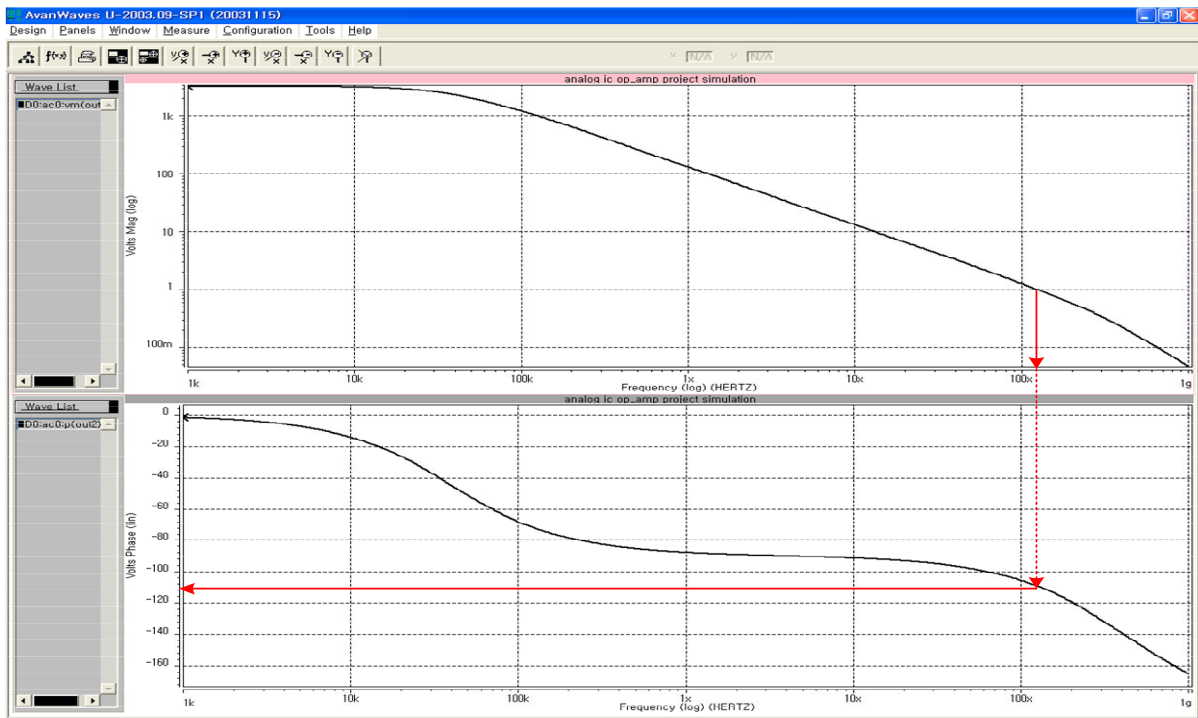
1. Sum (W x L)

아래의 [Table. 5]를 보면 OP Amp의 모든 Transistor의 Size와 BIAS Circuit의 모든 Transistor의 Size가 나와 있다.

Transistor	W (μm)	L (μm)	W x L (μm^2)	Transistor	W (μm)	L (μm)	W x L (μm^2)
M1	400	0.7	280	MP1	30	0.7	21
M2	400	0.7	280	MP2	120	0.7	84
M3	200	0.7	140	MP3	30	0.7	21
M4	200	0.7	140	MP4	30	0.7	21
M5	100	0.7	70	MP5	5	0.7	3.5
M6	100	0.7	70	MP6	30	0.7	21
M7	10	0.7	7	MP7	30	0.7	21
M8	10	0.7	7	MP8	1	10	10
M9	220	0.7	154	MN1	10	0.7	7
M10	40	0.7	28	MN2	10	0.7	7
M11	40	0.7	28	MN3	10	0.7	7
M12	40	0.7	28	MN4	9	0.7	6.3
M13	40	0.7	28	MN5	2	0.7	1.4
M14	200	0.7	140	MN6	10	0.7	7
M15	220	0.7	154	MN7	10	0.7	7
M16	18	0.7	12.6	MN8	10	0.7	7
M17	140	0.7	98	MN9	10	0.7	7
M18	140	0.7	98	MN10	10	0.7	7
M19	9	0.7	6.3				
OP AMP	Total W x L = 1768.9 (μm^2)			BIAS	Total W x L = 266.2 (μm^2)		

[Table. 5] Transistor Width and Length

2. DC Small Signal Gain, GBW, Phase Margin



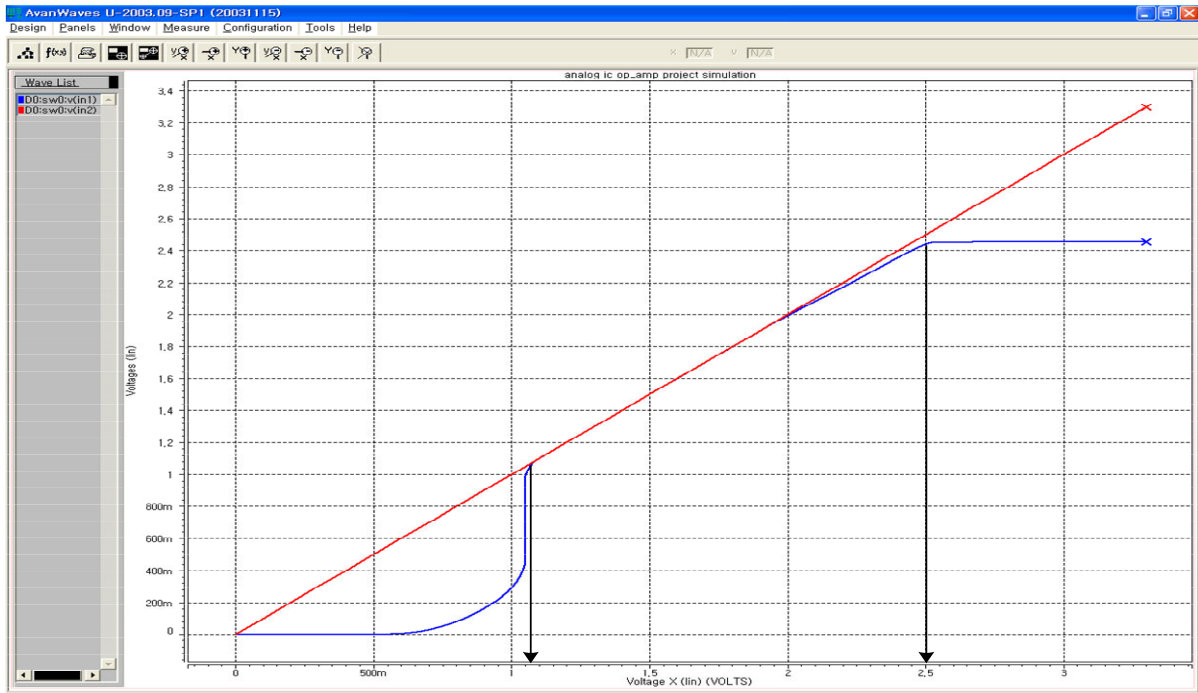
[Figure. 3] Simulation Result (Gain, GBW, Phase Margin)

위의 [Figure. 3]에서 Gain은 3260이며, GBW (Unity Gain Frequency)는 126MHz이다. 또한, Phase Margin은 약 70° 이다. 따라서 이 세가지 Specification은 모두 만족함을 알 수 있다.

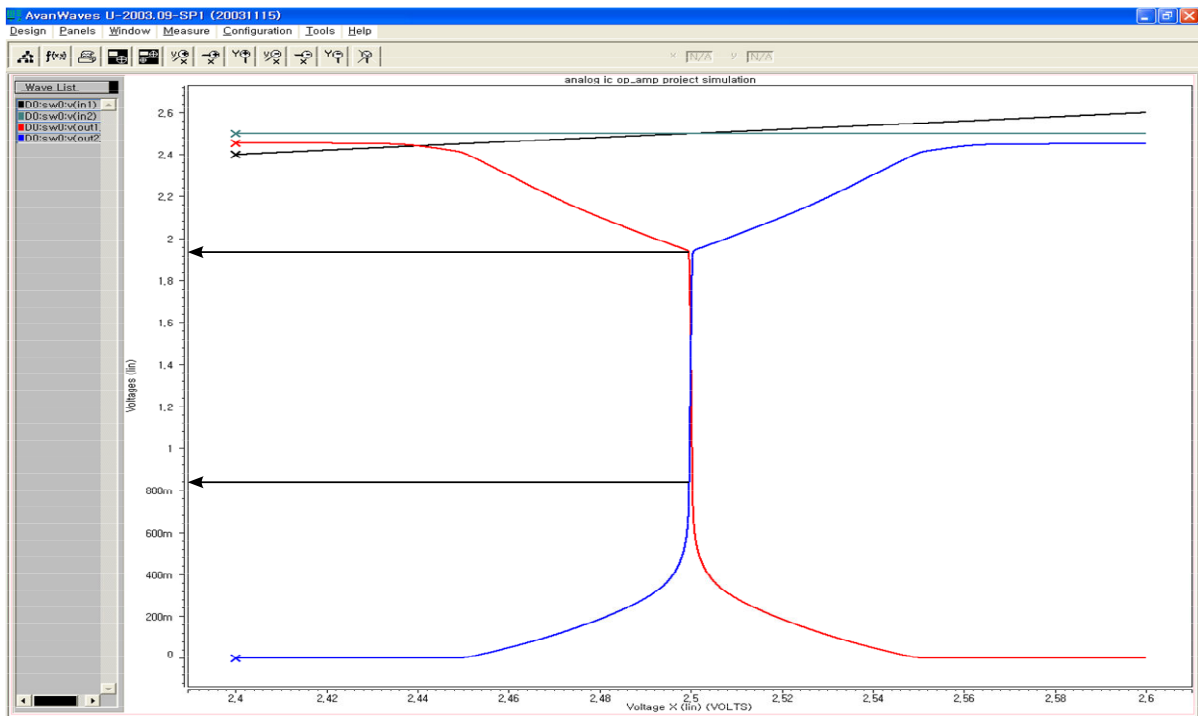
3. Active Input Common Mode Voltage Range, Linear Output Voltage Range

아래의 [Figure. 4]에서 Active Input Common Mode Voltage Range는 1.08V 에서 2.45V 이다.

아래의 [Figure. 5]에 보면, Linear Output Voltage Range는 0.85V에서 1.95V까지 1.1V 정도 되는 것을 알 수 있다.



[Figure. 4] Simulation Result (Active Input Common Mode Range)



[Figure. 5] Simulation Result (Linear Output Voltage Range)

4. Power Consumption

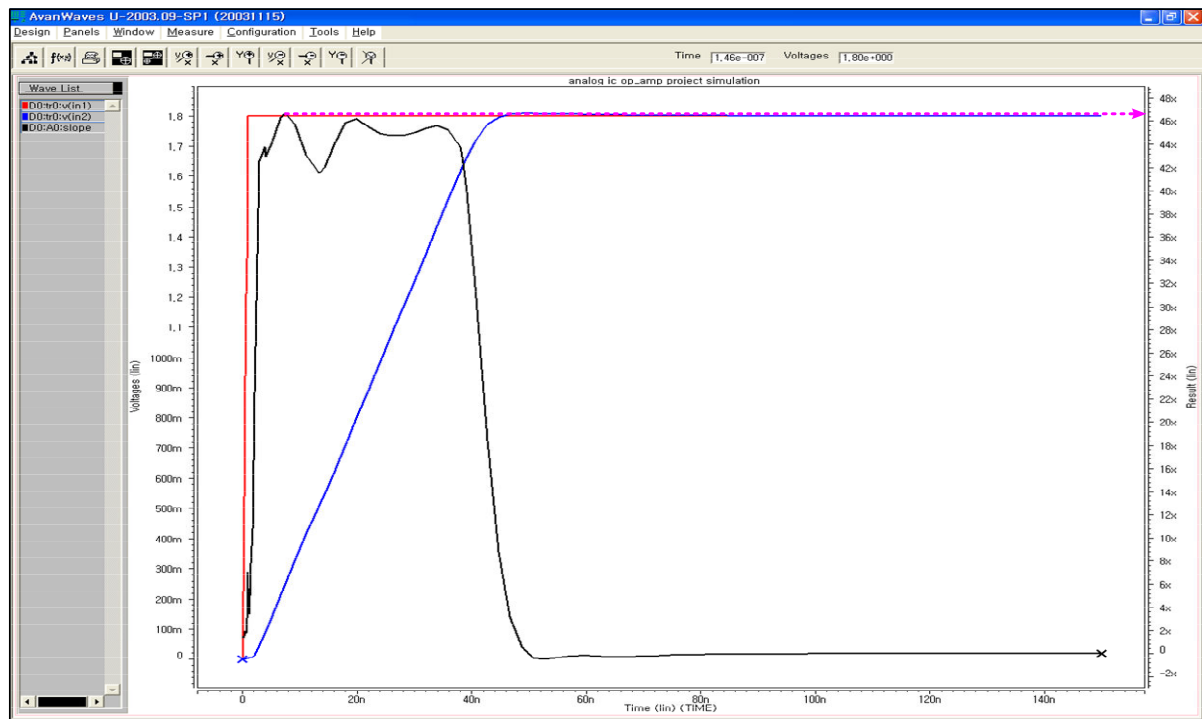
Simulation 결과, OP Amp에 흐르는 Total Current = 3.47mA이며, Bias Circuit에 흐르는 Total Bias Current = 1.87mA이다. (단, [Figure. 1]의 Schematic에서 M19는 Bias Voltage (VB)를 위한 일종의 Bias Circuit이므로, OP Amp Total Current에서 제외시키고 대신 Total Bias Current에 포함 시켰다). 따라서 Power Consumption은 다음과 같다.

$$Power_{OPAMP} = Voltage \cdot Current = V_{DD} \cdot I_{OPAMP} = 3.3V \cdot 3.47mA = 11.451mW$$

$$Power_{BIAS} = Voltage \cdot Current = V_{DD} \cdot I_{BIAS} = 3.3V \cdot 1.87mA = 6.171mW$$

OP Amp에 의한 Power Consumption은 11.451mW 이고 BIAS Circuit에 의한 Power Consumption은 6.171mW이다.

5. Slew Rate

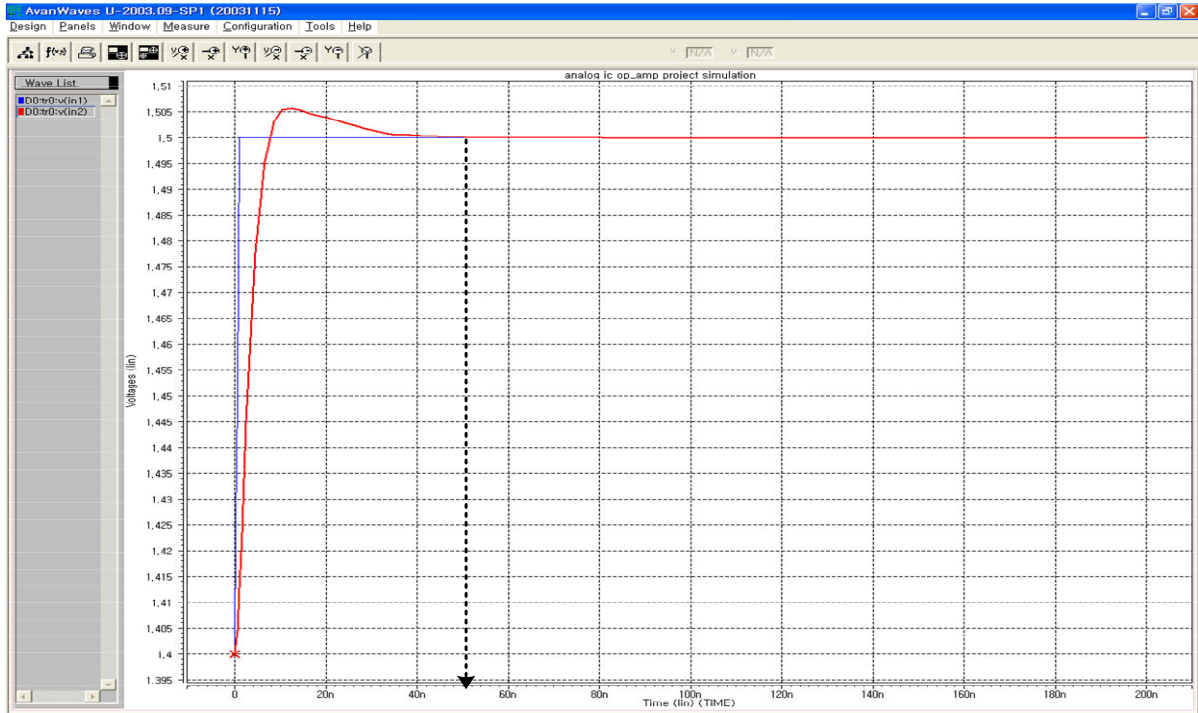


[Figure. 6] Simulation Result (Slew Rate)

위의 [Figure. 6]에서 알 수 있듯이, Slew Rate = 46.7 V/μs 이다.

6. 0.1% Settling Time with Unity Gain Feedback (0.1V Step)

아래의 [Figure. 7]에서 알 수 있듯이, 0.1% Settling Time은 약 50ns 이다.



[Figure. 7] Simulation Result (0.1% Settling Time with 0.1V step)

7. Low Frequency Input Equivalent Noise

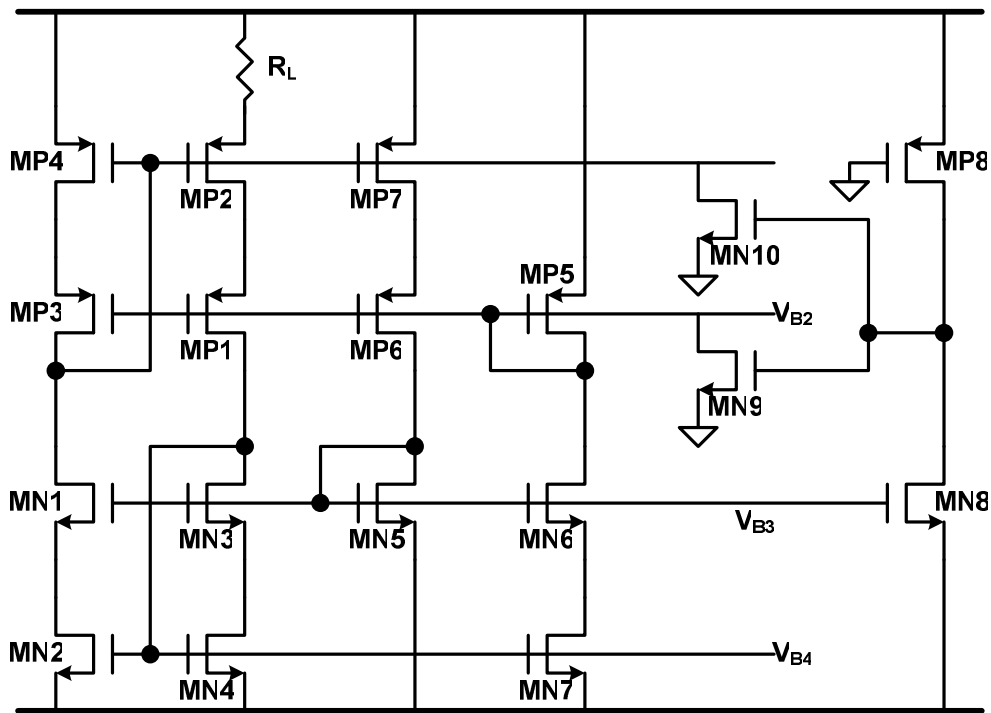
.NOISE를 사용하여 Out1 Node에 Noise가 더해 진다고 가정하여 Simulation 한 결과, 가장 작은 Low Frequency Input Equivalent Noise 값으로 $6.0077n\text{ V} / (\text{Hz}^{1/2})$ 를 얻었다.

Specification Table

Item	Specification
SUM ($W_i \times L_i$)	OP Amp: $1768.9\ \mu\text{m}^2$ Bias Circuit: $266.6\ \mu\text{m}^2$
DC Small Signal Voltage Gain	3260
Power Consumption	OP Amp: 11.451 mW Bias Circuit: 6.171 mW
Slew Rate SR	Approximately $46.7\ \text{V}/\mu\text{s}$
0.1% Settling Time (0.1V Step)	Approximately 50 ns
Active Input Common Mode Voltage Range (ICMR)	Max: 2.5V Min: 1.08V
Gain Bandwidth Product	126 MHz
Linear Output Voltage Range (OVR)	Max: 1.95V Min: 0.85V
Low Frequency Input Equivalent Noise	$6.0077n\ \text{V} / (\text{Hz}^{1/2})$
Phase Margin	70°

Bias Circuit

이번 Project로 주어진 OP Amp는 [Figure. 1]에서 확인할 수 있듯이, 총 4개의 Bias Voltage (V_B , V_{B1} , V_{B2} , V_{B3})가 필요한 구조이다. 이 중, V_B 는 M19와 R_L 을 이용하여 만들어 낼 수 있으며, 나머지 3개의 Bias Voltage (V_{B1} , V_{B2} , V_{B3})는 CMOS 아날로그 집적회로 (상)권, Page 515에 소개되어 있는 Constant Trans-conductance Bias Circuit을 이용하였다. 아래의 [Table. 5]에 각 Transistor (MP1 ~ MP8, MN1~ MN10)들의 Size를 표시하였다.



[Figure. 8] Constant Trans-Conductance Bias Circuit

교과서에 주어진 구조는 저항 R_L 이 NMOS 쪽에 위치하지만, PMOS 쪽에 위치하도록 변형 하였다.

OP Amp Simulation 하면서 정해 놓았던 DC Voltage (V_{B1} , V_{B2} , V_{B3})를 얻기 위해, MP4, MP5, MN5, MN4의 Size를 변화 시켜가면서 Bias Voltage 값을 구했다.

MP4의 Size를 변화시키면, 가장 위의 Bias Voltage (사용하지 않으므로 [Figure. 8]에서는 Node 이름을 생략하였다)를 변화 시킬 수 있다. 이처럼 각 해당 Bias Voltage에 Diode 형태로 연결되어 있는 Transistor가 그 Bias Voltage를 조절하는 중요한 역할을 하므로 이들 Transistor의 Size를 조금씩 변화 시키면서 Bias Voltage에 가까운 값으로 조절해 나갈 수 있었다.