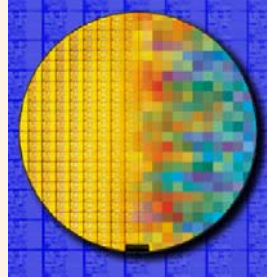


Institut d'Optique 3^{ème} Année

Visualisation

Chapitre 2 Transistors CMOS rappel & fabrication



yvan.bonnassieux@polytechnique.edu

Sommaire

- ❑ Rappel : le transistor CMOS
- ❑ Technologie Planar : Historique
- ❑ Photolithographie
- ❑ Séquence de fabrication CMOS
- ❑ Quelques éléments pour le futur



Rappel : le transistor CMOS



Rappel sur le transistor MOS (I)

Semi-Conducteurs

- **Monocristal de Silicium** densité d'atomes : $N_A \approx 5 \cdot 10^{22} \text{ cm}^{-3}$
 - Si intrinsèque : la densité de porteurs $N_D \approx 1,5 \cdot 10^{10} \text{ cm}^{-3}$
- **Dopage**
 - Aux Pentavalents (P, As) \rightarrow Type n = conduction par électrons
 - Aux Trivalents (B) \rightarrow Type p = conduction par trous
 - Si dopé : $N_D \approx 10^{15}$ à 10^{16} cm^{-3}
- **Conductivité et Mobilité**
 - La **mobilité** μ des trous est inférieure à celle des électrons

$$\text{conductivité} = \sigma = 1/\rho = N_D e \mu$$

Mobilité :

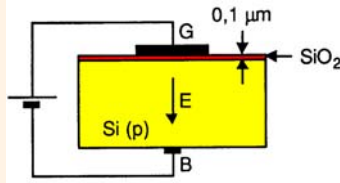
Mobilité

μ ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	Si pur	Si fortement dopé
Electrons libres	1350	100
Trous	480	60

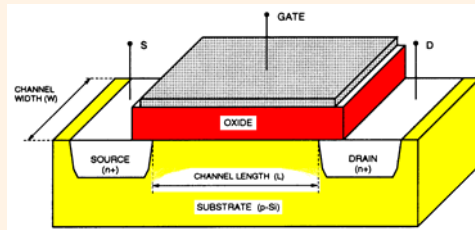
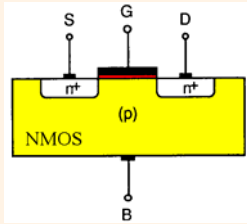


Du Matériau au Transistor

- Effet de Champ

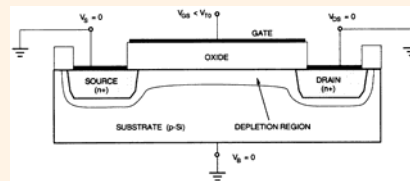


- Transistor NMOS

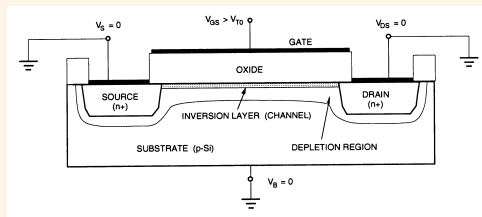


Fonctionnement du transistor NMOS

- Zone de déplétion pour V_{GS} positif faible ($V_{GS} < V_T$)



- Canal d'inversion pour V_{GS} positif fort ($V_{GS} > V_T$)

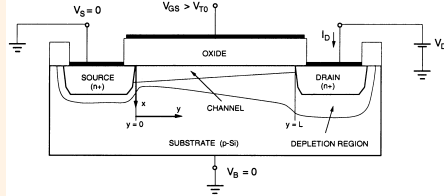


Rappel sur le transistor MOS (IV)

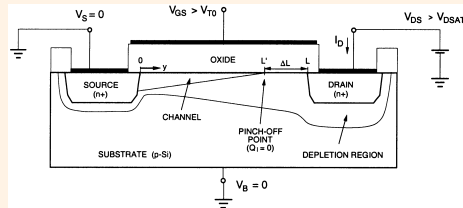


NMOS à V_{GS} positif fort et V_{DS} non nul

- $V_{DS} > 0$ le courant d'électrons va de la Source au Drain
 $V_{GS} > V_T$ le canal conducteur est formé
- **Mode « résistif »**
 $(V_{GD} > V_T \iff V_{DS} < V_{GS} - V_T)$



- **Mode saturé**
 $(V_{GD} \leq V_T \iff V_{DS} \geq V_{GS} - V_T)$
 - Pincement du canal
 - ΔL est très petit



Rappel sur le transistor MOS (V)



Caractéristiques Courant-Tension du NMOS

- 1) $V_{GS} < V_T$ **Transistor Bloqué** : $I_D = 0$
- 2) $V_{GS} > V_T$ et $V_{GD} > V_T \iff V_{DS} < V_{GS} - V_T$

Mode « résistif »

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

- 3) $V_{GS} > V_T$ et $V_{GD} < V_T \iff V_{DS} > V_{GS} - V_T$

Mode saturé

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$$

- \Rightarrow Frontière Résistif - Saturé :

$$V_{GD} = V_T \iff I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} V_{DS}^2$$

Paramètres de Transconductance

$$k'_n = \mu_n C_{ox}$$

$$k_n = \mu_n C_{ox} \frac{W}{L}$$



Valeurs typiques des paramètres

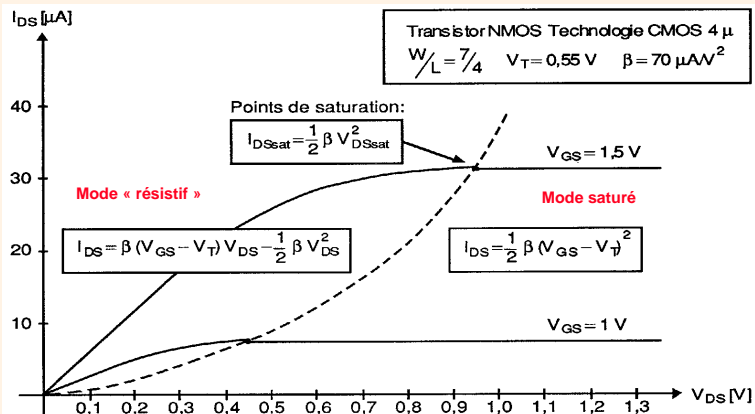
- **Mobilité** $\mu_n \approx 580 \text{ cm}^2/\text{Vs}$ $\mu_p \approx 230 \text{ cm}^2/\text{Vs}$
- **Oxyde**
 - Épaisseur $t_{\text{ox}} = 0,02 \text{ à } 0,1 \text{ } \mu\text{m}$
 - Permittivité $\epsilon_{\text{ox}} = 3,97 \epsilon_0 = 3,5 \cdot 10^{-13} \text{ F/cm}$
 - Capacité $C_{\text{ox}} = \epsilon_{\text{ox}} / t_{\text{ox}} = 1,75 \text{ fF/mm}^2 \text{ pour } t_{\text{ox}} = 0,02 \text{ } \mu\text{m}$
 $= 0,35 \text{ fF/mm}^2 \text{ pour } t_{\text{ox}} = 0,1 \text{ } \mu\text{m}$
- **Transconductance**

$$k'_n = \mu_n C_{\text{ox}} \approx 100 \text{ mA/V}^2 \text{ pour } t_{\text{ox}} = 0,02 \text{ } \mu\text{m}$$

$$20 \text{ mA/V}^2 \text{ pour } t_{\text{ox}} = 0,1 \text{ } \mu\text{m}$$



Grphe Courant-Tension du NMOS



Rappel sur le transistor MOS (VIII)



Fonctionnement du transistor PMOS

- Similaire au NMOS, mais avec :
 $V_{DS} < 0$ le courant de **trous** va de la Source au Drain
 $V_T < 0$ la tension de seuil V_T est négative, $\Rightarrow V_{GS}$ est usuellement négatif

- 1) $V_{GS} > V_T$ **Transistor Bloqué** : $I_D = 0$

- 2) $V_{GS} < V_T$ et $V_{GD} < V_T \iff V_{DS} > V_{GS} - V_T$ **Mode « résistif »**

$$I_D = -\mu_p C_{ox} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

- 3) $V_{GS} < V_T$ et $V_{GD} > V_T \iff V_{DS} < V_{GS} - V_T$ **Mode saturé**

$$I_D = -\frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$$

- \Rightarrow Frontière Résistif - Saturé : $V_{GD} = V_T$

$$I_D = -\frac{1}{2} \mu_p C_{ox} \frac{W}{L} V_{DS}^2$$

Paramètres de Transconductance

$$k'_p = \mu_p C_{ox}$$

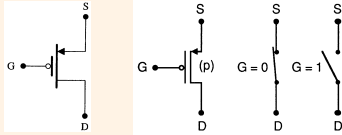
$$k_p = \mu_p C_{ox} \frac{W}{L}$$

Rappel sur le transistor MOS (IX)

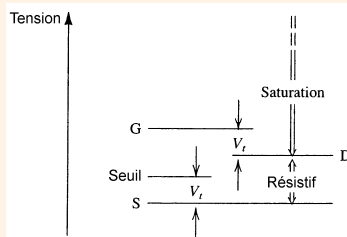
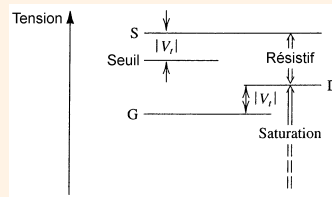
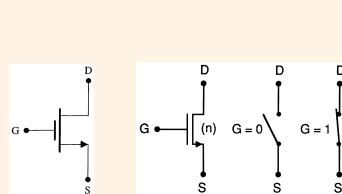


Récapitulation des NMOS et PMOS

PMOS



NMOS

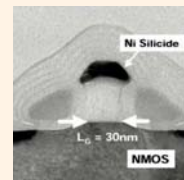
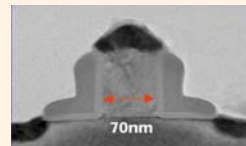
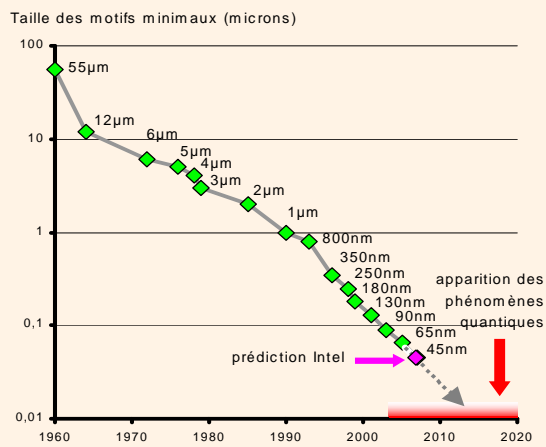


Technologie Planar : Historique

Technologie : Historique (I)

Introduction

Depuis le début de la microélectronique la dimension des transistors c'est réduite aux taux de 13% par an. Et comme le montre les prévisions cela va perdurer encore au moins jusqu'au milieu de la prochaine décennie.



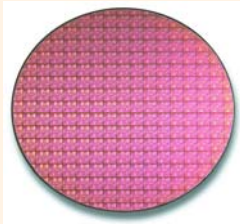


Un bref historique (I)

Nombre des technologies de fabrication des semi-conducteurs dérive de procédés inventés il y a de nombreux siècles.

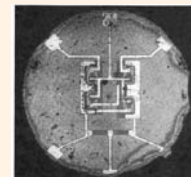
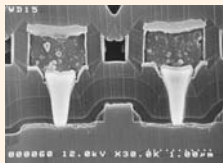
Ainsi, par exemple, la lithographie a été inventée en 1798. Initialement l'image était transférée depuis une pierre (ce qui justifie l'étymologie).

- **1918**, Czochralski développe la technique de croissance des cristaux à partir de liquide
- **1928**, invention du transistor à effet de champ par *JE. Lilienfeld*
- **1947**, invention du transistor bipolaire par *J. Bardeen, W. Brattain* et *W. Shockley*
- **1954**, premiers transistors en silicium par Texas Instruments
- **1957**, *Andrus* applique la lithographie pour la fabrication des composants semi-conducteurs.
- **1957**, le masquage par oxyde a été développé par *Frosch* et *Derrick*

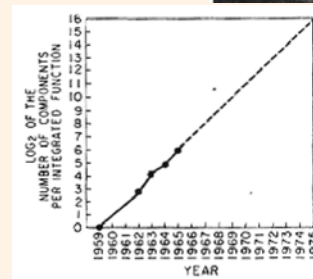


Un bref historique (II)

- **1957**, l'épitaxie, inventée par *Sheftal et al.*
- **1958**, le premier circuit intégré par *Jack Kilby* chez Texas Instrument



- **1960**, le procédé Planar est conçu par *Hoerni* en 1960.
- **1963**, les composants CMOS (NMOS et PMOS) par *Sah*.
- **1965**, Formulation de la loi de *Moore*



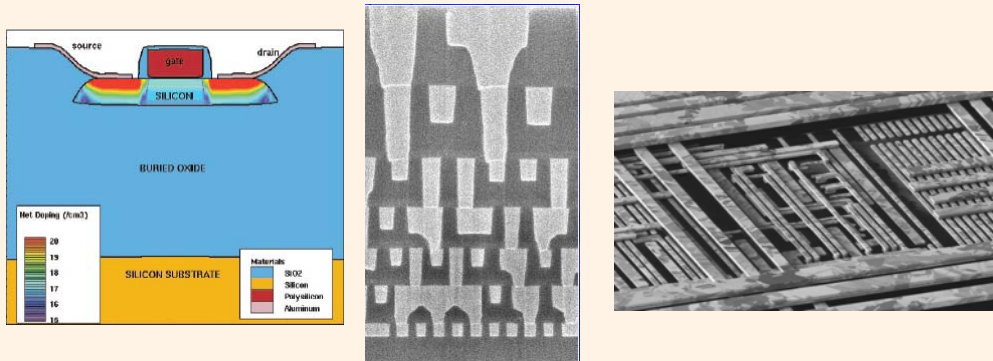
- **1967**, *Dennard* invente la mémoire DRAM (Dynamic Random Acces Memory)
- **1971**, est l'année de la conception du premier microprocesseur par *M. Hoof* de la société Intel.



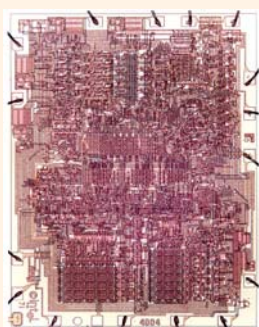
Un bref historique (III)

Depuis lors de nombreuses autres nouvelles technologies on permit, sans changer vraiment les méthodes de fabrication de réduire la taille des transistors et ainsi la densité des mémoires et la puissance des microprocesseurs.

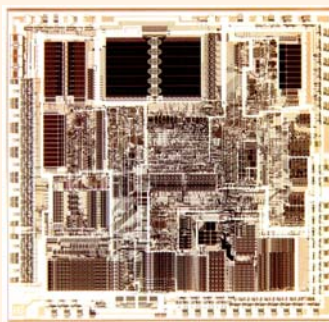
- 1982, technologie SOI par *Rung et al.*
- 1993, interconnexions par cuivre proposé par *Paraszczak et al.*



Intel (1)



Intel 4004
2250Trs (1971)



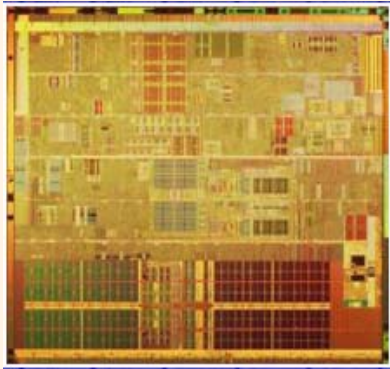
Intel 286
120 000Trs (1982)



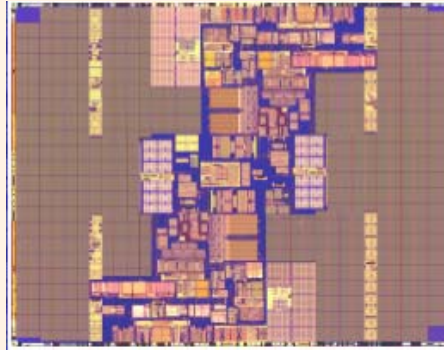
Intel P4 ,130nm 'Northwood'
42 000 000Trs (2000)



Intel(2)



Intel P4 90nm 'Prescott'
125 000 000Trs (2004)



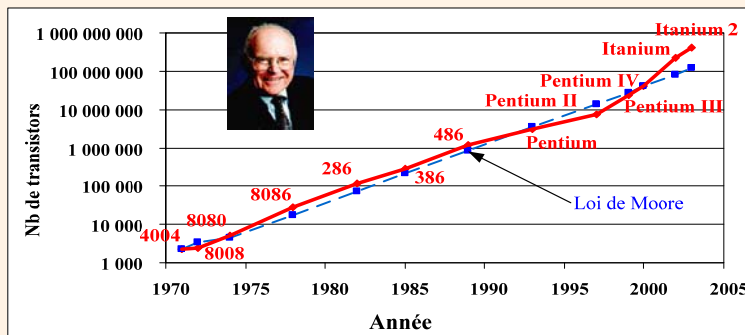
Intel Itanium 90nm 'Montecito'
1 720 000 000Trs (2007)
Biprocésseur



Loi de Moore

" La complexité permettant de minimiser le coût des composants a été multipliée chaque année à peu près par un facteur deux. On peut prévoir qu'à court terme ce taux de croissance se maintiendra, ou même que la croissance sera plus rapide encore. A long terme, le taux de croissance est un peu plus incertain, mais il n'y a aucune raison de croire qu'il ne se maintiendra pas pendant au moins dix ans. Cela signifie qu'en 1975 le nombre de composants par circuit intégré permettant de minimiser le coût sera de 65000. "

Gordon E. Moore, " [Cramming more components into integrated circuits](#) ", *Electronics*, 19 avril 1965



La Photolithographie en microélectronique

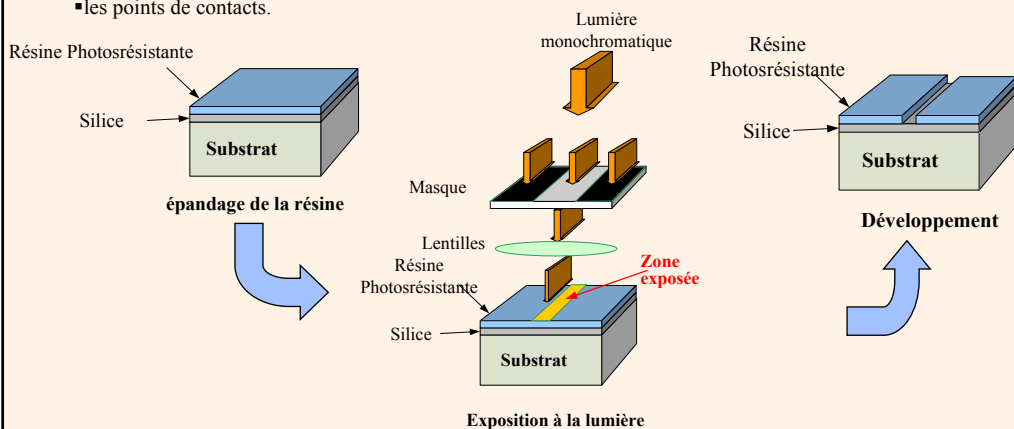
Photolithographie (I)

Introduction

La photolithographie est le processus de transfert de formes géométrique d'un masque sur une fine couche de matériaux photosensibles (résines photorésistantes) qui recouvrent un wafer de semi-conducteur.

Ces formes définissent les différentes régions d'un circuit intégré tels que :

- Les zones de dopage
- les connexions métalliques
- les points de contacts.



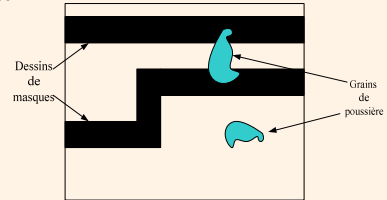
Salle blanche

En présence de poussières plusieurs défauts peuvent apparaître :

- Poussières adhérentes sur le masque
- Présentes dans l'oxyde de grille
- De grosses particules



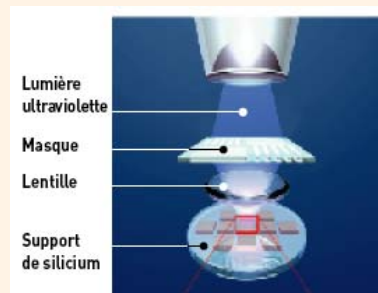
On travaille Toujours en salle blanche



Classe	Nb de part. de 0,5µm par pied cube	Nb de part. de 0,5µm par cm ³
1	1	0
10	10	0
100	100	0
1 000	1 000	7
10 000	10 000	70
100 000	100 000	700

Principe de la photolithographie (I)

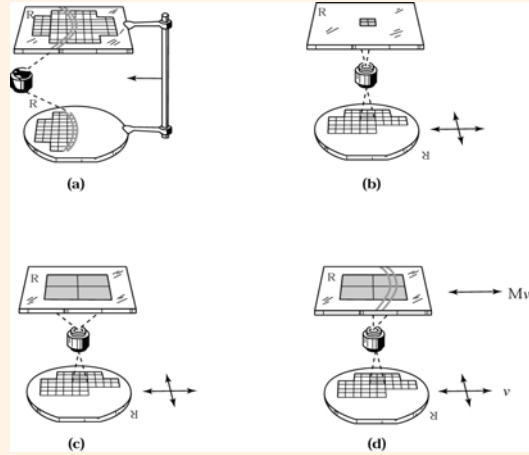
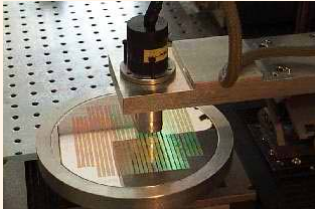
La photolithographie optique est réalisée par des masqueurs UV



- masquage par contact
- masquage de proximité



Principe de la photolithographie (II)

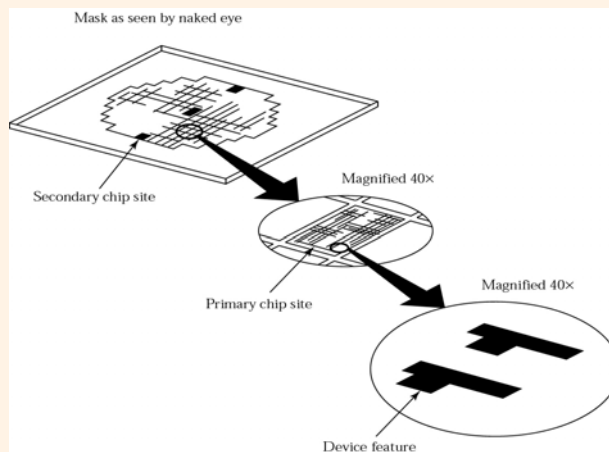


Approche submicronique « **le Stepper** ». système de masquage par projection du masque :

Lampes à arc à vapeur de mercure, une résolution maximale de 300nm.



Les Masques de photolithographie



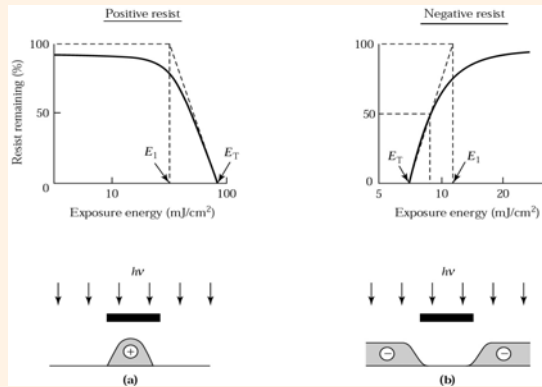
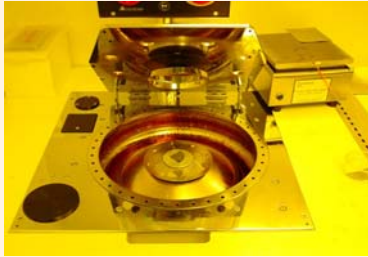
Constitué d'un substrat de silice recouvert d'une couche de chrome

Lithographie par faisceau d'électrons



Résines photorésistantes

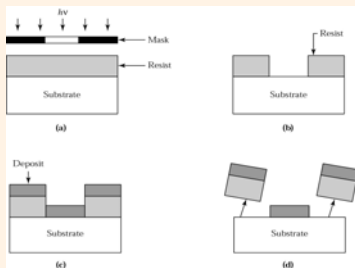
deux types de résines photosensibles.
Elles se caractérisent par leurs différences de réponses aux radiations



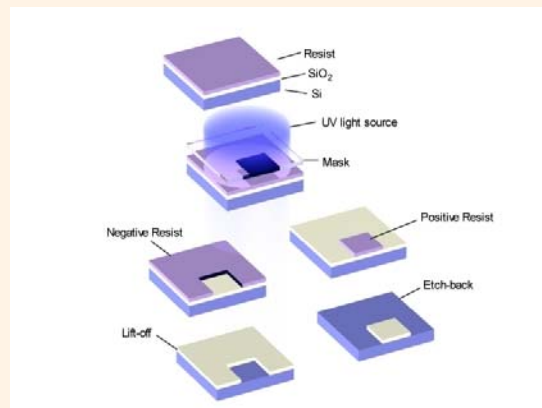
L'étalement des résines sur les wafer : « les tournettes »



Transferts des dessins



Lithographie par Lift-Off



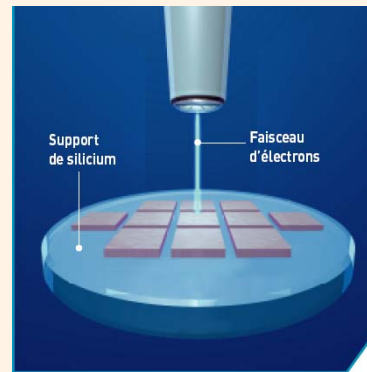
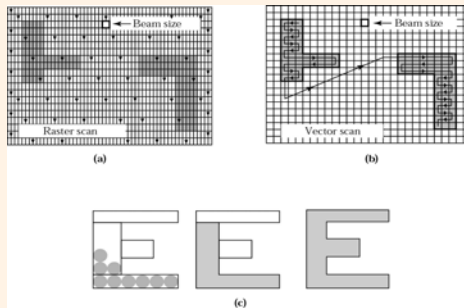
Lithographie classique



Prochaines générations de lithographie ?

Lithographie Électronique : e-beam

pas de masques physique mais un système de gravure par pixel



Quelques Comparaisons

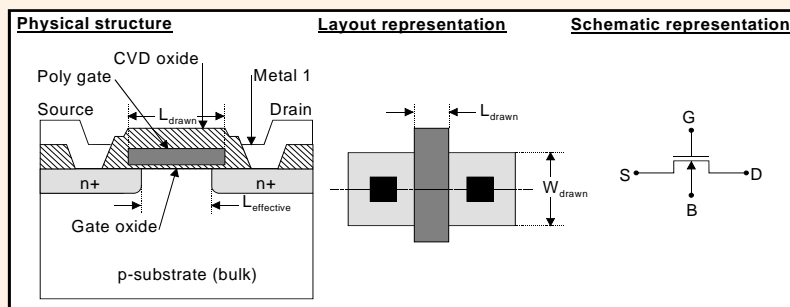
<i>Pixels</i>	
Sur un masque en technologie 90nm	1 000 000 000 000
Sur une photo numérique	5 000 000
<i>Défauts</i>	
Tailles des défauts devant être détectés et corrigés	0,1 μm
Nb de ces défauts supportés	0
Rapports de tailles entre ces défauts et le masque	Terrain de football/Californie
<i>Données</i>	
Nombre typique de masques 90nm pour un process	22-25
Taille des données nécessaires pour ces masques	200 GOctets
<i>Coûts</i>	
Coûts d'un masque 90nm	1 M\$

Séquences de fabrication CMOS

Technologie Planar (I)

Introduction (I)

Le transistor NMOS

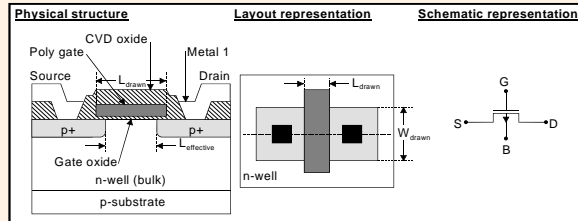


- Dans un substrat de type P : deux zones fortement dopées N connectées au métal \Rightarrow drain et source.
- La grille réalisée par une couche de poly-silicium est isolée du canal par de la silice.
- Une autre couche de silice isole enfin le transistor de ces congénères et protège aussi la grille.



Introduction (II)

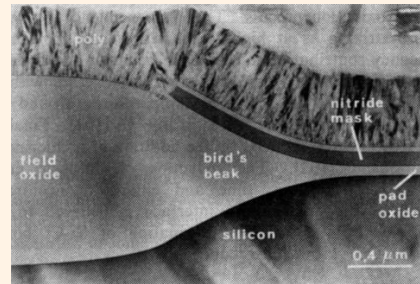
Le transistor PMOS



Inverseur CMOS

Process de fabrication dit **LOCOS** «**LOC**al **O**xidation **O**f **S**ilicon »

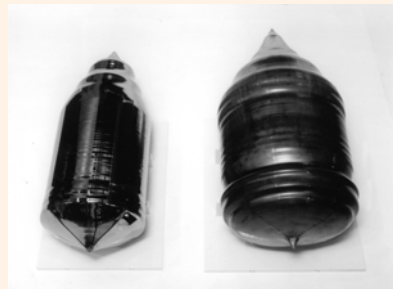
L'oxyde de champ FOX « Thick Field OXide » est positionné sur toutes les régions non actives.



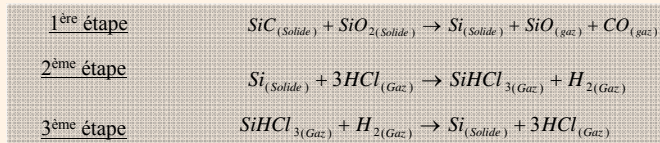
Étape 0 : le Wafer (I)

le matériau de départ : la tranche de monocristal de silicium (Wafer)

- 2 cristaux obtenus par la méthode Czochralski
- le premier à un diamètre de 300mm (12'')
 - le second à un diamètre de 400mm (16'')



Matériau initial



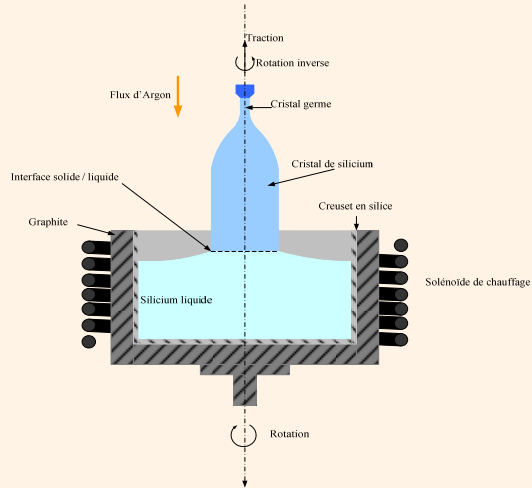


Étape 0 : le Wafer (III)

La technique dit « Czochralski »

L'extracteur se décompose en 3 parties :

- Un four
- Le mécanisme d'extraction du cristal
- Un système de contrôle

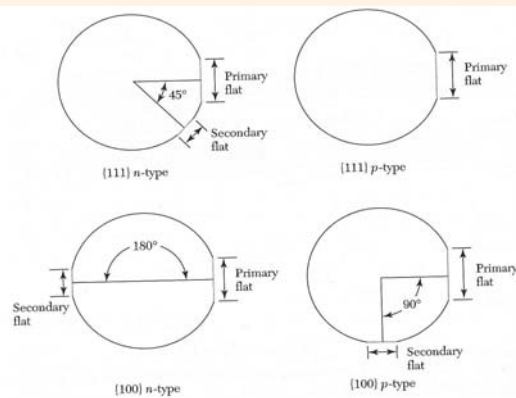


Étape 0 : le Wafer (IV)

Caractérisation du matériel obtenu

Ces méplats indiquent l'orientation et le type de dopage.

Pour les cristaux de diamètre égal ou supérieur à 200mm on fait plutôt des cannelures.





Étape 0 : le Wafer (V)

Caractéristiques géométriques de certains Wafers parmi les plus classiques.

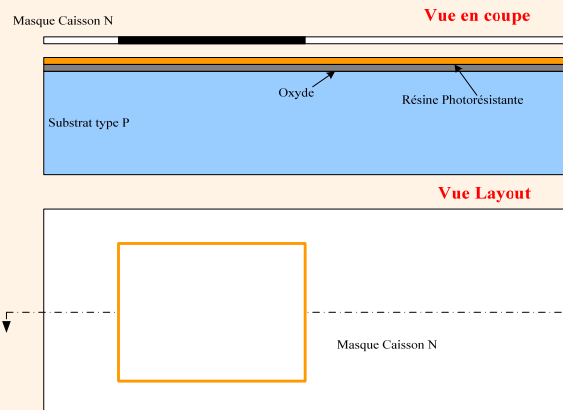
Paramètres	125mm	150mm	200mm	300mm
Diamètre (mm)	125 ± 1	150 ± 1	200 ± 1	300 ± 1
Épaisseur (mm)	0,6 – 0,65	0,65 – 0,7	0,715 – 0,735	0,755 – 0,775
Longueur 1 ^{er} méplat	40 – 45	55 – 60	---	---
Longueur 2 ^{ème} méplat	25 – 30	35 - 40	---	---
Courbure (µm)	70	60	30	< 30
Delta épaisseur (µm)	65	50	10	< 10
Orientation	(100) ± 1°	(100) ± 1°	(100) ± 1°	(100) ± 1°
	(111) ± 1°	(111) ± 1	(111) ± 1	(111) ± 1



Étape 1 : Caisson dopé N (I)

Principe et succession des taches (I)

- Croissance de l'oxyde de protection
- Dépôt de la résine photorésistante
- Partering par masquage
- Gravure de l'oxyde de silicium
- Implantation ionique de la zone N

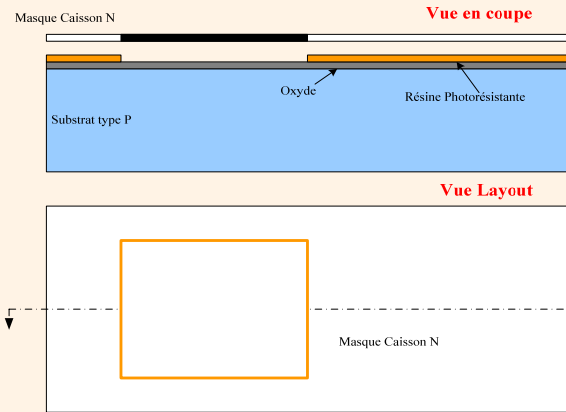




Étape 1 : Caisson dopé N (II)

Principe et succession des taches (II)

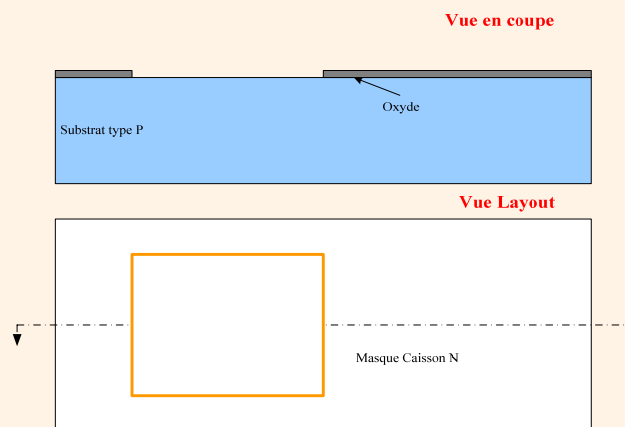
- Croissance de l'oxyde de protection
- Dépôt de la résine photorésistante
- Parterning par masquage
 - o Masques N
 - o Développement résine
- Gravure de l'oxyde de silicium
- Implantation ionique de la zone N



Étape 1 : Caisson dopé N (III)

Principe et succession des taches (III)

- Croissance de l'oxyde de protection
- Dépôt de la résine photorésistante
- Parterning par masquage
- Gravure de l'oxyde de silicium
 - Gravure RIE
 - Élimination résine
- Implantation ionique de la zone N

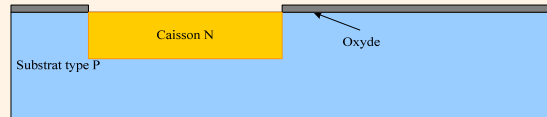




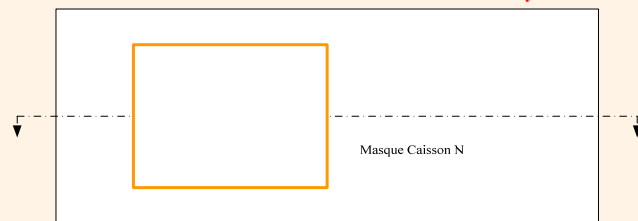
Étape 1 : Caisson dopé N (IV)

Principe et succession des taches (IV)

- Croissance de l'oxyde de protection
- Dépôt de la résine photorésistante
- Parternig par masquage
- Gravure de l'oxyde de silicium
- Implantation ionique de la zone N



Vue en coupe

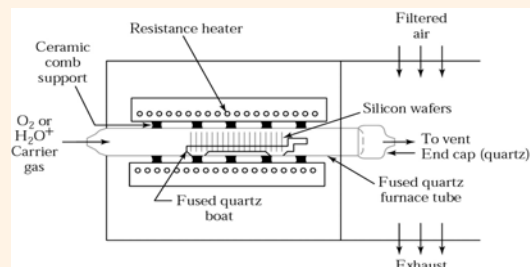
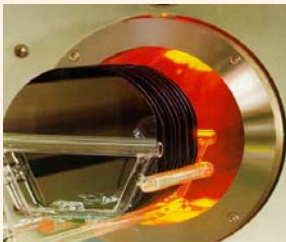


Vue Layout



Étape 1 : Caisson dopé N (V)

Technologies associées Oxydation silicium (I)



Le réacteur : un système de chauffage par effet joule. Au centre, un tube de quartz et les wafers de silicium placés verticalement.

Un flux continu d'oxygène pur gazeux ou de vapeur d'eau (pour les couches épaisses).

Ce flux est contrôlé via un écoulement d'air purifié.

Température de 900°C à 1200°C avec un débit de gaz d'environ 1l/min.



Étape 1 : Caisson dopé N (VI)

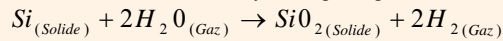
Technologies associées Oxydation silicium (II)

Pour une oxydation par oxygène.

Réactions thermiques très simples :

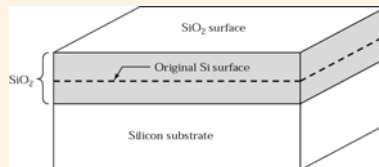


Pour une oxydation par vapeur d'eau.



La croissance de la silice se fait bien sur aux dépens du silicium mais du fait de la différence de densité et de poids moléculaire de ces 2 éléments :

l'obtention d'une couche de silice nécessite la consommation d'une couche de silicium 0,44 fois plus fine.

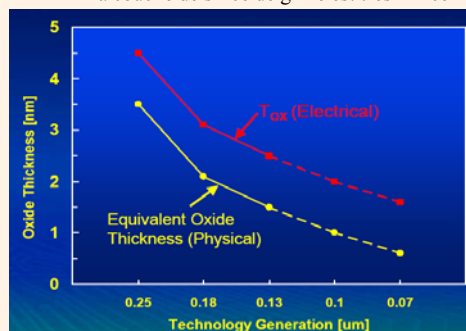


Étape 1 : Caisson dopé N (VII)

Technologies associées Oxydation silicium (III)

Technologies actuelles :

la couche de silice de grille est très mince



La croissance à pression atmosphérique et basse température (800°C à 900°C).

Pour contrôler la vitesse et d'assurer une reproductibilité des épaisseurs on réduit la pression partielle d'O₂ par une dilution par des gaz inertes comme N₂, Ar ou He.



Étape 1 : Caisson dopé N (VIII)

Technologies associées Oxydation silicium (IV)

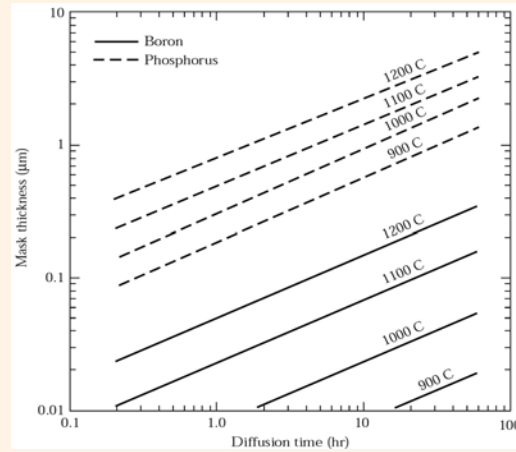
Propriété de masquage de l'oxyde de silicium

Propriété intéressante de la silice :

sa capacité d'être utilisée comme **masque sélectif** contre la diffusion des dopants à haute température.

En effet la vitesse de diffusion est de l'ordre de 2 à 3 ordre de grandeur plus faible dans la silice que dans le silicium.

Cette caractéristique est très utilisée dans le processus de fabrication des circuits intégrés.



Étape 1 : Caisson dopé N (IX)

Technologies associées : Gravure (I)

2 grandes familles de gravures

la photolithographie permet de transférer les dessins des masques sur la résine.

La gravure va permettre de reproduire ces dessins sur les couches minces situées en dessous.

En fonction des matériaux à graver et des dessins à réaliser on trouve deux types de gravure :

- Une gravure humique qui utilise un produit chimique.
- Une gravure sèche qui utilise les plasmas



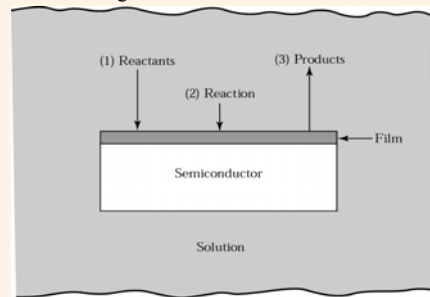
Étape 1 : Caisson dopé N (X)

Technologies associées : Gravure (II)

Gravure humide ou chimique

La gravure chimique, se décompose en 3 étapes :

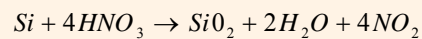
- Le produit chimique (réactant) se dépose par diffusion sur la surface à graver.
- La réaction chimique se produit à la surface.
- Le produit de cette réaction est éliminé par diffusion.



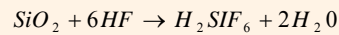
Étape 1 : Caisson dopé N (XI)

Technologies associées : Gravure (III)

Oxydation à l'acide nitrique

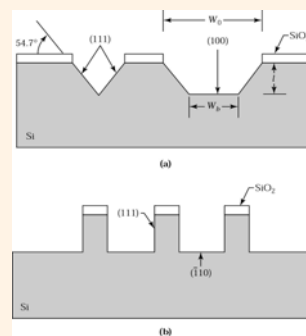


L'acide fluorhydrique permet ensuite de dissoudre la silice



Gravure humide du silicium

Différence de gravure en fonction de l'orientation du cristal de silicium





Étape 1 : Caisson dopé N (XII)

Technologies associées : Gravure (IV)

Quelques autres
gravures humides

Matériaux	Solution	Vitesse (nm/min)
SiO ₂ (silice)	HF NH ₄ F	100
	HF HNO ₃ H ₂ O	12
Si ₃ N ₄ Nitrure de silicium	HF NH ₄ F	0,5
Al (aluminium)	H ₃ PO ₄	10
	HNO ₃ H ₂ O H ₃ PO ₄ CH ₃ COOH	30
	KI	1000
Au (Or)	KI	1000
Mo (Molybdène)	I ₂ HNO ₃ H ₂ O H ₃ PO ₄ CH ₃ COOH	500
Pt (platine)	HNO ₃ H ₂ O HCl	50
W (tungstène)	KH ₂ PO ₄ KOH K ₃ Fe(CN) ₄ H ₂ O	160

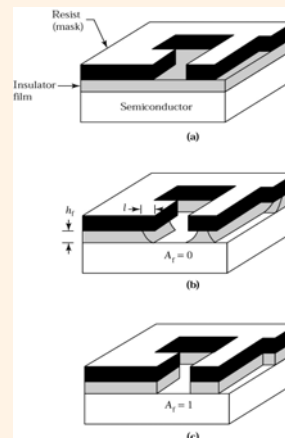


Étape 1 : Caisson dopé N (XIII)

Technologies associées : Gravure (V)

Gravure sèche ou par plasma

Nécessité d'une gravure anisotrope
pour les matériaux amorphes ou polycristallin
Gravure sèche

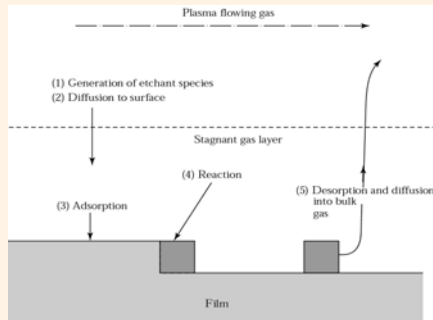




Étape 1 : Caisson dopé N (XIV)

Technologies associées : Gravure (VI)

Gravure par plasma



La gravure par plasma est basée sur la génération de plasma dans un gaz à basse pression.

- Composés de gravure (ions) générés dans le plasma.
- transportés par diffusion sur la surface du wafer.
- absorbés par la surface
- La réaction chimique et l'effet physique du bombardement ionique
- Résultat désorbé de la surface, et pompé

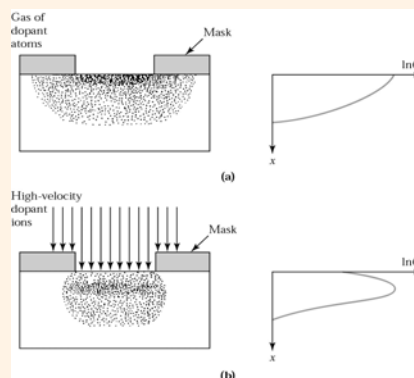
On distingue deux types de gravure par plasma :

- Une gravure physique. (faible vitesse et anisotropie).
- Une gravure chimique (grande vitesse isotropie et bonne sélectivité).



Étape 1 : Caisson dopé N (V)

Technologies associées : Implantation ionique (I)



Pour l'implantation des dopants (Phosphore et Bore) 2 techniques ont été développées :

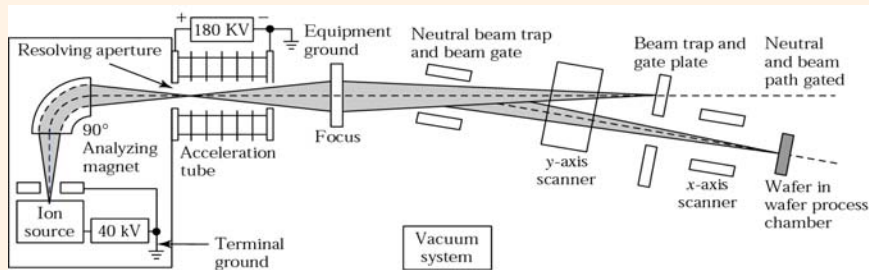
- La diffusion
- L'implantation ionique



Étape 1 : Caisson dopé N (XVI)

Technologies associées : Implantation ionique (II)

le dopant est ici implanté grâce à flux d'ions



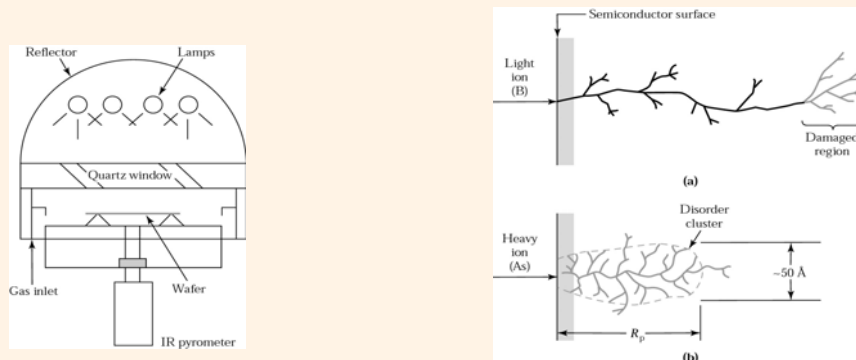
La concentration fonction de la masse des ions et de l'énergie d'implantation. (1 keV et 1 MeV) donne profondeur de distribution entre 10 nm et 10µm avec densité surfacique de dopant comprise entre 10^{12} ions/cm² et 10^{18} ions/cm².



Étape 1 : Caisson dopé N (XVII)

Technologies associées : Implantation ionique (III)

Domage engendré par l'implantation ionique



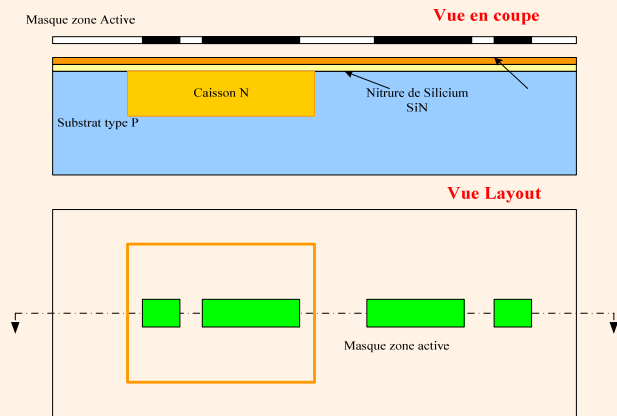
Recuit thermique rapide (très fort gradient (100°C/s) une température de 600 à 1000°C).



Étape 2 : Zones actives (I)

Principe et succession des taches (I)

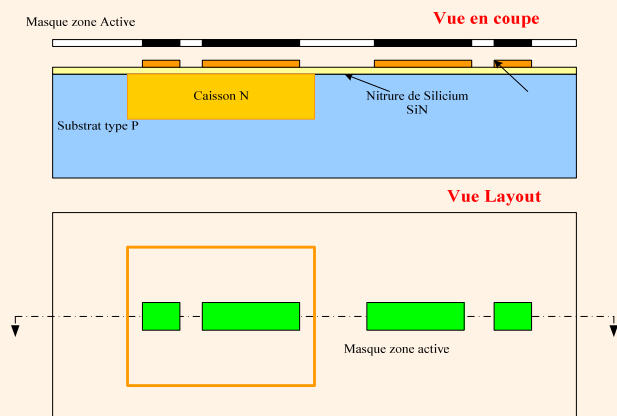
- Déposition du nitrure de silicium SiN
- Déposition de la résine photorésistante
- Patterning de la résine photorésistante
- Gravure du SiN
- Elimination de la résine
- Croissance de l'oxyde de champ FOX
- Elimination du SiN



Étape 2 : Zones actives (II)

Principe et succession des taches (II)

- Déposition du nitrure de silicium SiN
- Déposition de la résine photorésistante
- Patterning de la résine photorésistante
- Gravure du SiN
- Elimination de la résine
- Croissance de l'oxyde de champ FOX
- Elimination du SiN

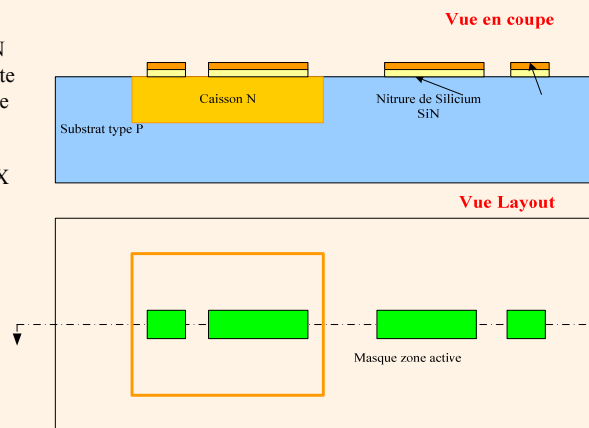




Étape 2 : Zones actives (III)

Principe et succession des taches (III)

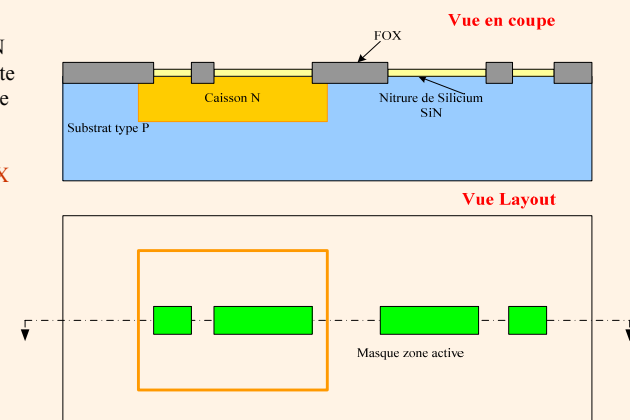
- Déposition du nitrure de silicium SiN
- Déposition de la résine photorésistante
- Patterning de la résine photorésistante
- Gravure du SiN
- Élimination de la résine
- Croissance de l'oxyde de champ FOX
- Élimination du SiN



Étape 2 : Zones actives (IV)

Principe et succession des taches (IV)

- Déposition du nitrure de silicium SiN
- Déposition de la résine photorésistante
- Patterning de la résine photorésistante
- Gravure du SiN
- Élimination de la résine
- Croissance de l'oxyde de champ FOX
- Élimination du SiN

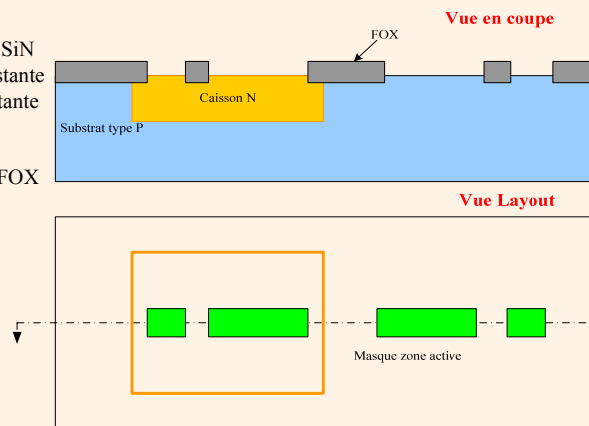




Étape 2 : Zones actives (V)

Principe et succession des taches (V)

- Déposition du nitrure de silicium SiN
- Déposition de la résine photorésistante
- Patterning de la résine photorésistante
- Gravure du SiN
- Élimination de la résine
- Croissance de l'oxyde de champ FOX
- Élimination du SiN

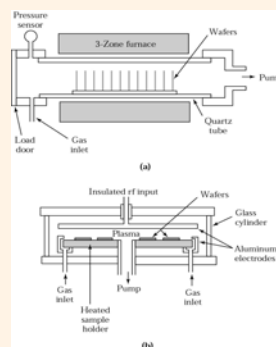


Étape 2 : Zones actives (VI)

Technologie associées : Déposition de diélectrique (I)

APCVD & LPCVD

PECVD



Utilisé principalement pour la passivation des composants discrets (isolation électrique).

Ils existent trois méthodes classiques de déposition :

- Déposition chimique en phase vapeur à pression atmosphérique 'APCVD'.
- Déposition chimique en phase vapeur à basse pression 'LPVVD'.
- Déposition en phase vapeur avec assistance par plasma 'PECVD'.



Étape 2 : Zones actives (VII)

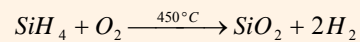
Technologie associées : Déposition de diélectrique (II)

Déposition de silice

Une Silice obtenu par CVD est de qualité inférieure à celle obtenu par oxydation thermique. Ainsi cette silice est utilisée de manière complémentaire.

- isolant entre les différentes couches de métallisation
- masque dans une opération d'implantation ionique

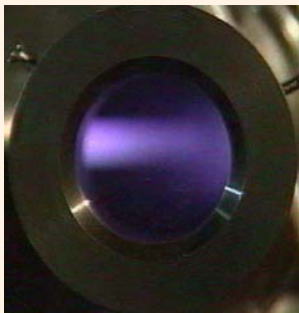
A basse température (300 à 500°C), la réaction chimique :
le silane et l'oxygène (risque d'explosion à pression atmosphérique)



Étape 2 : Zones actives (VIII)

Technologie associées : Déposition de diélectrique (III)

Déposition de nitrure de silicium



La LPCVD donne (vers 750°C):
un nitrure stoechiométrique (Si₃N₄) et de grande densité (2,9 à 3,1 g/cm³).
Ce dernier est utilisé comme couche barrière vis-à-vis de l'eau et du sodium.

La PECVD donne (vers 350°C):
un nitrure stoechiométrique et à une plus faible densité (2,4 à 2,8 g/cm³).

Du faite de l'utilisation d'une faible température ce nitrure est utilisé comme :

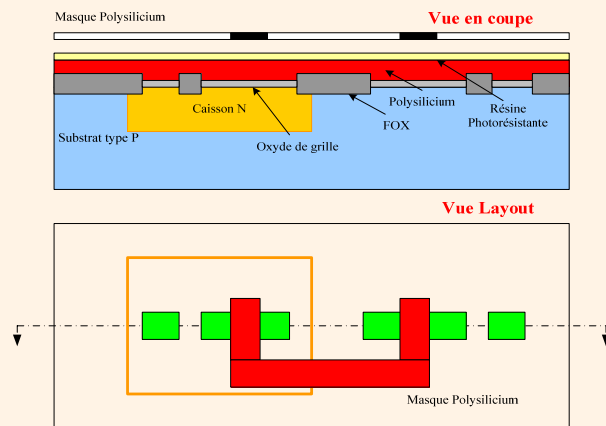
- passivation finale des circuits intégrés
- protection contre les rayures et contre l'humidité.



Étape 3 : Grille (I)

Principe et succession des taches (I)

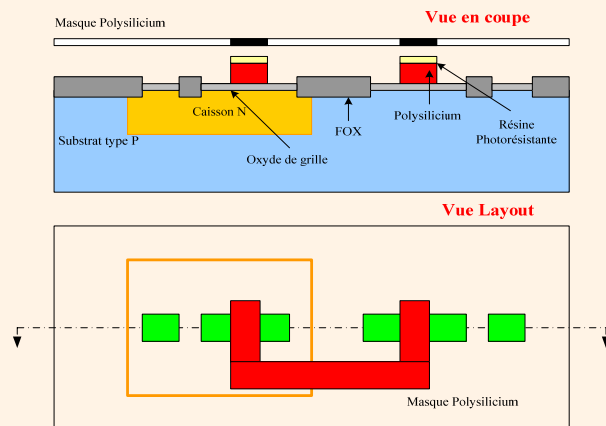
- Croissance de l'oxyde de grille
- Déposition du polysilicium
- Déposition de la résine photorésistante
- Développement de la résine
- Gravure du polysilicium
- Gravure de l'oxyde de grille



Étape 3 : Grille (II)

Principe et succession des taches (II)

- Croissance de l'oxyde de grille
- Déposition du polysilicium
- Déposition de la résine photorésistante
- Développement de la résine
- Gravure du polysilicium
- Gravure de l'oxyde de grille

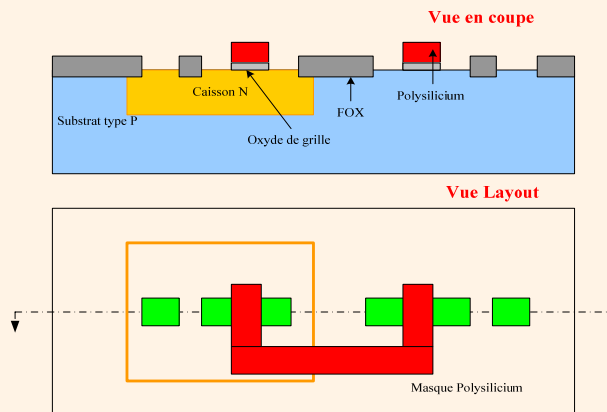




Étape 3 : Grille (III)

Principe et succession des taches (III)

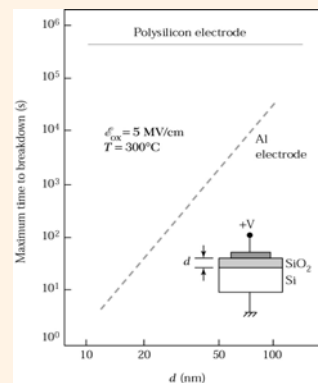
- Croissance de l'oxyde de grille
- Déposition du polysilicium
- Déposition de la résine photorésistante
- Développement de la résine
- Gravure du polysilicium
- Gravure de l'oxyde de grille



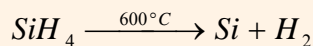
Étape 3 : Grille (IV)

Technologie associées : Déposition de Polysilicium (I)

Le polysilicium pour la grille des transistors MOS surpasse le silicium d'un point de vue de la fiabilité. Migration des atomes de Al dans la silice sous l'action du champ électrique.



Le polysilicium est obtenu par LPCVD à 600/650°C par pyrolyse du silane sous une pression de 25 à 130 Pa..



Étape 4 : Dopage zone active(I)

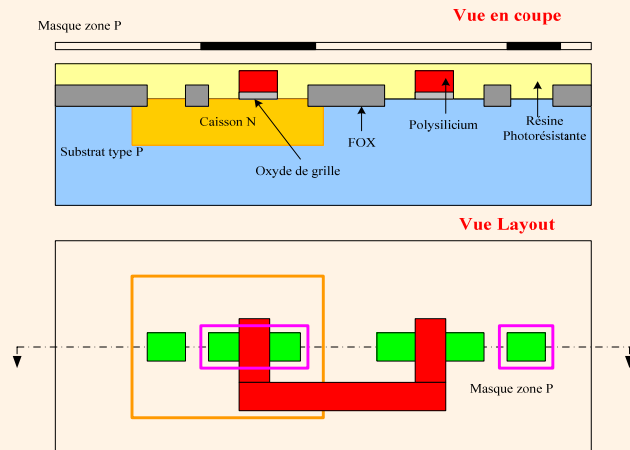
Principe et succession des taches (I)

Dopage P

- Dépôt de la résine photorésistante
- Parterning par masquage
- Implantation ionique de la zone N

Dopage N

- Dépôt de la résine photorésistante
- Parterning par masquage
- Implantation ionique de la zone N



Étape 4 : Dopage zone active(II)

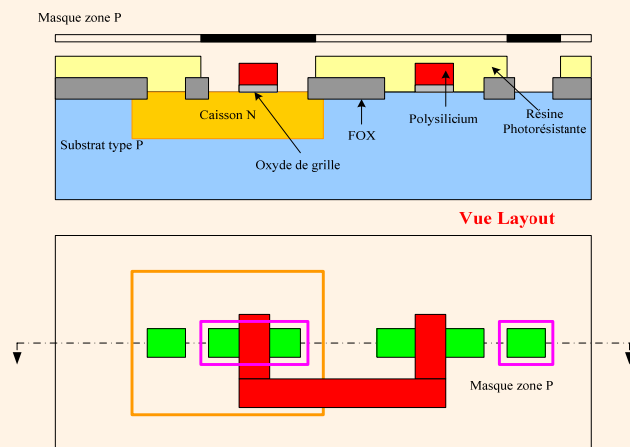
Principe et succession des taches (II)

Dopage P

- Dépôt de la résine photorésistante
- Parterning par masquage
- Implantation ionique de la zone N

Dopage N

- Dépôt de la résine photorésistante
- Parterning par masquage
- Implantation ionique de la zone N



Étape 4 : Dopage zone active(III)

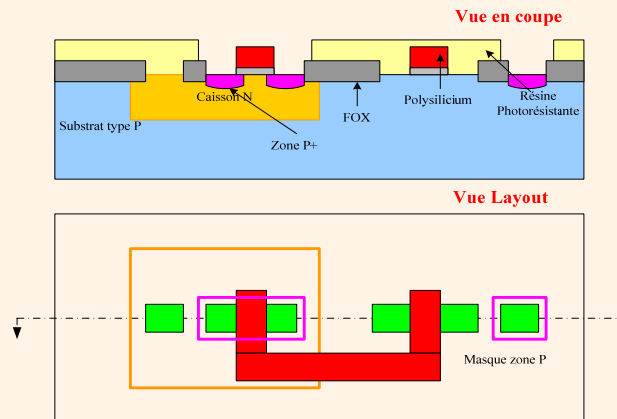
Principe et succession des taches (III)

Dopage P

- Dépôt de la résine photorésistante
- Parternring par masquage
- Implantation ionique de la zone N

Dopage N

- Dépôt de la résine photorésistante
- Parternring par masquage
- Implantation ionique de la zone N



Étape 4 : Dopage zone active(IV)

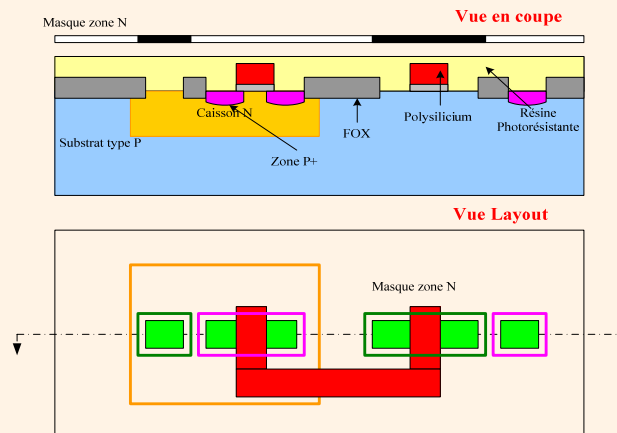
Principe et succession des taches (IV)

Dopage P

- Dépôt de la résine photorésistante
- Parternring par masquage
- Implantation ionique de la zone N

Dopage N

- Dépôt de la résine photorésistante
- Parternring par masquage
- Implantation ionique de la zone N



Étape 4 : Dopage zone active(V)

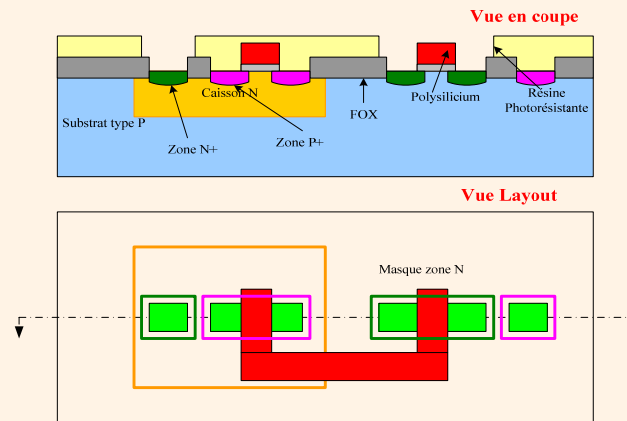
Principe et succession des taches (V)

Dopage P

- Dépôt de la résine photorésistante
- Parternimg par masquage
- Implantation ionique de la zone N

Dopage N

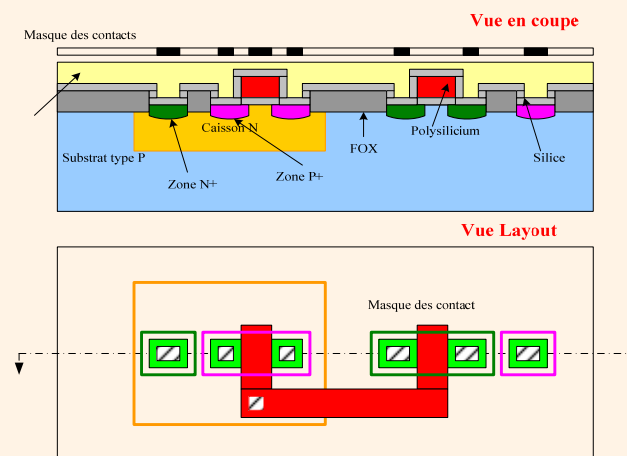
- Dépôt de la résine photorésistante
- Parternimg par masquage
- Implantation ionique de la zone N



Étape 5 : Via de contact (I)

Principe et succession des taches (I)

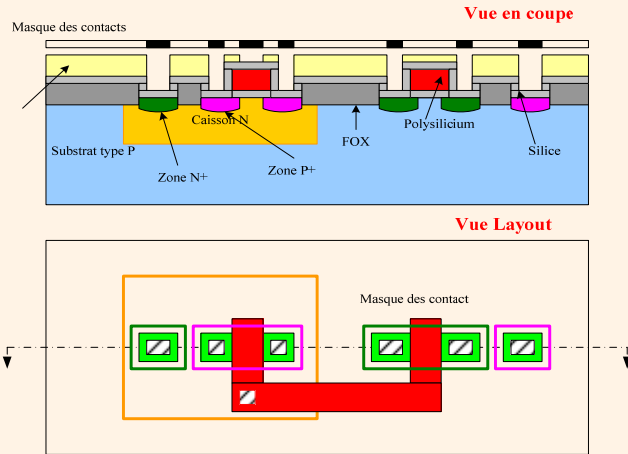
- Croissance de la silice
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure de la silice



Étape 5 : Via de contact (II)

Principe et succession des tâches (II)

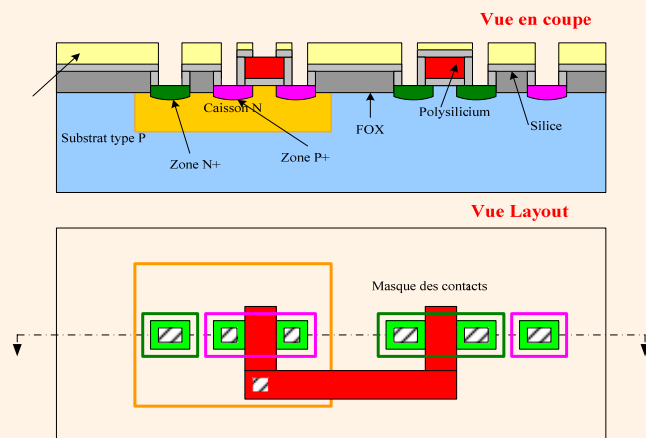
- Croissance de la silice
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure de la silice



Étape 5 : Via de contact (III)

Principe et succession des tâches (III)

- Croissance de la silice
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure de la silice

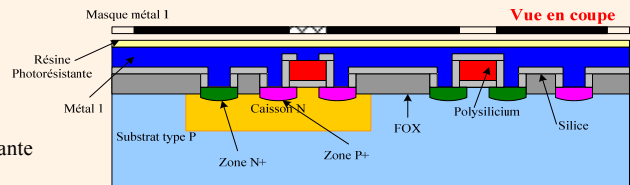




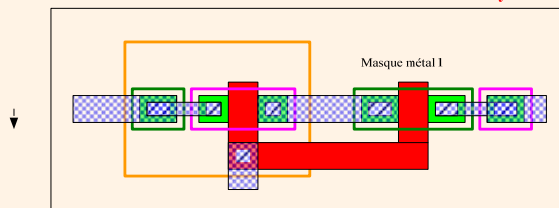
Étape 6 : Couche de métal 1 (I)

Principe et succession des taches (I)

- Dépôt métal 1
- Planarization
- Dépôt de résine photorésistante
- Développement de la résine
- Gravure du métal 1
- Élimination de la résine photorésistante



Vue en coupe



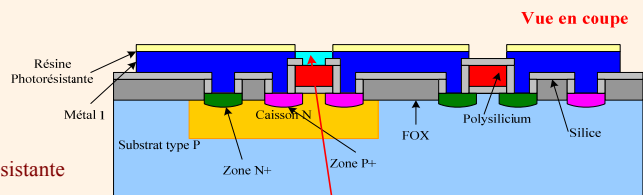
Vue Layout



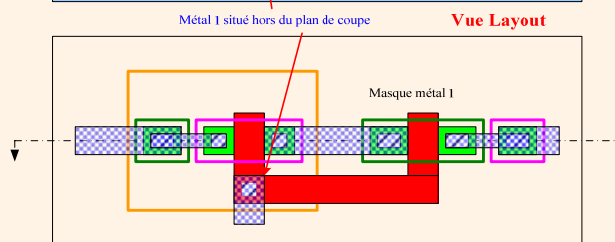
Étape 6 : Couche de métal 1 (II)

Principe et succession des taches (II)

- Dépôt métal 1
- Planarization
- Dépôt de résine photorésistante
- Développement de la résine
- Gravure du métal 1
- Élimination de la résine photorésistante



Vue en coupe



Vue Layout

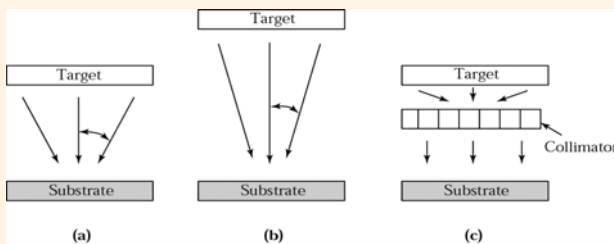


Étape 6 : Couche de métal 1 (III)

Technologies associées : métallisation (III)

Métallisation par pulvérisation cathodique

La déposition par pulvérisation cathodique ou 'sputtering' utilise, dans une chambre à vide, un flux d'ions qui bombarde une cible de métal (Ti, Al, Cu, TiN) libérant des atomes qui viennent se déposer sur le substrat



Étape 6 : Couche de métal 1 (IV)

Technologies associées : métallisation (II)

Métallisation par évaporateur

La déposition par évaporation utilise, dans une chambre à vide, un creuset contenant le métal à déposer.
La sublimation de ce métal libérant des atomes qui viennent se déposer sur le substrat

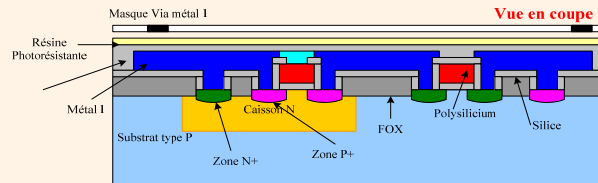


dans une chambre à vide, par sublimation du métal (sous un très fort courant dans un creuset de tungstène ou grâce à un flux d'électron)

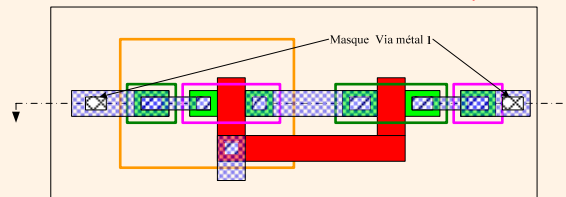
Étape 7 : Via du métal 1 (I)

Principe et succession des taches (I)

- Dépôt de la silice
- Planarization de la silice
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure de la silice
- Élimination de la résine restante



Vue en coupe

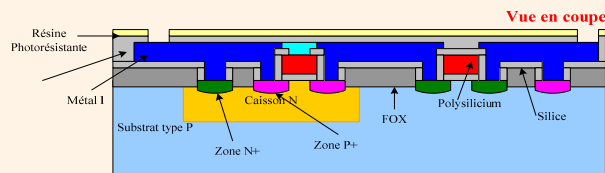


Vue Layout

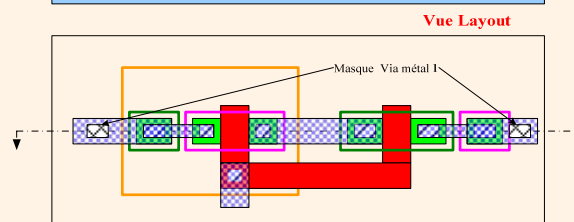
Étape 7 : Via du métal 1 (II)

Principe et succession des taches (II)

- Dépôt de la silice
- Planarization de la silice
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure de la silice
- Élimination de la résine restante



Vue en coupe



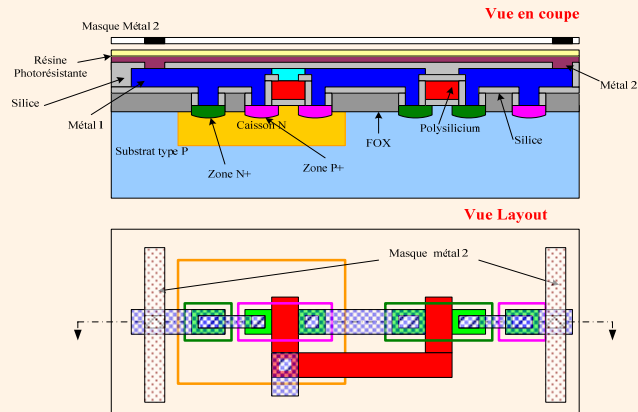
Vue Layout



Étape 8 : métal 2 (I)

Principe et succession des taches (I)

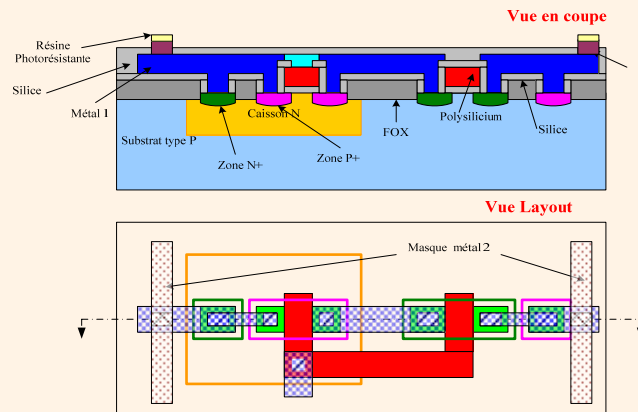
- Dépôt du métal 2
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure du métal 2
- Élimination de la résine restante



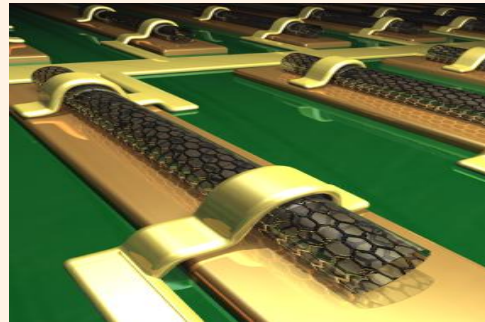
Étape 8 : métal 2 (II)

Principe et succession des taches (II)

- Dépôt du métal 2
- Dépôt de la résine photorésistante
- Développement de la résine
- Gravure du métal 2
- Élimination de la résine restante



Quelques éléments pour le futur



Éléments pour le futur (I)

Roadmap

Roadmap du SIA rédigé en 1997
(Le SIA s'est *toujours* trompé pour le futur!)

	1997	1999	2001	2003	2006	2009	2012
Technologie	0,25 μ m	0,18 μ m	0,15 μ m	0,13 μ m	90nm	70nm	50nm
Tps de propagation	17ps	13ps	11ps	10ps	7ps	5ps	3ps
Densité	3,7M/cm ²	6,2M/cm ²	10M/cm ²	18M/cm ²	39M/cm ²	84M/cm ²	180M/cm ²
Capacité DRAM	256M	1G	2G	4G	16G	64G	256G
Taille IC DRAM	170mm ²	240mm ²	270mm ²	240mm ²	480mm ²	670mm ²	950mm ²
Taille MPU chip	300mm ²	340mm ²	385mm ²	430mm ²	520mm ²	620mm ²	750mm ²
MPU bb pins	800	1000	1200	1500	2000	2600	3600
Fréquence horloge	750MHz	1,2GHZ	1,4GHZ	1,6GHZ	2,0GHZ	2,5GHZ	3GHZ
Niveau tension	1,7v	1,6v	1,3v	1,3v	1v	0,75v	0,55v
MPU max puissance	70W	90W	110W	130W	160W	170W	175W
MPU min puissance	1,2W	1,4W	1,7W	2W	2,4W	2,8W	3,3W

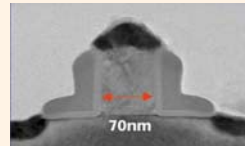
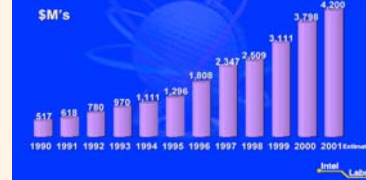
Éléments pour le futur (II)

Le développement de nouvelles technologies est très chère
Une fab : 2 à 4 Milliard \$ Pour 4-5 ans de durée de vie

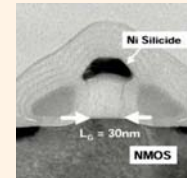
Des alliances stratégiques :

- IBM, Infinion, UMC
- ST, Phillips, Freescale (Motorola)
- IMEC: Infinion, Intel, Samsung, ST
- Others

Increasing Cost of Research & Development

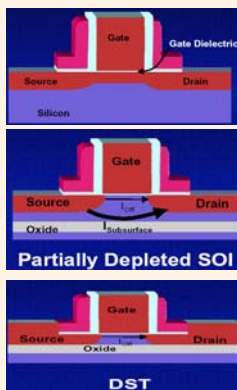


Moore's Law in 1977 predicted a 57" wafer by 2003

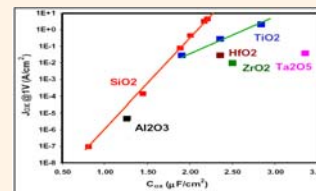
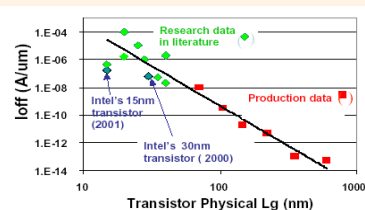


Éléments pour le futur (III)

Évolutions prévisibles (I)

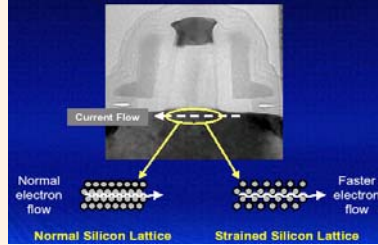


- Réduire toutes les dimensions
 - jusqu'a quand ?
- Réduire la tension d'alimentation
 - Les fuites deviennent prépondérantes
 - Utilisation du **SOI**
 - Meilleure contrôle du canal
 - Réduction des fuites
 - Réduction des capacités
- Nouveaux isolants de grille (High K) pour réduire le courant de fuites

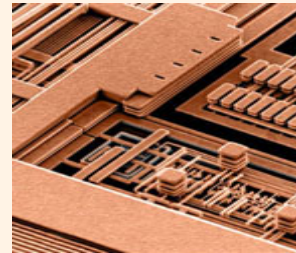




Évolutions prévisibles (II)

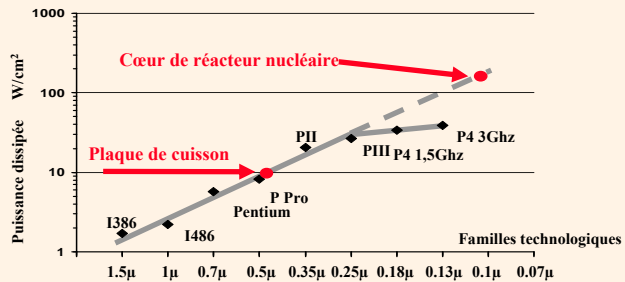
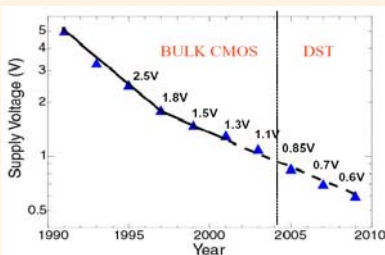
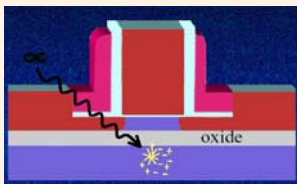


- Silicium sous stress mécanique ?
 - Augmentation mobilité de 2 – 3.
- Interconnexions cuivre
- Faible constante diélectrique (low K) pour réduire les capacité d'interconnexion (mais difficile d'abandonner le SiO₂)



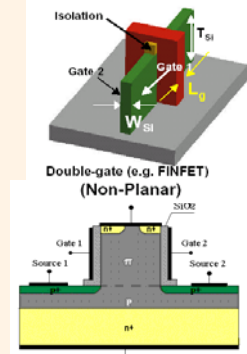
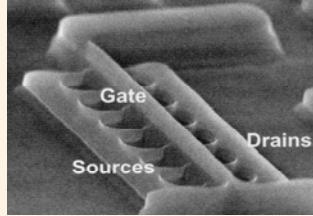
Limitations probables

- Selon la Roadmap en 2016 on sera en techno 22nm (9nm effective) ce qui donnera des puces avec:
 - 10 milliard de transistors & Une fréquence de 1 THz
- Les problèmes probables
 - Densité de puissance et Low supply voltage
 - Faible tension
 - Défauts de type cosmique (...)

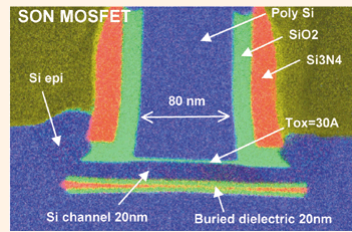
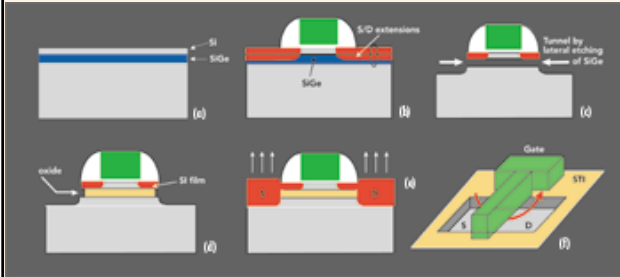


Et après ? (I)

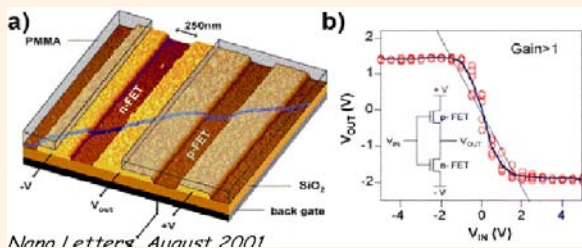
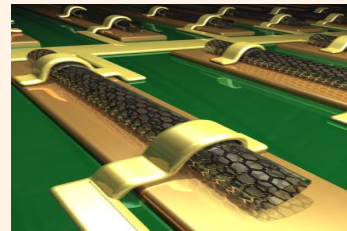
- Transistors avec structure en 3D



- Silicon On nothing

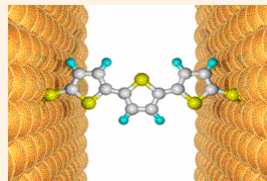


Et après ? (II)



- Nanotubes de carbone

- Electronique moléculaire





Et après ? (III)

□ Electronique Organique

