
Conception de Circuits Intégrés Analogiques

DESS Électronique

<http://www.ief.u-psud.fr/belhaire/Cours/Poly.pdf>

Éric BELHAIRE

Table des matières

1	Modèle des composants	5
1.1	Le Transistor Bipolaire	5
1.1.1	Modèle continu du transistor Bipolaire	5
1.1.2	Modèle petits-signaux du transistor Bipolaire	5
1.2	Le Transistor MOS	8
1.2.1	Modèle continu simplifié du transistor NMOS	8
1.2.2	Exemples de modèles continus élaborés du transistor NMOS	9
1.2.3	Modèles pour la simulation électrique	10
1.2.4	Modèle petits-signaux du transistor MOS	10
2	Le Bruit dans les circuits intégrés	15
2.1	Généralités et densité spectrale de bruit	15
2.2	Les sources de bruit	16
2.2.1	Bruit de grenaille (Shot Noise)	16
2.2.2	Bruit thermique (Thermal noise)	17
2.2.3	Bruit en 1/f (flicker noise)	17
2.2.4	Autres bruits	18
2.3	Bruit dans les diodes à jonction	18
2.4	Bruit dans les transistors bipolaires	18
2.5	Bruit dans les transistors MOS	19
3	Les Composants actifs et parasites en technologie MOS	23
3.1	Les capacités	23
3.2	Les résistances	24
3.3	Transistor bipolaire latéral en technologie CMOS	24
3.4	Canal et transistor parasites	24
3.5	Diodes et protections électrostatiques d'un circuit MOS	25
3.5.1	Les diodes	25
3.5.2	Les protections d'entrée électrostatiques	26
4	Les macro-blocs	29
4.1	les miroirs de courant	29
4.1.1	Les miroirs de courant	29
4.1.2	Les miroirs de courant avec cascode	29
4.2	Les amplificateurs à transconductance : OTA	30
4.3	Le folded Cascode	32
5	Le dessin de masques (Layout)	35
5.1	Les transistors MOS	35
5.2	Les transistors bipolaires latéraux	35
5.3	Règles de Conception au niveau Dessin	35
5.3.1	Distance minimum	35

5.3.2	Structure centroïde	37
5.3.3	Même orientation	37
5.3.4	Même voisinage	37
6	Exercices	41
6.1	Étude des structures Cascode	41
6.2	Filtres R-C à temps continu	42
6.3	Filtre à temps continu	44
6.3.1	Circuit Gm-C	44
6.3.2	Exemple de Filtre	44
6.3.3	Conception du transconducteur MOS	44
6.3.4	Conception d'un transducteur BiCMOS	46
6.4	Réponse en fréquence et stabilité	46
6.5	Bruit dans le transconducteur MOS	47

Chapitre 1

Modèle des composants

1.1 Le Transistor Bipolaire

1.1.1 Modèle continu du transistor Bipolaire

Les définitions des courants et des tensions pour les transistors PNP (à gauche) et NPN (à droite) sont indiquées sur la Fig. 1.6.

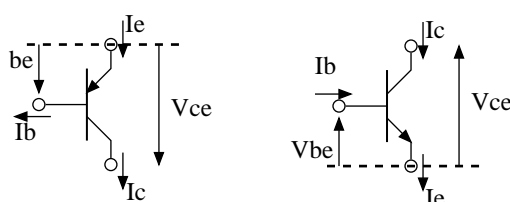


FIG. 1.1 – Définition des courants et des tensions

Le transistor bipolaire peut être modélisé par l'équation suivante :

$$I_c = I_s (\exp(V_{be}/U_T) - \exp(V_{bc}/U_T)) (1 + \frac{V_{ce}}{E_a}) \quad (1.1)$$

$$I_c = I_s \exp(V_{be}/U_T) (1 + \frac{V_{ce}}{E_a}) \quad (\text{si } V_{bc} \ll 0) \quad (1.2)$$

$$I_b = \frac{I_s}{\beta} e^{\frac{V_{be}}{U_T}} \quad (\text{si } V_{bc} \ll 0) \quad (1.3)$$

Avec $U_T = \frac{kT}{q} \approx 26 \text{ mV}$ à 300 K, ce paramètre est appelé la tension thermodynamique. I_s dépend de la technologie et est appelé courant de saturation. E_a est défini en Volt, il est appelé tension Early et traduit la dépendance en V_{ce} . β est le gain en courant du transistor bipolaire. Le gain en base-commune α est relié à β par l'expression :

$$\alpha = \frac{\beta}{1 + \beta} \quad \text{ou} \quad \beta = \frac{\alpha}{1 - \alpha} \quad (1.4)$$

La caractéristique statique $I_c = f(V_{be}, V_{ce})$ du transistor bipolaire est représentée sur la Fig. 1.2.

1.1.2 Modèle petits-signaux du transistor Bipolaire

Le modèle petits-signaux du transistor bipolaire est représenté sur la Fig. 1.5. Les résistances $r_{bb'}$, $r_{cc'}$ et $r_{ee'}$ sont respectivement les résistances d'accès à la base au collecteur et à l'émetteur du transistor bipolaire.

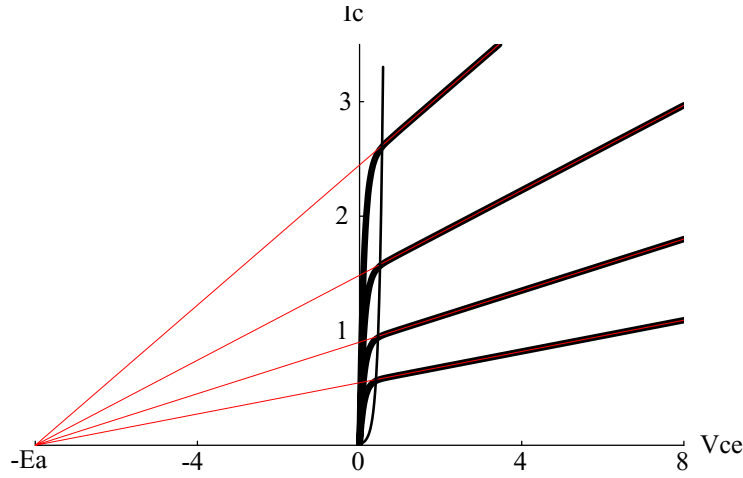


FIG. 1.2 – Caractéristique statique d'un transistor bipolaire

Les deux dernières sont généralement de valeur faible et elles peuvent souvent être négligées si le transistor ne fonctionne pas à fort courant. La résistance $r_{bb'}$ est plus importante et elle a une grande influence sur le bruit du transistor.

r_{π} et C_{π} sont respectivement la résistance et la capacité d'entrée du transistor. Le paramètre g_m (en Ω^{-1}) appelé la *transconductance* et r_0 la résistance de sortie du transistor. Ils traduisent les principales variations du courant de sortie I_c sur les variations des tensions d'entrée et de sortie. On a les relations suivantes :

$$g_m = \frac{\partial I_c}{\partial V_{be}} = \frac{I_c}{U_T} \quad (1.5)$$

$$r_0 = \frac{E_a}{I_c} = \frac{1}{\eta g_m} \quad \eta = \frac{U_T}{E_a} \quad (1.6)$$

$$r_{\pi} = \frac{\beta}{g_m} \quad (1.7)$$

Les paramètres r_{μ} et C_{μ} représentent la rétroaction du collecteur sur la base (r_{μ} est très souvent négligé). La capacité C_{μ} est égale à la capacité de jonction base-collecteur. La capacité C_{π} se décompose en la capacité de jonction base-émetteur (C_{je}) et la capacité de charge de la base C_b . On a donc :

$$C_{\pi} = C_{je} + C_b \quad \text{avec} \quad C_b = g_m \tau_f \quad (1.8)$$

où τ_f est le *temps de transit dans la base*.

La réponse en fréquence du transistor est définie à partir de son gain en courant dans la configuration émetteur avec collecteur en court-circuit [1] et elle est représentée sur la Fig. 1.3. On a :

$$\omega_t = \frac{g_m}{C_{\pi} + C_{\mu}} \quad \omega_{\beta} = \frac{\omega_t}{\beta} \quad (1.9)$$

$$\frac{1}{\omega_t} = \tau_f + \frac{C_{je}}{g_m} + \frac{C_{\mu}}{g_m} \quad (1.10)$$

La transconductance g_m étant proportionnelle au courant de collecteur, la fréquence $f_t = \omega_t/2\pi$ est limitée par les capacités à faible courant et tend vers $1/2\pi\tau_f$. Ce comportement est illustré sur la Fig.1.4, qui est la réponse typique d'un transistor npn. La diminution de f_t à fort courant n'est pas prévue par ce modèle simple, elle est due à une augmentation de τ_f causée par la forte injection et l'effet Kirk à fort courant.

Les valeurs des différents paramètres du modèle sont rappelées sur la dernière colonne du tableau 1.1 de la page 11.

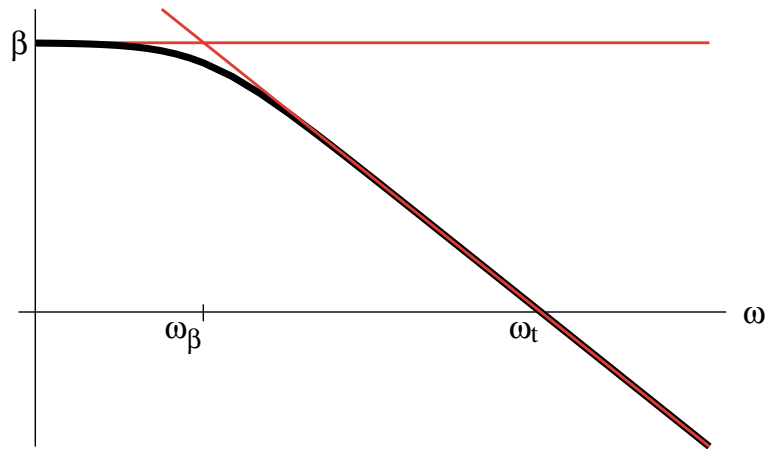


FIG. 1.3 – Réponse en fréquence du transistor

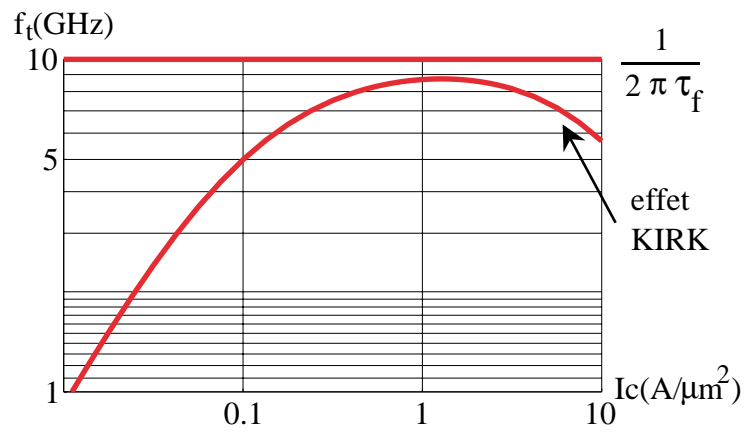


FIG. 1.4 – Courbe typique de f_t en fonction de I_c pour un transistor *npn*

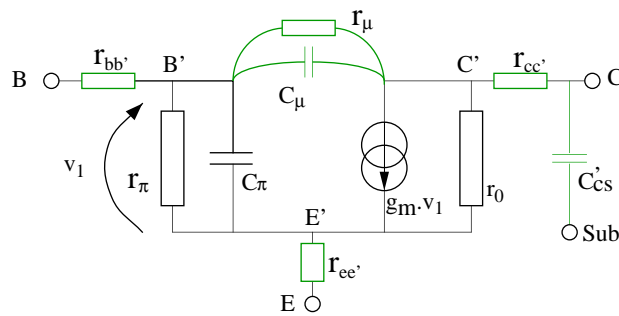


FIG. 1.5 – Modèle petits-sinaux du transistor bipolaire

1.2 Le Transistor MOS

1.2.1 Modèle continu simplifié du transistor NMOS

La définition des courants et des tensions pour les transistors NMOS et PMOS est indiquée sur la Fig. 1.6.

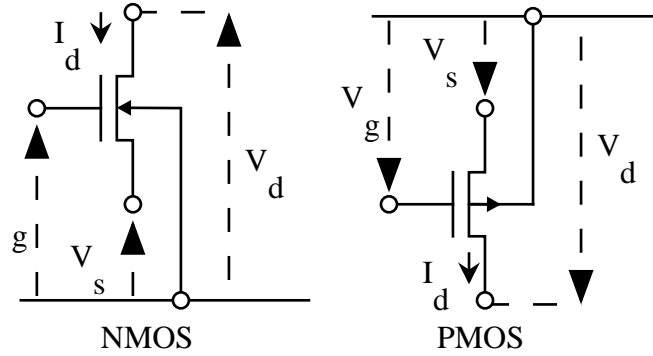


FIG. 1.6 – Définition des courants et des tensions

Le transistor MOS a deux régimes principaux de fonctionnement :

le régime de conduction pour $V_{ds} < V_{gs} - V_t$ (ou $V_d < V_g - V_t$)

On utilise deux formes pour les équations de ce régime. La forme symétrique est utilisée lorsque l'on veut conserver la forme symétrique du transistor MOS.

Première forme

$$I_D = 2K_n[(V_{gs} - V_t)V_{ds} - \frac{V_{ds}^2}{2}] \quad (1.11)$$

avec :

$$K_n = \frac{\mu_n C_{ox} W}{2 L} \quad (1.12)$$

Forme symétrique

$$I_D = 2K_n[(V_g - V_t)(V_d - V_s) + \frac{V_s^2}{2} - \frac{V_d^2}{2}] \quad (1.13)$$

On peut aussi écrire cette équation :

$$I_D = 2K_n(V_g - V_t - \frac{V_d + V_s}{2})(V_d - V_s) \quad (1.14)$$

le régime de saturation pour $V_{ds} > V_{gs} - V_t$ (ou $V_d > V_g - V_t$)

$$I_D = K_n(V_{gs} - V_t)^2 \quad (1.15)$$

ce régime est aussi appelé régime source de courant.

Dans ce modèle, un certain nombre d'effets ne sont pas pris en compte et en particulier :

- le régime de faible inversion ;
- les effets de canal court et canal étroit et en particulier l'effet de modulation de longueur de canal ;
- l'effet de substrat.
- l'effet de réduction de la mobilité dans le canal à fort champ.

Pour prendre en compte l'effet de modulation de longueur de canal, on peut remplacer l'Eq. 1.15 par l'équation suivante :

$$I_D = K_n(V_{gs} - V_t)^2(1 + \frac{V_{ds}}{E_a}) \quad (1.16)$$

où E_a est une tension souvent appelée tension Early par référence à l'effet similaire dans les transistors bipolaires. Cette tension dépend de la longueur L du transistor mais cette dépendance est complexe pour

les faibles longueurs de grille. Au premier ordre et pour simplifier, E_a peut être considérée proportionnelle à la longueur de grille.

L'effet de substrat se traduit par une dépendance de la tension de seuil avec la tension de source V_s (ou V_{sb}).

L'effet de réduction de la mobilité à fort champ se traduit par une dépendance de la mobilité en fonction de V_{gs} . La caractéristique de transistor en saturation peut ainsi s'exprimer de la forme [2] :

$$I_D = \frac{K_n}{1 + \theta(V_{gs} - V_t)} (V_{gs} - V_t)^2 \quad (1.17)$$

où θ est le paramètre de réduction de la mobilité effective et peut s'exprimer de la forme :

$$\theta \approx \theta_0 + \frac{\mu_n C_{ox}}{L} L_{DS} R_{SQ} + \frac{\mu_n}{L v_{max}} \quad (1.18)$$

L'équation 1.17 nous montre que à V_{gs} élevé la caractéristique $I_D = f(V_{gs})$ n'est plus quadratique mais linéaire.

1.2.2 Exemples de modèles continus élaborés du transistor NMOS

Modèles en forte inversion

A/ Modèle 1 (de type SPICE)

Dans ce modèle toutes les tensions sont référencées par rapport à la source du transistor.

le régime de conduction pour $V_{ds} < \frac{V_{gs} - V_t}{1 + \delta}$

$$I_D = 2K_n [V_{gs} - V_t - \frac{1 + \delta}{2} V_{ds}] V_{ds} \quad (1.19)$$

le régime de saturation pour $V_{ds} > \frac{V_{gs} - V_t}{1 + \delta}$

$$I_D = \frac{K_n}{1 + \delta} (V_{gs} - V_t)^2 \left(1 + \frac{V_{ds}}{E_a}\right) \quad (1.20)$$

V_t est la tension de seuil de transistor et elle varie en fonction de la tension V_{bs} entre le substrat et la source (qui est négative) comme :

$$V_t = V_{t0} + \gamma (\sqrt{\Psi_0 - V_{bs}} - \sqrt{\Psi_0}) \quad (1.21)$$

Ψ_0 est une approximation du potentiel de surface à l'équilibre et γ est le paramètre d'effet de substrat. V_{t0} est la tension de seuil du transistor à tension de source nulle.

B/ Modèle 2 (de type EKV)

Dans ce modèle toutes les tensions sont référencées par rapport à la source du transistor.

le régime de conduction pour $V_d < \frac{V_g - V_{t0}}{n} = V_p$

$$I_D = 2K_n [V_g - V_{t0} - \frac{n}{2} (V_d + V_s)] (V_d - V_s) \quad (1.22)$$

le régime de saturation pour $V_d > \frac{V_g - V_{t0}}{n} = V_p$

$$I_D = \frac{K_n}{n} (V_g - V_{t0} - nV_s)^2 \left(1 + \frac{V_{ds}}{E_a}\right) \quad (1.23)$$

V_{t0} est la tension de seuil du transistor à tension de source nulle. Le paramètre n traduit l'effet de substrat et vaut :

$$n = 1 + \frac{\gamma}{2\sqrt{\Psi_0 + V_p}} \quad (1.24)$$

D'où :

$$\frac{1}{n} = 1 - \frac{\gamma}{2\sqrt{V_g - V_{t0} + \left(\frac{\gamma}{2} + \sqrt{\Psi_0}\right)^2}} \quad (1.25)$$

n varie donc en fonction de V_g entre 1 et 2, mais il vaut environ 1,5 pour $V_g = V_{t0}$. Ψ_0 est une approximation du potentiel de surface à l'équilibre et γ est le paramètre d'effet de substrat.

Modèle en régime de faible inversion

La courant limite entre les régimes de forte et faible inversion peut être défini comme étant :

$$I_s = 2n\mu_n C_{ox} \frac{W}{L} U_T^2 \quad (1.26)$$

Avec $U_T = \frac{kT}{q} \approx 26$ mV à 300 K, est une tension dite thermodynamique.

Un modèle général du courant de collecteur peut s'écrire :

$$I_D = I_{ss} e^{\frac{V_g}{nU_T}} \left(e^{-\frac{V_s}{U_T}} - e^{-\frac{V_d}{U_T}} \right) \left(1 + \frac{V_{ds}}{E_a} \right) \quad (1.27)$$

Avec

$$I_{ss} = I_s e^{\frac{-V_{t0}}{nU_T}} \quad (1.28)$$

Cette équation devient si $V_{ds} > qq U_T$:

$$I_D \approx I_{ss} e^{\frac{V_g - nV_s}{nU_T}} \left(1 + \frac{V_{ds}}{E_a} \right) \quad (1.29)$$

1.2.3 Modèles pour la simulation électrique

Des équations beaucoup plus complètes que celles-ci sont nécessaire pour décrire le fonctionnement de transistor MOS dont la taille peut être quelconque. En particulier, les transistors de petite taille ont un fonctionnement qui s'écarte beaucoup de ces équations et les simulateurs électriques incluent des modèles beaucoup plus complets. Les modèles BSIM3v3, MOS9 et EKV sont des modèles modernes qui peuvent être utilisés pour des transistors dont la longueur L est supérieure à environ $0.35\mu\text{m}$ et ont été implantés dans les versions récentes des simulateurs électriques. Parmi les simulateurs électriques les plus populaires on peut citer : HSPICE, ELDO, PSPICE, SABER, SPECTRE...

1.2.4 Modèle petits-signaux du transistor MOS

Un modèle petits-signaux du transistor MOS dérivé du modèle statique 2 du paragraphe 1.2.2 est représenté sur la Fig.1.7. La valeur des différents paramètres est indiquée dans le tableau 1.1. Le paramètre g_m est appelé la *transconductance* du transistor. Le paramètre g_{ms} est appelé la *transconductance de source* ($g_{ms} > g_m$).

Un modèle petit signaux équivalent peut être dérivé du modèle statique 1 du paragraphe 1.2.2. Dans ce cas, les deux sources de courant contrôlée deviennent $g_m \cdot v_{gs}$ et $g_{mb} \cdot v_{bs}$. Le paramètre g_{mb} est alors appelé la *transconductance de substrat* ($g_{mb} < g_m$).

Les transconductances de source et de substrat sont reliées par la relation :

$$g_{mb} = \frac{n-1}{n} g_{ms}$$

Dans le cas où la source du transistor est connectée au substrat, le schéma équivalent se réduit à celui de la Fig. 1.8. Ce schéma équivalent peut aussi être utilisé si l'on néglige l'effet de substrat. La capacité C'_{gs} est appelée la capacité d'entrée du transistor. C'est la plus grande des capacités pour un transistor en saturation et ne sera jamais négligée. On peut voir que ce schéma petits-signaux est très similaire à celui du transistor bipolaire de la Fig. 1.5. Les techniques de conception utilisées avec les transistors bipolaires

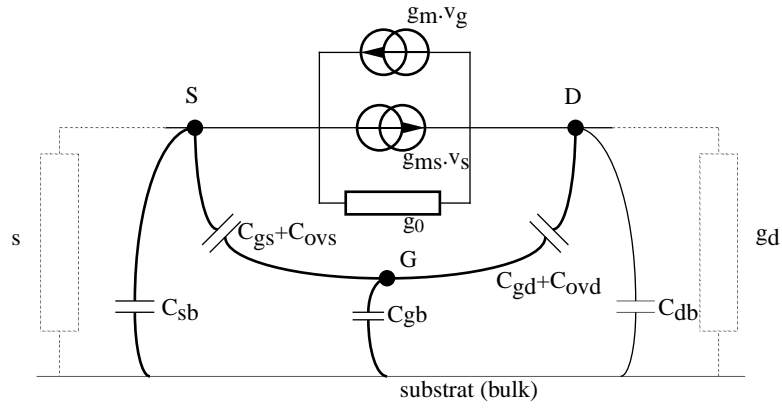


FIG. 1.7 – Modèle petits-signaux du transistor MOS

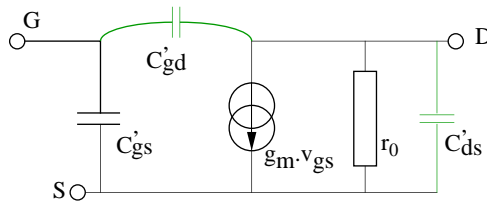


FIG. 1.8 – Modèle petits-signaux du transistor MOS avec source au substrat

TAB. 1.1 – paramètres petits-signaux des transistors MOS et Bipolaires

	Transistor		
	MOSFET		Bipolaire
	forte inversion	faible inversion	
g_m	$\frac{2K_n}{1+\delta}(V_{gs} - V_t)$ ou $2\sqrt{\frac{K_n I_D}{n}}$	$\frac{I_D}{nU_T}$	$\frac{I_c}{U_T}$
g_{ms}	ng_m	ng_m	g_m
$g_0 = r_o^{-1}$	I_D/E_a	I_D/E_a	I_c/E_a
$A_0 = g_m r_0$	$\frac{2E_a}{V_{gs}-V_t}$ ou $2E_a\sqrt{\frac{K_n}{nI_D}}$	$\frac{E_a}{nU_T}$	$\frac{E_a}{U_T}$

peuvent donc être en grande partie transposées avec des transistors MOS. Et l'on peut aisément comparer les avantages et inconvénients des deux technologies.

La Figure 1.9 représente g_0 en fonction de I_d pour un transistor MOS en forte inversion de largeur $10 \mu\text{m}$. On voit sur cette Figure que la relation de linéarité est vraie au premier ordre et que E_a est variable en fonction de la longueur du transistor. La Figure 1.10 représente la résistance de sortie r_0 en fonction de la longueur du transistor. Cette dépendance est linéaire au premier ordre mais l'on observe une diminution importante de la résistance de sortie par rapport au modèle linéaire pour des longueurs de grille inférieures à $2 \mu\text{m}$

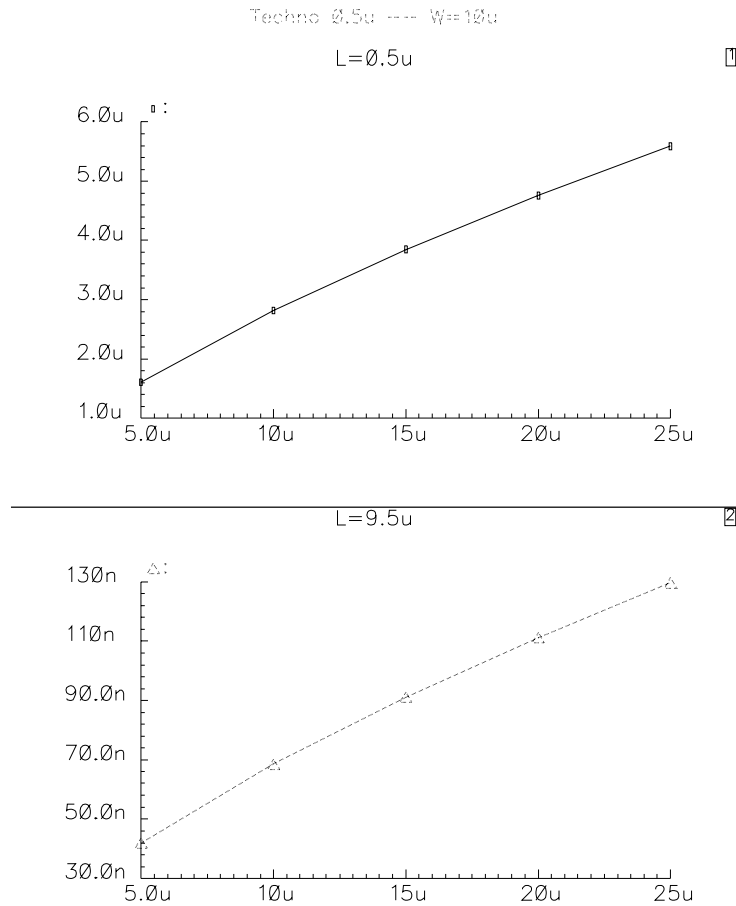
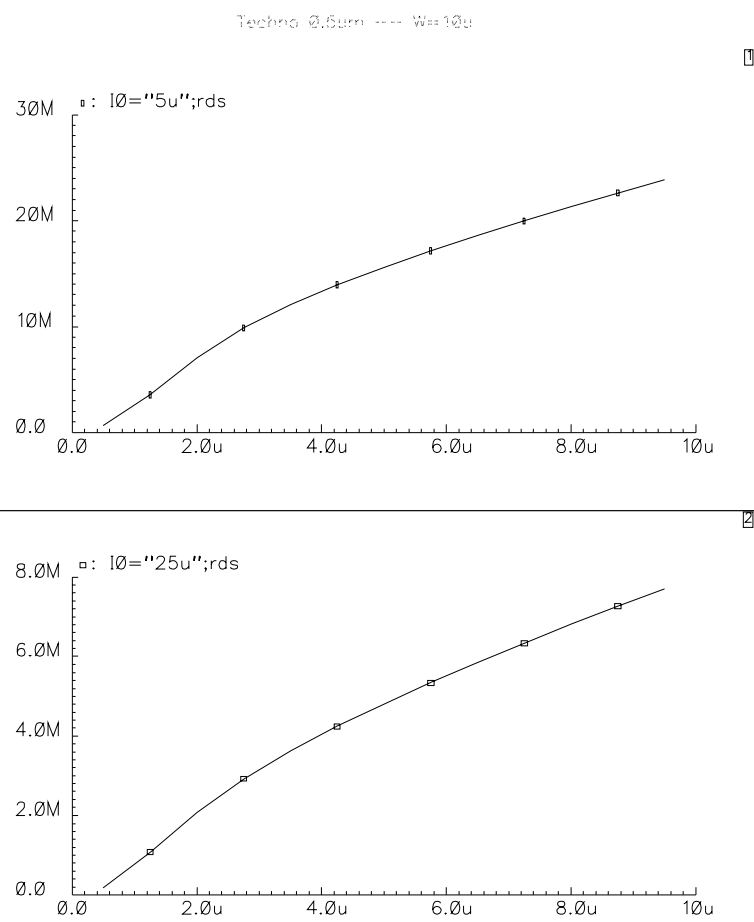


FIG. 1.9 – g_0 en fonction de I_d pour des transistors de longueur $0.5 \mu\text{m}$ et $9.5 \mu\text{m}$

FIG. 1.10 – r_0 en fonction de la longueur du transistor pour des courants I_d de $5 \mu\text{A}$ et $25 \mu\text{A}$.

Chapitre 2

Le Bruit dans les circuits intégrés

2.1 Généralités et densité spectrale de bruit

$$\overline{i^2} = S(f) \cdot \Delta f$$

$S(f)$ =densité spectrale de bruit

$$i = \left[\int_{f_1}^{f_2} S(f) df \right]^{1/2}$$

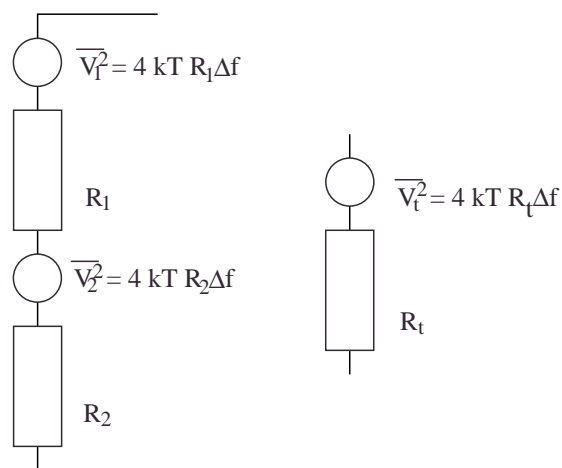
Sur une largeur de bande Δf autour de f , on a :

$$i = \sqrt{S(f) \cdot \Delta f}$$

On en déduit donc que :

- i est une petite sinusoïde ;
- les calculs de la sortie d'un amplificateur en fonction du bruit peuvent se faire comme habituellement.

Si on a plusieurs sources :



à l'instant t :

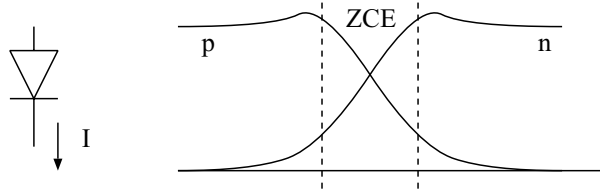
$$\begin{aligned} V_T &= V_1 + V_2 \\ \overline{V_T^2} &= \overline{[V_1 + V_2]^2} = \overline{V_1^2} + \overline{V_2^2} + 2\overline{V_1 V_2} \end{aligned}$$

V_1 et V_2 sont indépendants donc $\overline{V_1 V_2} = 0$, soit :

$$\begin{aligned}\overline{V_T^2} &= 4kT(R_1 + R_2)\Delta f \\ \overline{V_T^2} &= 4kT R_T \Delta f\end{aligned}$$

2.2 Les sources de bruit

2.2.1 Bruit de grenaille (Shot Noise)



Le bruit de grenaille est présent dans les jonctions. En effet, les électrons et les trous passent la barrière de potentiel de manière aléatoire et le courant observé dans la jonction est fait de pics de courant. Le courant I dans une diode observé sur une bande de fréquence large est semblable à celui de la Fig. 2.1.

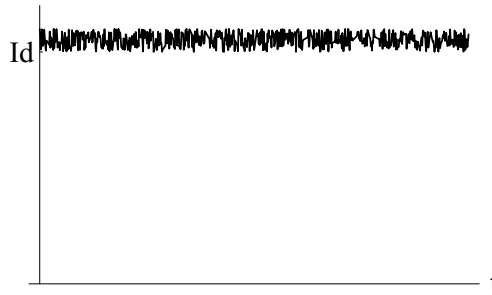


FIG. 2.1 – Bruit dans une photodiode.

Le bruit se superpose au courant moyen I_d . On a donc :

$$\begin{aligned}\overline{i^2} &= \overline{(I - I_d)^2} \\ &= \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T (I - I_D)^2 dt \\ i &= \sqrt{\overline{i^2}} = \text{val. rms}\end{aligned}$$

$$\overline{i^2} = S(f) \cdot \Delta f$$

où Δf est la largeur de bande de mesure.

$S(f) = \frac{\overline{i^2}}{\Delta f} = 2qI_D$ est indépendant de la fréquence \Rightarrow bruit blanc.

Le bruit de grenaille est blanc jusqu'à quelques dizaines de GHz (cette fréquence maximale est liée au temps de transit dans la jonction). La fonction de distribution du courant est une gaussienne de d'écart type $\sigma = \sqrt{2qI_D \Delta f}$. La probabilité du courant est donc représentée sur la Fig. 2.2.

On remarque que $I_D = 0 \Rightarrow \overline{i^2} = 0$, il n'y a donc pas de sources de bruit à courant de polarisation nulle. On remarque aussi que la valeur relative du bruit par rapport au courant de polarisation (i/I_D) est

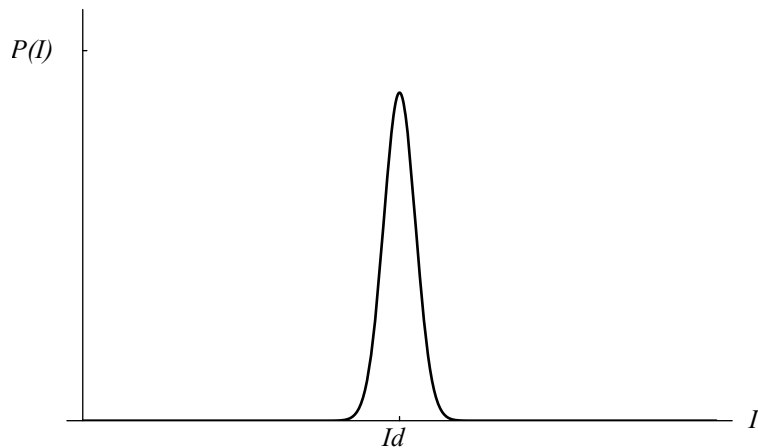


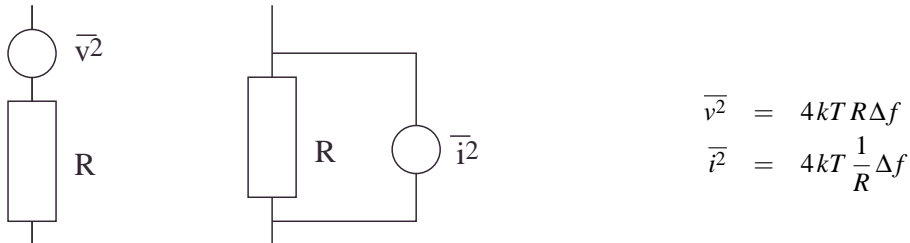
FIG. 2.2 – Probabilité du courant dans la diode.

inversement proportionnel à $\sqrt{I_D}$, cette valeur relative diminue donc si I_D augmente. Cette propriété est caractéristique des processus poissonniens. C'est en effet un processus de Poisson qui décrit la statistique des charges franchissant la barrière de potentiel.

Application Numérique : $\Delta f = 1\text{MHz}$, $I_D = 1\text{mA} \Rightarrow i = 18\text{nA rms}$.

2.2.2 Bruit thermique (Thermal noise)

C'est le bruit dans une résistance :



$4kT = 1.66 \times 10^{-20} \text{V.C}$ à 300°K .

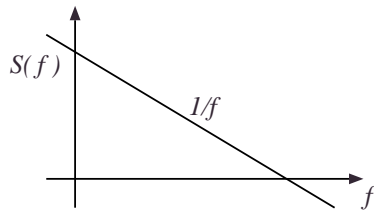
Application Numérique : $R=1\text{ k}\Omega$, $T = 300^\circ\text{K} \Rightarrow v = 4\text{nV}/\sqrt{\text{Hz}}$

On remarque que :

- $T = 0 \Rightarrow \overline{i^2} = 0$ et $\overline{v^2} = 0$, pas de bruit à $T = 0$;
- Le bruit ne dépend pas de $I \Rightarrow$ Le bruit est présent à courant nul, contrairement au bruit de grenaille.
- Le bruit est blanc jusqu'à environ 10^{13} Hz (cette fréquence maximale est liée au temps de libre parcours moyen des électrons dans le matériau).

2.2.3 Bruit en 1/f (flicker noise)

L'origine de ce bruit est variable. Il est dû à la contamination des cristaux et des surfaces, dans lesquelles se produisent des phénomènes de piégeages et libérations de charges. Les constantes de temps de ces processus sont telles que ce bruit est surtout présent à basse fréquence. La densité spectrale de ce bruit suit la caractéristique suivante :



$$S(f) = K_1 \frac{I^a}{f^b}$$

où

- I courant dans le composant ;
- a coefficient compris entre 0.5 et 2 ;
- b coefficient proche de 1.

2.2.4 Autres bruits

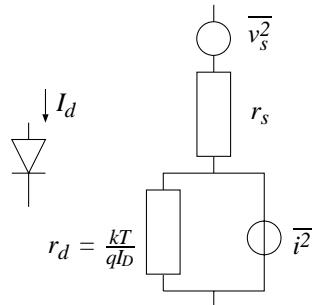
- bruit de popcorn : basse fréquence, négligeable dans les circuits intégrés
- bruit d'avalanche (ex : Zener) : il est rare d'avoir des composants en avalanche dans les circuits intégrés

2.3 Bruit dans les diodes à jonction

résistance série d'accès \Rightarrow bruit thermique

jonction p-n \Rightarrow bruit de grenaille

crystal \Rightarrow bruit $1/f$ combiné avec celui de grenaille



$$\overline{v_s^2} = 4kT r_s \Delta f$$

$$\overline{i^2} = 2q(I_d + 2I_s) \Delta f + K \frac{I_d^a}{f} \Delta f$$

2.4 Bruit dans les transistors bipolaires

Le bruit dans un transistor bipolaire est composé des bruits suivants représentés sur le schéma équivalent petits-sinaux de la Fig. 2.3 :

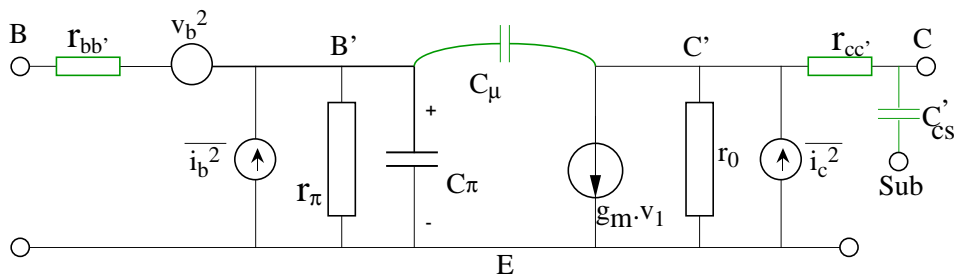


FIG. 2.3 – schéma petits signaux complet du transistor bipolaire

jonction Base-Collecteur \Rightarrow bruit de grenaille : $\overline{i_c^2}$

Base – courants de recombinaison dans la base et d'injection dans le collecteur et l'émetteur \Rightarrow bruit de grenaille : $\overline{i_b^2}$

– résistance d'accès à la base \Rightarrow bruit thermique : $\overline{v_b^2}$

Émetteur et Collecteur bruit thermique négligeable

crystal \Rightarrow bruit 1/f (dans la jonction B-E) combiné avec $\overline{i_b^2}$

$$\overline{v_b^2} = 4kT r_b \Delta f$$

$$\overline{i_c^2} = 2qI_C \Delta f$$

$$\overline{i_b^2} = 2qI_B \Delta f + K_1 \frac{I_B}{f} \Delta f$$

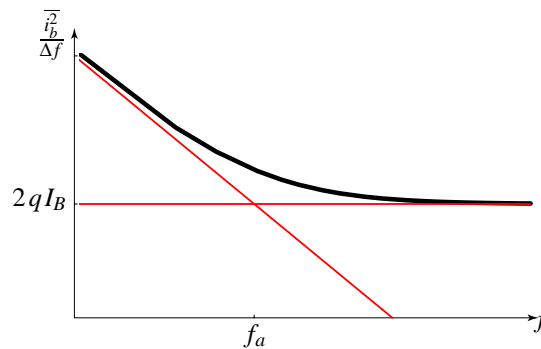


FIG. 2.4 – Bruit dans la base du transistor bipolaire

Le composante de bruit $\overline{i_b^2}/\Delta f$ est représentée sur la Fig. 2.4. A basse fréquence, la composante en $1/f$ domine alors qu'à haute fréquence, le bruit de grenaille domine et le bruit total est blanc. La fréquence pour laquelle la composante en $1/f$ égale le bruit de grenaille est appelée *fréquence de transition du bruit* et elle est notée f_a sur la Fig. 2.4. Cette fréquence dépend fortement de la qualité de la technologie et elle est généralement comprise entre 10 Hz et 1 MHz. La valeur de cette fréquence suffit à évaluer la quantité de bruit en $1/f$ générée par une technologie. Plus cette valeur est faible moins il y a de bruit en $1/f$ et meilleure est la technologie.

2.5 Bruit dans les transistors MOS

1. Le bruit thermique dans le canal du transistor MOS est prédominant en HF ;
2. Le bruit d'interface silicium-oxyde est prédominant en BF.

Le bruit thermique dans le canal induit des fluctuations de courant de drain. Ce bruit peut être modélisé par une source de courant entre source et drain ($\overline{i_d^2}$ sur la Fig.2.5) ayant une densité spectrale proportionnelle à la charge total dans le canal suivant l'expression [3] :

$$S_I = 4kT \frac{\mu}{L^2} (-Q_{ch}) = 4kT G_{Nth}$$

G_{Nth} est la conductance de bruit du transistor. En régime de saturation, on peut aussi représenter le bruit comme une source de tension sur la grille ayant une résistance équivalente de bruit donnée par :

$$R_{Nth} = \frac{G_{Nth}}{g_m^2}$$

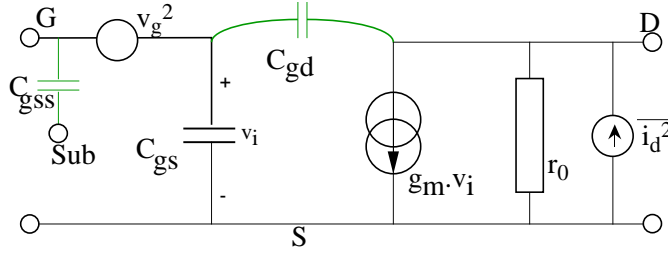


FIG. 2.5 – schéma équivalent du MOS avec sources de bruit

En utilisant le modèle EKV pour le transistor MOS présenté page 9, on peut écrire pour un transistor MOS à canal long et en forte inversion.

$$G_{Nth-forte} = \begin{cases} ng_m & \text{si } V_d = V_s \\ \frac{2}{3} ng_m & \text{si } V_d \gg V_s \quad (\text{saturation}) \end{cases}$$

$$R_{Nth} = \frac{n}{2 \cdot g_m} \quad (\text{saturation})$$

De même, en faible inversion on a :

$$G_{Nth-forte} = \begin{cases} ng_m & \text{si } V_d = V_s \\ \frac{1}{2} ng_m & \text{si } V_d \gg V_s \quad (\text{saturation}) \end{cases}$$

$$R_{Nth} = \frac{1}{2} \cdot \frac{n}{g_m} \quad (\text{saturation})$$

Le bruit d'interface (en $1/f$) est modélisé par une source de bruit en tension égale à :

$$\overline{v_g^2} = 4kT \frac{\rho}{f C_{ox}^2 WL} \Delta f$$

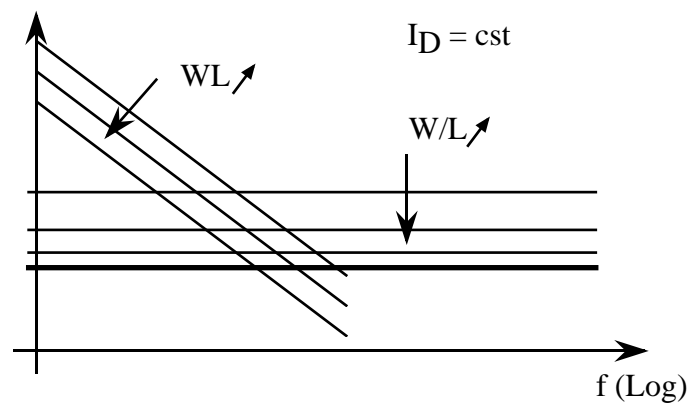
En régime de saturation on peut calculer la densité spectrale de bruit ramenée en entrée :

$$S_T = \frac{\overline{v_b^2}}{\Delta f} + \frac{\overline{i_d^2}}{\Delta f} \frac{1}{g_m^2}$$

$$S_T = 4kT \left(\frac{\rho}{f C_{ox}^2 WL} + \frac{\gamma}{g_m} \right)$$

Pour un transistor à canal long, le paramètre γ vaut $2.n/3$ et est donc proche de un. Pour un transistor à canal court γ peut être plus grand que 1 et atteindre 3 ou 4 à cause d'un excès de bruit dû aux porteurs chauds [4].

La Fig.2.6 présente cette expression et les évolutions de ce bruit avec les largeurs et longueur du transistor. Lorsque sa surface de grille augmente (produit WL), le bruit en $1/f$ diminue. Lorsque le rapport W/L augmente, la transconductance g_m du transistor augmente (voir le tableau 1.1 page 11 et l'Eq. 1.12 page 8).

FIG. 2.6 – Bruit en entrée du MOS à I_D constant

Chapitre 3

Les Composants actifs et parasites en technologie MOS

3.1 Les capacités

Une capacité réalisée avec un oxyde de grille et représentée sur la Fig. 3.1. Le caisson dans lequel est inclus cette capacité est polarisé de telle sorte que cette capacité MOS travaille en régime d'accumulation afin d'avoir une plage dynamique la plus grande possible. La zone de non-linéarité qui apparaît dans la zone de déplétion est repoussée ainsi en dehors de gamme de tension d'utilisation. La gamme de tension d'utilisation étant définie par les tensions d'alimentation du circuit.

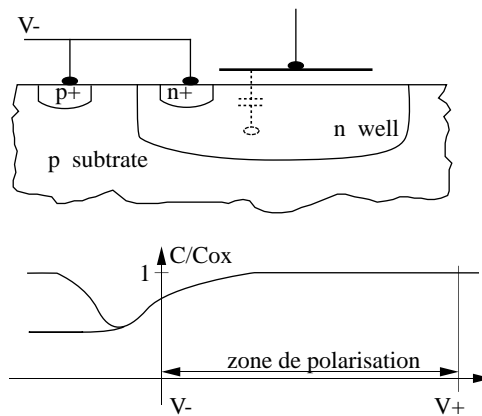


FIG. 3.1 – Capacité avec oxyde de grille

Les autres capacités réalisables dans ces technologies sont :

- les capacités réalisées avec des jonctions polarisées en inverse :
 - diffusion/substrat
 - diffusion/caisson
 - caisson/substrat
- les capacités extérieures au substrat :
 - métal-oxyde-métal
 - poly-oxyde-métal
 - poly-oxyde-poly : ces capacités ne sont disponibles que sur des technologies analogiques disposant de deux niveaux de polysilicium. L'oxyde entre ces niveaux est alors de faible épaisseur et de très bonne qualité.

3.2 Les résistances

Sur les technologies intégrés les résistances sont définies par une grande appelée "résistance carrée". Les épaisseurs des différents niveaux n'étant pas contrôlables par le concepteur de circuit, cette résistance est définie par la résistance d'un niveau de forme carrée ($W=L$), voir Fig 3.2.

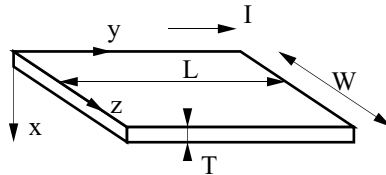


FIG. 3.2 – résistance d'un niveau

Tous les niveaux technologiques sont résistifs. Les technologies bipolaires et BiCMOS disposent du niveau de diffusion de base dont le dopage est modéré qui peut être utilisé pour la réalisation de résistances de bonne linéarité et avec une bonne précision. Les technologies CMOS ne disposent pas d'un tel niveau à dopage modéré. Aussi, ne peuvent être utilisés :

- le polysilicium et les niveaux de diffusion qui sont faiblement résistifs et conduisent donc à des résistances occupant une grande surface et avec une capacité parasite importante.
- les caissons qui sont très résistifs mais donc la section efficace dépend de la tension entre le caisson et le substrat. Ceci conduit à des résistances non linéaires

Dans les technologies MOS, on peut aussi utiliser des transistors MOS comme résistances, voir la Fig 3.3. Dans ce cas, le transistor est utilisé dans son régime de conduction et la non-linéarité de la résistance doit souvent être compensée. Ceci se fait en faisant fonctionner le transistor en régime différentiel ou bien en compensant cette non-linéarité par un ou plusieurs autres transistors.

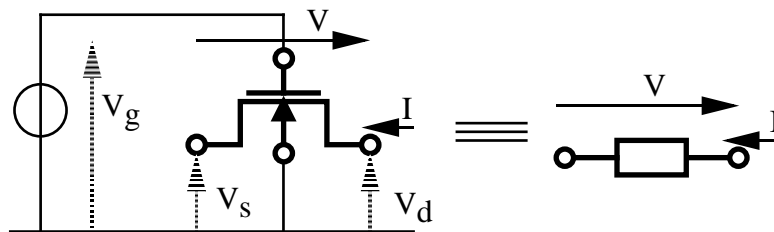


FIG. 3.3 – Transistor utilisé comme résistance

3.3 Transistor bipolaire latéral en technologie CMOS

Même en technologie MOS, un transistor bipolaire est réalisable en utilisant le caisson comme base. Le principe d'un tel transistor est présenté sur la Fig. 3.4. Sur une technologie à substrat de type p, un transistor *pnp* latéral et un transistor *pnp* vertical (dont le collecteur est le substrat, c'est-à-dire connecté à la masse) sont réalisables. Sur certaines technologies BiCMOS les transistors *pnp* sont réalisés ainsi (cf. la technologie AMS).

3.4 Canal et transistor parasites

Si l'on imagine un métal croisant deux diffusions, on retrouve la structure d'un transistor, voir la Fig. 3.5. L'oxyde d'isolation de grille est dans ce cas un oxyde de champ, c'est-à-dire un oxyde épais. La tension de seuil d'un tel transistor sera donc élevée. Cependant, dans le cas de circuit alimentés à haute

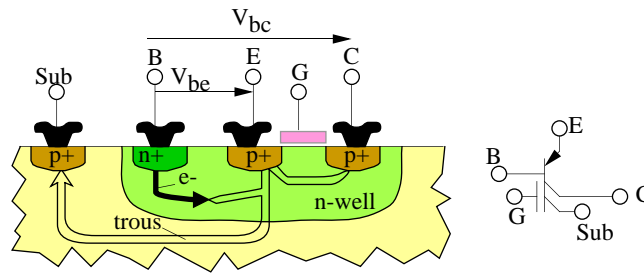


FIG. 3.4 – Le principe du transistor bipolaire latéral

tension (par exemple 30 V), un canal peut apparaître entre les deux diffusions donnant naissance à un transistor parasite (car non prévu sur le schéma de départ), voir la Fig. 3.5.

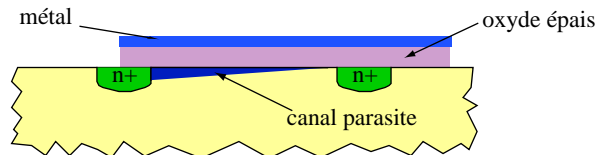


FIG. 3.5 – La création d'un transistor parasite

Plusieurs techniques existent pour se prémunir de cet effet. On peut dessiner une diffusion de type différent au milieu du canal où cet effet peut apparaître comme illustré sur la Fig. 3.6. On peut aussi faire un écran avec du polysilicium entre la grille (le métal) et le canal virtuel comme illustré sur la Fig. 3.7.

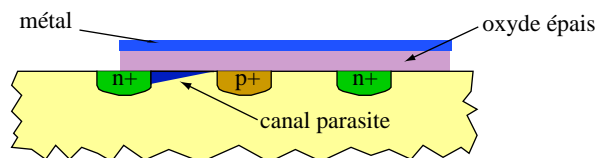


FIG. 3.6 – Protection par stoppeur de canal

3.5 Diodes et protections électrostatiques d'un circuit MOS

3.5.1 Les diodes

Des diodes sont réalisables dans technologies bipolaires et BiCMOS de manière évidente avec les jonctions base-émetteur et base-collecteur des transistors bipolaires.

Dans les technologies MOS, les diffusions sur substrat forment des diodes avec un des terminaux connecté au substrat. Ces diodes peuvent être utilisées comme diodes de protection électrostatique des entrées du circuit intégré. Les diodes réalisées avec une diffusion sur substrat telles que représentées sur le haut de la Fig. 3.8 ont une tension de claquage élevée (par exemple 30 V). Les diodes réalisées entre deux diffusions telles que représentées sur le bas de la Fig. 3.8 ont une tension de claquage plus faible car les deux dopants sont plus concentrés (par exemple 7 V).

Sur les technologies MOS standards, on ne peut pas réaliser de diodes flottantes (dont aucun des terminaux n'est relié aux alimentations). En effet, une diode réalisée avec une diffusion dans un caisson ne se comporte pas comme une diode mais comme un transistor bipolaire vertical, le substrat étant le collecteur (voir la Fig. 3.9).

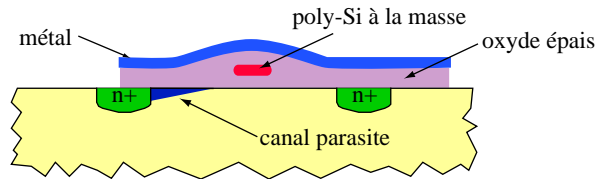


FIG. 3.7 – Protection par écran

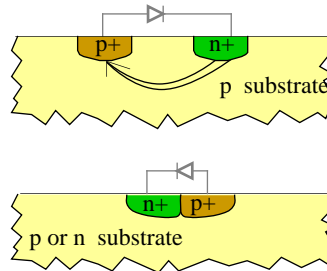


FIG. 3.8 – Les diodes à jonction sur substrat

Sur certaines technologies CMOS, il y a la possibilité de faire des diodes flottantes avec des jonctions sur du polysilicium (voir la Fig. 3.10). Dans ce cas le dopage du polysilicium peut être contrôlé par le concepteur. Ceci rend possible la réalisation de certains montages : doubleurs de tension, ponts de diodes, ...

3.5.2 Les protections d'entrée électrostatiques

Les protections d'entrée les plus simples sur les technologies MOS utilisent une seule diode. Le cas d'une protection sur un substrat de type p est représenté sur la Fig. 3.11. Si, la tension du plot devient inférieure à la tension de substrat, la diode passe en direct. Si, la tension de devient supérieure à la tension de substrat augmentée de la tension de claquage de la diode, la diode devient faible impédance. Ainsi, la protection du circuit intégré est assurée (sommairement).

Afin d'améliorer un peu la protection vers les tensions positives et éviter le claquage de la diode. On peut utiliser un transistor construit avec une grille en métal sur de l'oxyde épais (voir l'explication de la Section 3.4). La grille de ce transistor est connectée à son drain dans une structure communément appelée "transistor monté en diode", voir la Fig. 3.12. La protection contre des tensions inférieures à la tension d'alimentation négative est faite par la diode drain/substrat comme dans la structure précédente de la Fig. 3.11.

Les protections d'entrée présentées sur les Fig. 3.12 et 3.11 sont utilisées sur des technologies NMOS. Sur les technologies MOS complémentaires (CMOS), on peut disposer du transistor bipolaire vertical de la Fig. 3.9 pour assurer la protection contre des tensions supérieures à la tension d'alimentation.

Sur une technologie à substrat dopé n, le transistor fait la protection contre les tensions élevées négatives et la diode contre tensions élevées positives. Une telle protection est représentée sur la Fig. 3.13. Une résistance en polysilicium est ajoutée en série avec le plot pour améliorer encore cette protection, en limitant

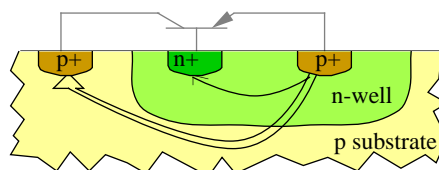


FIG. 3.9 – Transistor vertical

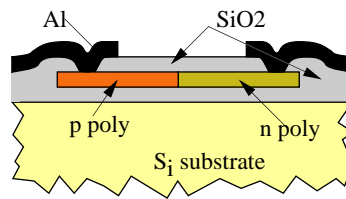


FIG. 3.10 – Diodes en polysilicium

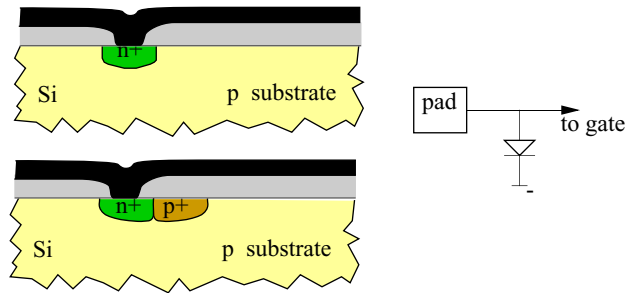


FIG. 3.11 – Protection d'entrée à l'aide d'une seule diode

le courant de décharge.

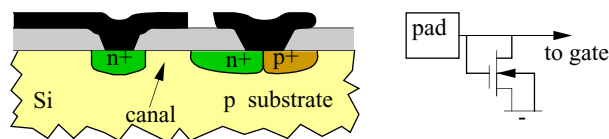


FIG. 3.12 – Protection d'entrée à l'aide d'un transistor sur oxyde épais

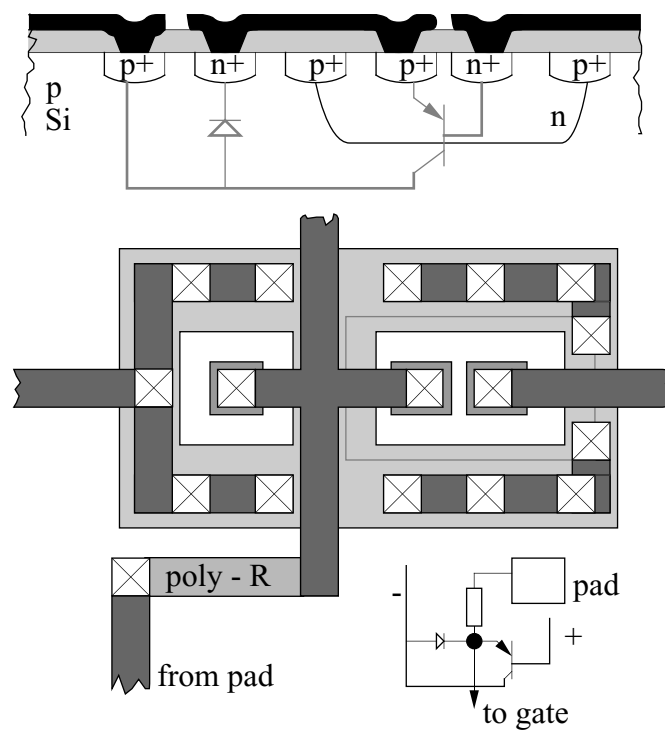


FIG. 3.13 – Protection d'entrée complète en technologie CMOS

Chapitre 4

Les macro-blocs

4.1 les miroirs de courant

4.1.1 Les miroirs de courant

La Figure 4.1 représente un miroir de courant à base de transistors NMOS.

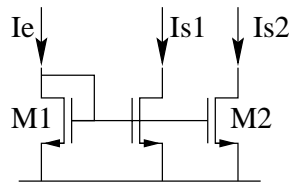


FIG. 4.1 – Miroir de courant NMOS

4.1.2 Les miroirs de courant avec cascode

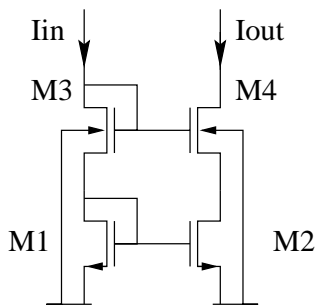


FIG. 4.2 – Cascode empilé

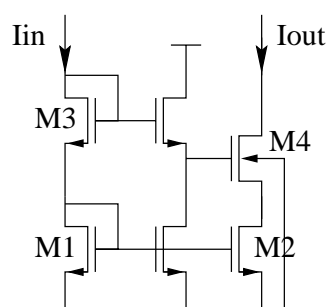


FIG. 4.3 – Cascode basse-tension

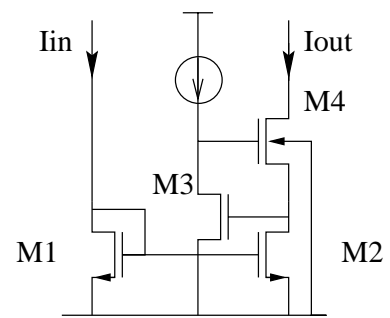


FIG. 4.4 – Cascode amplifié

Les Figures 4.2, 4.3 et 4.4 représentent des miroirs de courant avec structure cascode.

Etude du Cascode Empilé

La Figure 4.5 représente le schéma petits-sinaux du cascode empilé en supposant que les capacités C_{gd} sont négligeables.

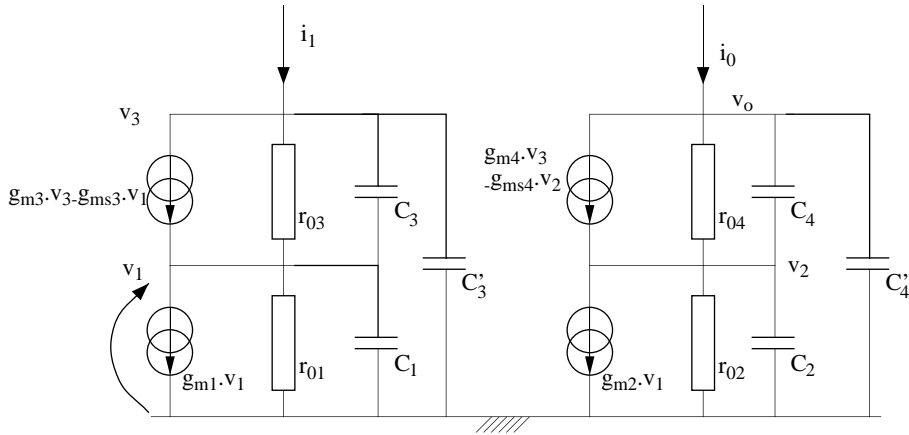
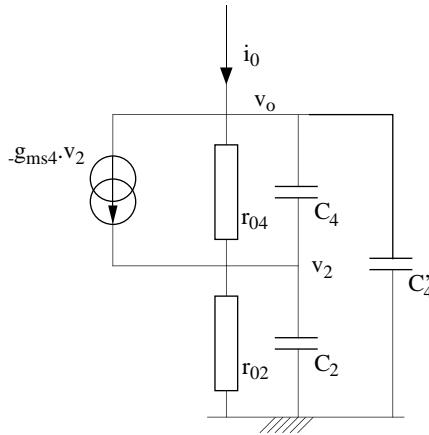


FIG. 4.5 – Schéma petits signaux du cascode empilé

Afin de déterminer l'impédance de sortie du miroir de courant, supposons que le courant d'entrée est constant. Nous avons alors $v_1 = v_3 = 0$ et le schéma équivalent se réduit à celui de la Figure 4.6.

FIG. 4.6 – Cascode empilé si $i_1 = 0$

Afin de déterminer la résistance de sortie, plaçons-nous à basse fréquence (les capacités sont alors négligeables).

On a :

$$v_2 = v_o \frac{r_{o2}}{r_{o2} + r_{o4} + g_{m4} r_{o2} r_{o4}}$$

Et :

$$i_o = \frac{v_2}{r_{o2}} = \frac{v_o}{r_o}$$

D'où :

$$r_o = r_{o2} + r_{o4} + g_{m4} r_{o2} r_{o4} \approx g_{m4} r_{o2} r_{o4}$$

4.2 Les amplificateurs à transconductance : OTA

Le schéma d'un OTA simple sur une technologie CMOS est représenté sur la Fig. 4.7. Le schéma d'un OTA symétrique est représenté sur la Fig. 4.8. Ces deux OTA n'ont qu'un seul étage de gain et peu de problème de compensation en fréquence.

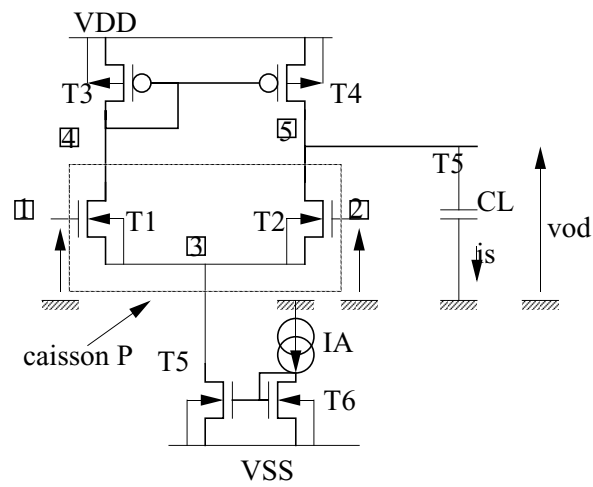


FIG. 4.7 – OTA simple

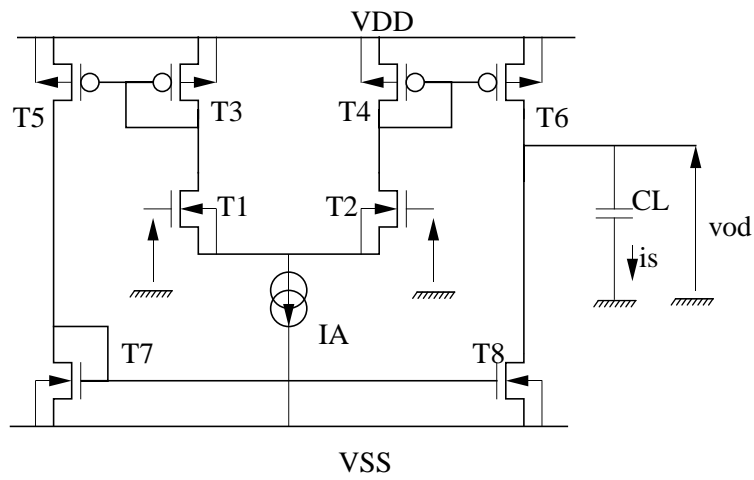


FIG. 4.8 – OTA symétrique

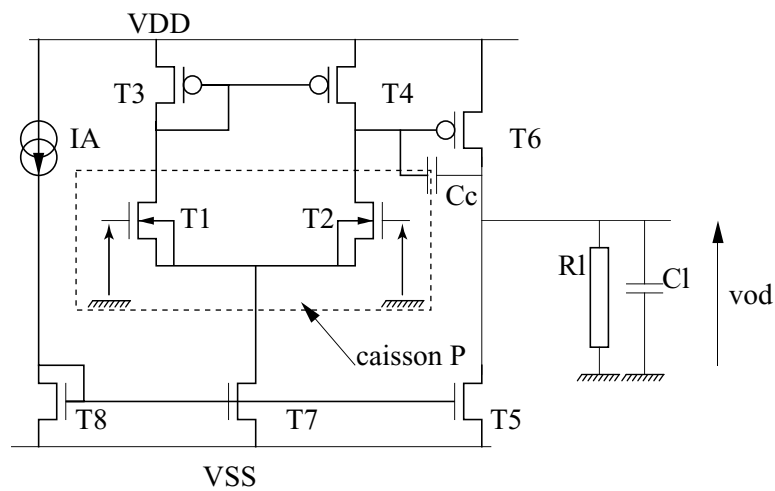


FIG. 4.9 – OTA de Miller

Le schéma d'un OTA de Miller est représenté sur la Fig. 4.9. Cette amplificateur a deux étages de gain et doit donc souvent être compensé en fréquence. La capacité de C_c est utilisée pour la compensation en fréquence. Cette capacité a pour effet d'augmenter la charge capacitive du premier étage et ainsi ramener le pôle dominant vers les basses fréquences [5]. Ce type de compensation apporte cependant aussi un zéro dans la fonction de transfert. Ce zéro étant réel positif, il déstabilise la fonction de transfert. Plusieurs techniques existent pour éliminer ce zéro [5] :

- résistance en série avec la capacité C_c ;
- suiveur entre le noeud de sortie et la capacité ;
- ...

La Fig. 4.10 présente l'effet de modification de la valeur des pôles et du zéro en fonction de la capacité de compensation.

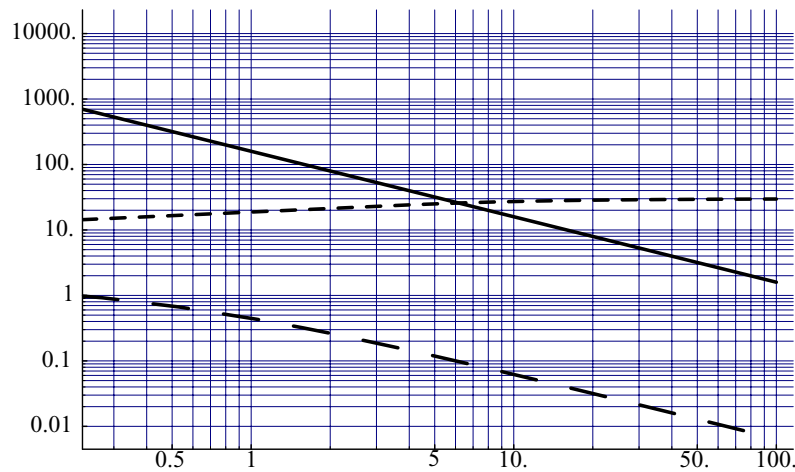


FIG. 4.10 – Les pôles et le zéro en fonction de la capacité de compensation. Les deux pôles sont représentés en pointillés et le zéro en trait plein. L'axe des abscisses est la capacité de compensation en pF, l'axe des ordonnées est en MHz.

4.3 Le folded Cascode

Le principe du folded-cascode est représenté sur la Fig. 4.11. Un amplificateur à transconductance basé sur ce principe est représenté sur la Fig. 4.12. Un amplificateur se même structure, mais avec une paire différentielle à transistor PMOS est représentée sur la Fig. 4.13.

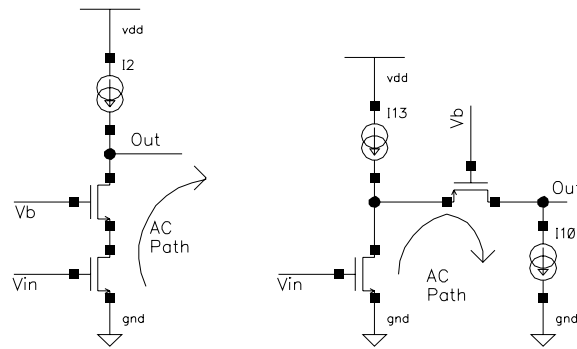


FIG. 4.11 – Le principe du folded-cascode

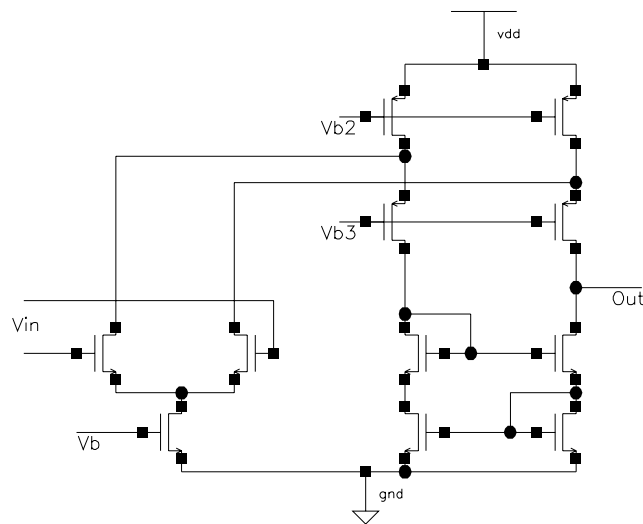


FIG. 4.12 – Le folded cascode OTA

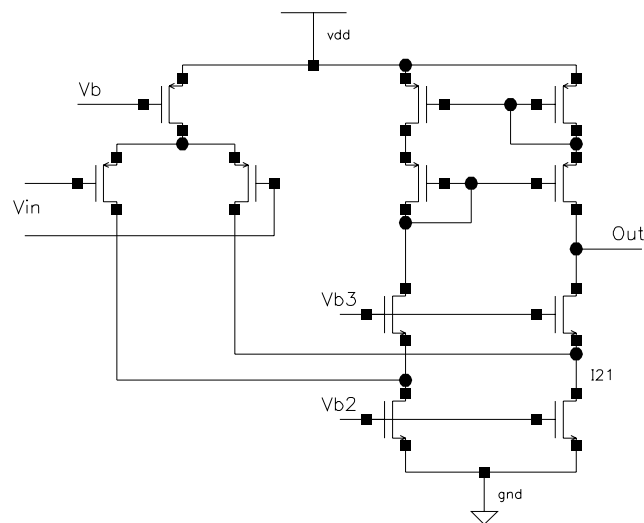


FIG. 4.13 – Le folded cascode OTA avec paire différentielle de type PMOS

Chapitre 5

Le dessin de masques (Layout)

5.1 Les transistors MOS

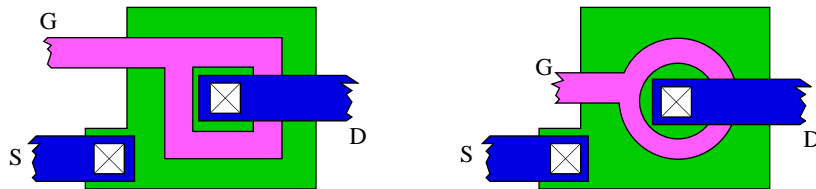


FIG. 5.1 – Dessin des transistors fermés

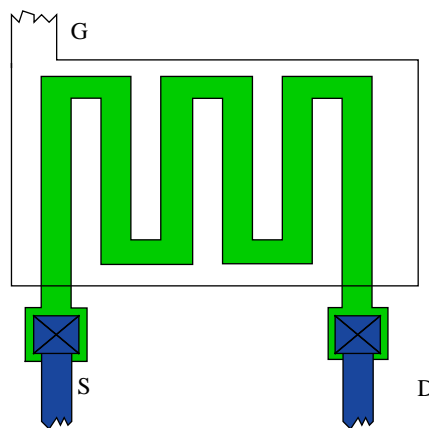


FIG. 5.2 – Dessin d'un transistor long

5.2 Les transistors bipolaires latéraux

5.3 Règles de Conception au niveau Dessin

5.3.1 Distance minimum

Des composants respectant la règle de la distance minimum sont représentés sur la Fig.5.6.

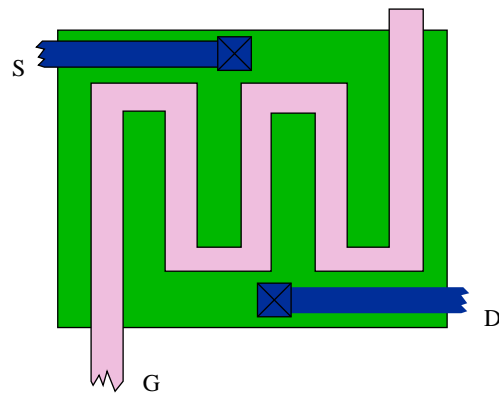


FIG. 5.3 – Dessin d'un transistor large

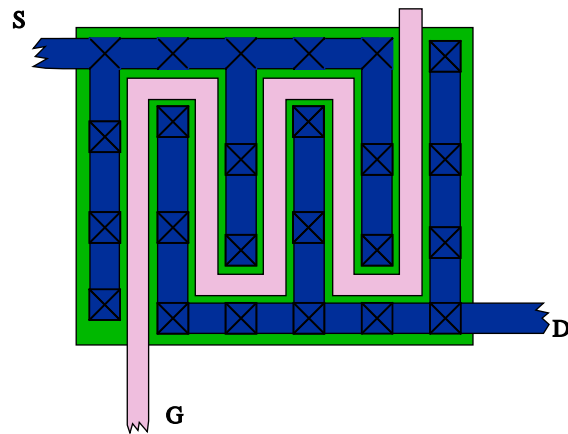


FIG. 5.4 – Dessin d'un transistor large avec réduction des résistances d'accès

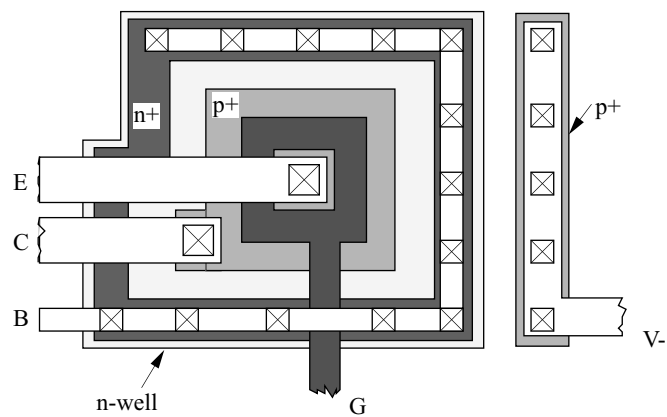


FIG. 5.5 – Dessin des Transistors Bipolaires Latéraux

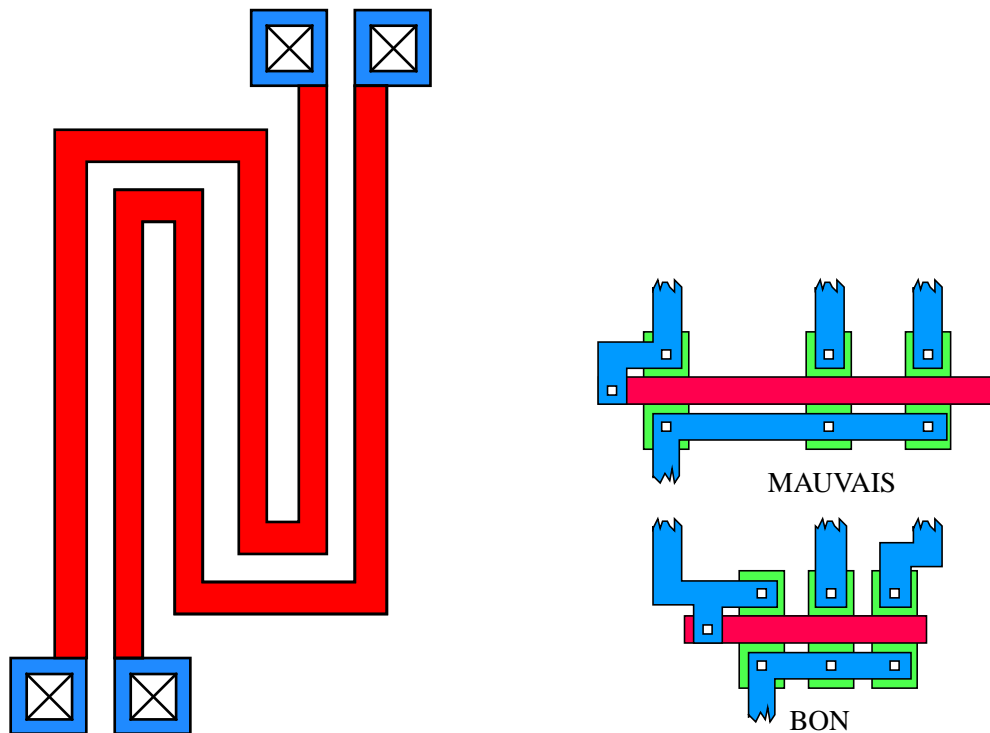


FIG. 5.6 – Distance minimum entre composants appariés, exemple de : -(a) résistances ; -(b) miroir de courant

5.3.2 Structure centroïde

Une paire différentielle dont chaque transistor est séparé en deux transistors mis en parallèle et représentée sur Fig. 5.7. Ce dessin suit une structure centroïde afin de limiter l'offset ayant pour cause un gradient sur les niveaux technologiques.

5.3.3 Même orientation

Quatre dessins d'une paire différentielle sont représentés sur la Fig. 5.8. La meilleure en terme d'offset sera celle où tous les éléments ont la même orientation pour les deux transistors.

5.3.4 Même voisinage

Deux composants qui doivent avoir la même caractéristique doivent avoir le même voisinage. Deux exemples sont représentés sur la Fig. 5.9. Afin que cette règle soit respectée, on peut ajouter sur les bords des composants "muets" qui ne servent qu'à assurer un voisinage identique pour les composants de bout et ceux du centre.

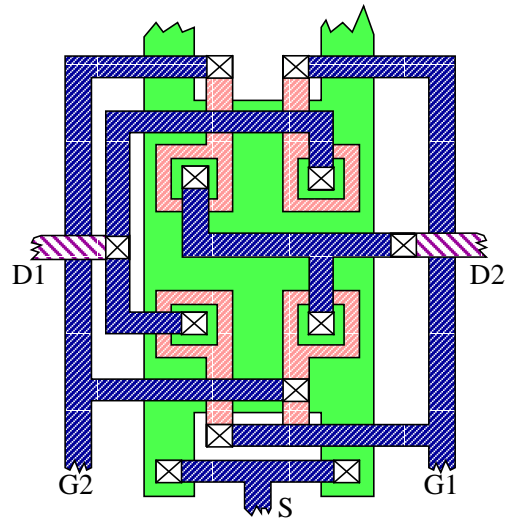


FIG. 5.7 – Paire différentielle de structure centroïde

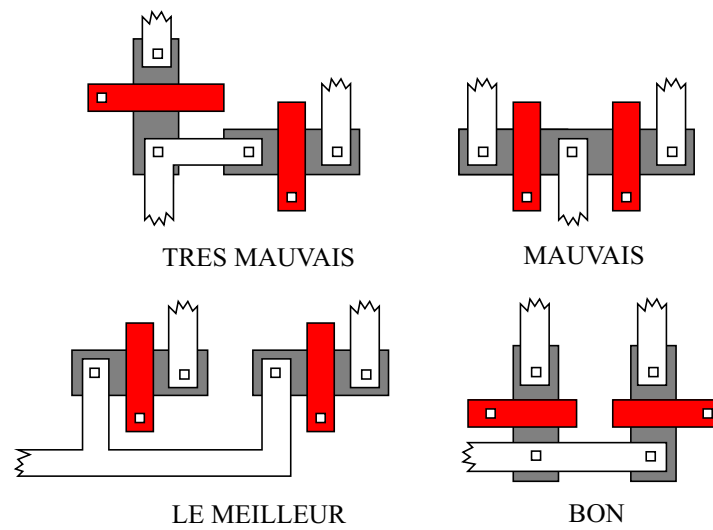


FIG. 5.8 – Paire différentielle avec différentes orientations

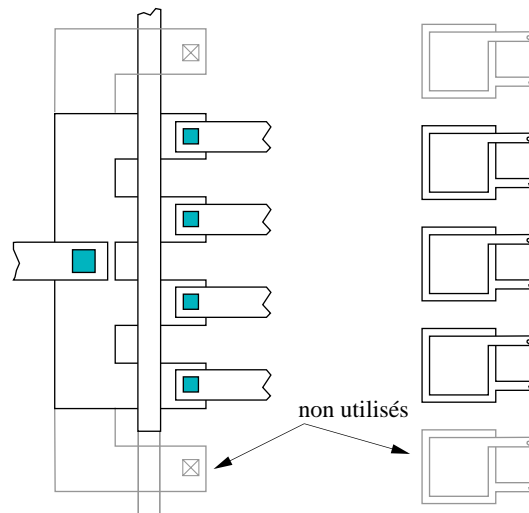


FIG. 5.9 – Composants avec même voisinage et composants "muets" : Exemple de miroirs de courants et de capacités

Chapitre 6

Exercices

6.1 Étude des structures Cascode

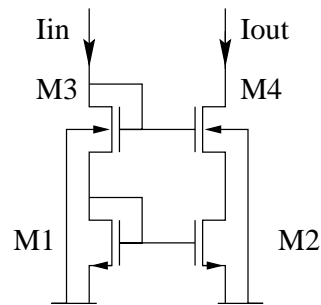


FIG. 6.1 – Structure cascode empilé

Dans cet exercice nous étudions les structures cascodes.

1. Soit la structure de cascodes empilés sur la Figure 4.2. Faire le schéma équivalent de cette structure en utilisant le schéma équivalent le plus simple du polycopié pour les transistors MOS (et en négligeant seulement les capacités C_{gd}). Distinguer les éléments caractéristiques des composants par des indices correspondant au nom du transistor (ex : g_{m2} , r_{o4} , ...)
2. En supposant que I_{in} est constant,
 - (a) réduire le schéma équivalent.
 - (b) trouver l'expression de la résistance de sortie en petits signaux (pour cela on se placera à fréquence nulle).
 - (c) Comparer cette valeur à celle d'un transistor non cascodé, en prenant :
 - les transistors M2 et M4 identiques
 - leur résistance de sortie est $10\text{ M}\Omega$, leur transconductance est 10^{-4} S
3. Soit le schéma que de la Figure 4.4. Le transistor M3 et la source de courant forment un amplificateur de gain A. Modifier le schéma équivalent de la question (2-2a) pour inclure ce gain A. En déduire l'expression de la résistance de sortie de ce cascode.
4. Comment peut-on réaliser la source de courant. En déduire l'expression du gain A.
5. Calculer la valeur de la résistance de sortie en utilisant les même valeurs des résistances de sortie et des transconductances que pour la question (2). Commentez ce résultat.
6. Pourquoi est-il utile de chercher à augmenter la résistance de sortie d'un transistor ?
7. Faire le schéma d'un OTA symétrique dont vous aurez amélioré les caractéristiques en utilisant deux structures cascodes avec amplification (une de type N et une de type P).

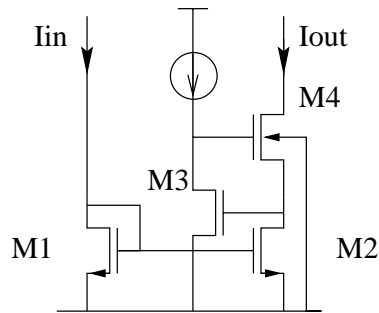
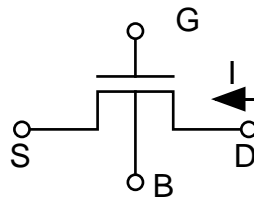


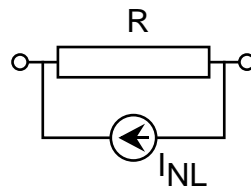
FIG. 6.2 – Structure cascode avec amplification

6.2 Filtres R-C à temps continu

Soit un transistor NMOS :



1. Lorsque I est positif, quel terminal de S ou de D est la source ?
2. Exprimer le courant I en fonction de V_{ds} à tensions V_g et V_b données (sur les terminaux G et B). Supposer que le transistor est en forte inversion et utiliser les équations du paragraphe 1.2.1.
3. Donner l'allure de la caractéristique $I=f(V_{ds})$ en supposant V_g et V_s constants (pour $I>0$ et $I<0$)
4. Dans le cas où le transistor fonctionne en régime de conduction, décomposer l'expression de I en un terme linéaire avec V_{ds} et un terme non linéaire. Montrer que le transistor est équivalent à une résistance en parallèle avec une source de courant représentant les termes non-linéaires.



Deux transistors identiques sont connectés comme sur la figure 6.3.

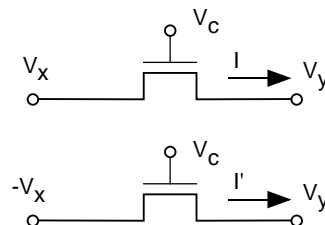


FIG. 6.3 – Schéma 1

5. En exprimant le courant $(I-I')$, montrer qu'un circuit qui utiliserait cette différence de courants linéariserait la résistance équivalente à ces deux transistors.
Soit un amplificateur entièrement différentiel tel que la tension de sortie moyenne soit nulle.

6. Montrer que le schéma de la figure 6.4 exploite la technique de linéarisation de la question précédente. Exprimer $V_o(t)$ en fonction de $V_x(t)$.

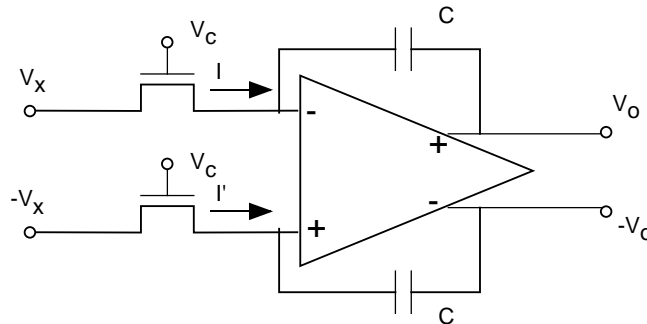


FIG. 6.4 – schéma 2

7. Proposer un schéma entièrement différentiel d'un circuit (avec un seul amplificateur) réalisant la fonction : $v_s(p) = -\frac{1}{\tau p}(v_1(p) + v_2(p))$
 8. Idem pour la fonction : $v_s(p) = \frac{1}{\tau p}(v_1(p) - v_2(p))$

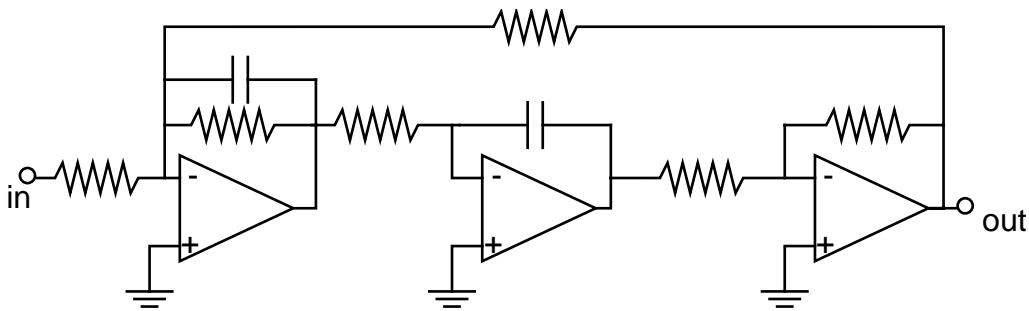
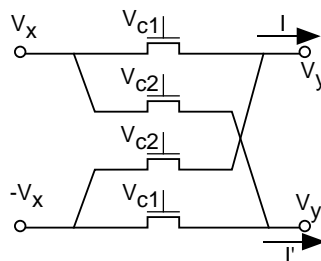


FIG. 6.5 – filtre à temps continu

9. Soit le filtre suivant de la Figure 6.5. Déterminer sa fonction de transfert.
 10. Transposer ce schéma en une réalisation entièrement différentielle en réalisant les résistances par des transistors et en utilisant 2 amplificateurs. Votre circuit doit assurer la linéarisation des transistors selon la technique présentée aux questions précédentes.
 11. la configuration de transistors de la figure 6.3 est remplacée par la configuration suivante. Exprimer $(I-I')$.



12. d'après vous quels avantages et inconvénients présente cette configuration sur celle de la figure 6.3 du point de vue :
 (a) de la dispersion globale de la tension de seuil ;
 (b) de la dispersion locale entre transistors ;
 (c) du bruit dans le substrat.

6.3 Filtre à temps continu

6.3.1 Circuit Gm-C

Soit le circuit Gm-C représenté sur la Fig. 6.6. G_m est un circuit que nous appellerons un transconducteur entièrement différentiel tel que son courant de sortie est : $I_o = G_m 2V_i$.

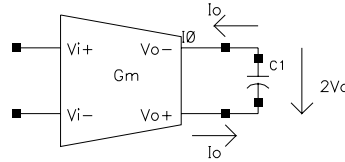


FIG. 6.6 – Circuit Gm-C

1. Exprimer la relation entre la tension de sortie V_o et la tension d'entrée V_i .
2. Quelle est la fonction remplie par ce circuit.
3. Quelle est la fréquence de gain unité ω_0
4. Sur une technologie CMOS analogique (2 métaux, 2 polysiliciums), comment peut-on réaliser la capacité C_1 ? Faire un commentaire sur les capacités parasites et montrer qu'il est difficile, avec ce schéma, d'avoir une capacité parasite identique sur les deux sorties.
5. Proposer (en remplaçant la capacité par deux capacités) une modification du schéma pour que la capacité parasite soit la même sur les deux sorties.

6.3.2 Exemple de Filtre

Soit un exemple de filtre à temps continu sur la Fig. 6.7 réalisé sur technologie CMOS avec le transconducteur G_m de la question 6.3.1.

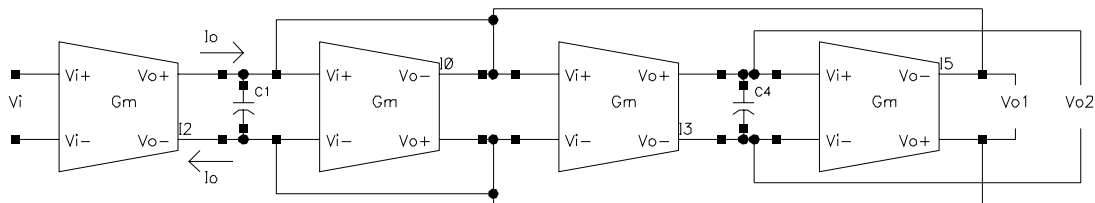


FIG. 6.7 – Filtre

1. Écrire l'équation existant entre les tensions V_{o1} , V_{o2} et V_i .
2. Trouver les fonctions de transfert V_{o1}/V_i et V_{o2}/V_i .
3. Quel type de filtre a-t-on sur les deux sorties.

6.3.3 Conception du transconducteur MOS

Soit l'élément du transconducteur représenté sur la Fig. 6.8. Les transistors M1 et M2 sont en saturation et le transistor M3 dans sa zone de conduction. On note V_{s1} et V_{s2} les tensions des sources des transistors M1 et M2. On note V_Q la tension de ces sources si $v_i = 0$.

En utilisant les équations du transistor MOS Eq. 1.11 à Eq. 1.15 :

1. Exprimer V_Q en fonction de V_i , V_t et I_0

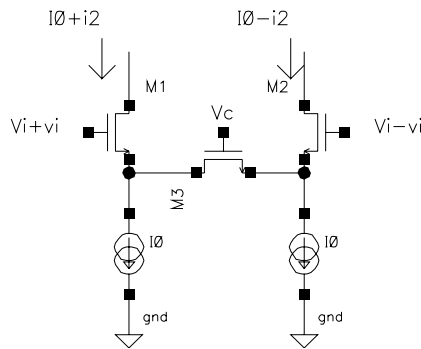


FIG. 6.8 – transconducteur : élément de base NMOS

2. Si $v_i \neq 0$ on note $V_{s1} = V_Q + v_x$ et $V_{s2} = V_Q + v_y$. Montrer que i_2 peut se mettre sous la forme :

$$i_2 = G(v_x - v_y) - g(v_x) + g(v_y) \tag{6.1}$$

Où $G(\cdot)$ est une fonction linéaire et $g(\cdot)$ une fonction non linéaire.

3. Que valent v_x et v_y en fonction de v_i si V_i est constant et $i_2 \ll I_0$
4. montrer que i_2 est alors proportionnel à v_i bien que le transistor M3 soit non linéaire. Poser $i_2 = G_m v_i$. Exprimer G_m .
5. Dédurre des équations ci-dessus l'expression du courant i_o en fonction de v_{in} dans le circuit de la Fig. 6.9. Les transistors M3 et M3B sont identiques. Que vaut la transconductance G_m de ce circuit.
6. Proposer un schéma pour la réalisation des différentes sources de courant du circuit de la Fig. 6.9.
7. Montrer que le gain à base fréquence de ce circuit est limité.
8. Donner la fonction de transfert de ce circuit (on négligera les capacités C_{gd} des transistors MOS).

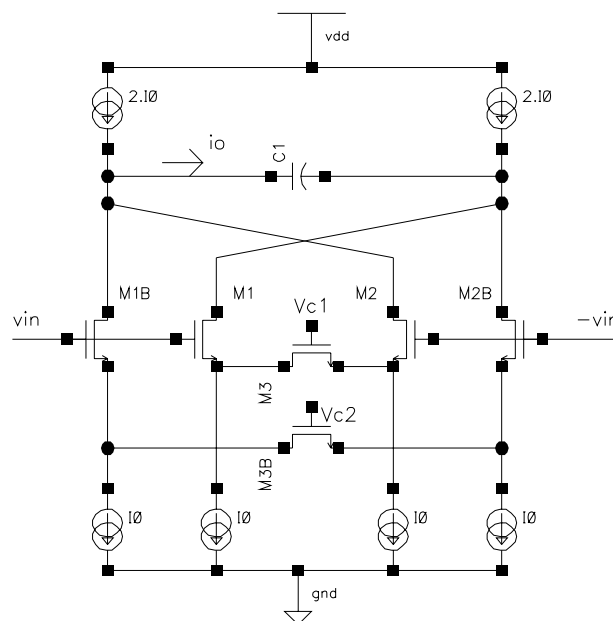


FIG. 6.9 – Transconducteur MOS

6.3.4 Conception d'un transducteur BiCMOS

La Fig. 6.10 représente un transducteur réalisé en technologie BiCMOS. Les transistors MOS M1 et M2 fonctionnent dans le régime de conduction.

1. Comment doit-on choisir la source de courant $I1$ en fonction de $I0$?
2. En utilisant les équations du transistor MOS données ci-dessus, exprimer le courant dans le transistor M1 en fonction des tensions à ces bornes. Montrer que si V_{ds} est constant, ce courant varie linéairement avec V_{gs} ?
3. À quoi servent donc les transistors bipolaires ?
4. Calculer les courants de sortie en fonction de la tension d'entrée dans le cas où les tensions de sortie sont telles que les transistors bipolaires fonctionnent dans leur régime source de courant.
5. Proposer un schéma pour la réalisation de la source de tension V_c à l'aide d'un transistor bipolaire, d'une résistance et d'une source de courant.

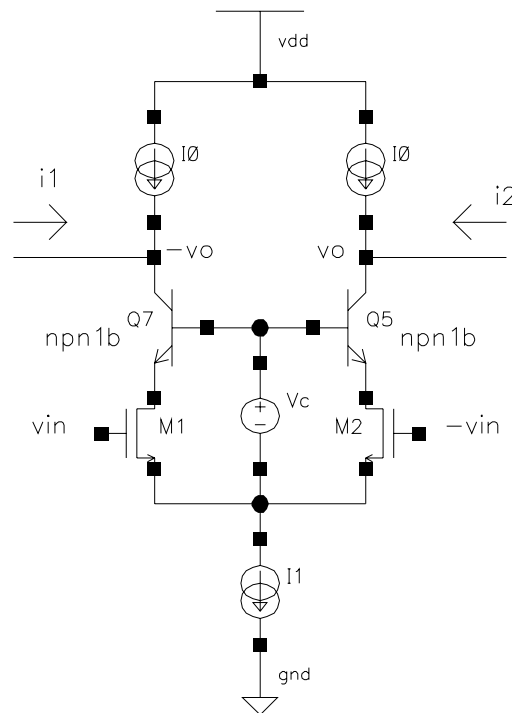


FIG. 6.10 – transducteur BiCMOS

6.4 Réponse en fréquence et stabilité

Un amplificateur a un gain à basse fréquence de 200 et sa fonction de transfert a trois pôles réels négatifs à 1 MHz, 2 MHz et 4 MHz. Cet amplificateur a une contre-réaction avec un gain $B=0.05$.

1. Tracer rapidement le diagramme de Bode en amplitude et en phase de cet amplificateur en boucle ouverte.
2. L'amplificateur est-il stable avec la contre réaction ci-dessus ? Expliquer ?
3. Déterminer la valeur de la contre-réaction qui conduit à l'instabilité.
4. Déterminer la valeur de la contre-réaction qui conduit à une marge de phase de 60° .

6.5 Bruit dans le transconducteur MOS

On considère le circuit de la Fig. 6.8. Sachant que le bruit dans les transistors MOS peut se ramener à un générateur de tension en entrée du transistor $\overline{V^2}$:

1. quelle est la contribution de bruit dans le transistor M3 sur le courant de sortie ?
2. Quel est le bruit ramené en entrée du circuit en fonction des sources de bruit $\overline{V^2}$ des différents transistors et des sources de bruit $\overline{i^2}$ des sources de courant.

Annexes

Pour les annexes voir les pages jointes et/ou les fichiers :

- <http://www.ief.u-psud.fr/belhaire/Cours/annexe1.pdf>
- <http://www.ief.u-psud.fr/belhaire/Cours/electroniqueMicroSys.pdf>

Bibliographie

- [1] Paul R. Gray and Robert G. Meyer. *Analysis and Design of Analog Integrated Circuits*. John Wiley & sons, 2nd edition, 1984.
- [2] Yannis P. Tsividis. *Operating and Modeling of the MOS transistor*. McGraw-Hill, 1988.
- [3] Christion C. Enz, François Krummenacher, and Eric A. Vittoz. An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications. *Analog Integrated Circuits and Signal Processing*, (8) :83–114, 1995.
- [4] D.K. Shaeffer and T.H. Lee. A 1.5-v, 1.5-GHz CMOS low noise amplifier. *IEEE Journal of Solid-State Circuits*, 32(5) :745–759, 1997.
- [5] Paul R. Gray and Robert G. Meyer. MOS operational amplifier overview. *IEEE Journal of Solid-State Circuits*, 17(6) :969–982, 1982.
- [6] Randall L. Geiger, Phillip E Allen, and Noel R. Strader. *VLSI Design Techniques for Analog and Digital Circuits*. McGraw-Hill, 1990.
- [7] Yannis Tsividis and Paolo Antognetti, editors. *Design of MOS VLSI Circuits for Telecommunications*. Prentice-Hall, Englewood Cliffs, New Jersey, 1985.
- [8] Roubik Gregorian and Gabor C. Temes. *Analog MOS Integrated Circuits*. "John Wiley & sons, 1986.
- [9] Malcom R. Haskard and Ian C. May. *Analog VLSI Design nMOS and CMOS*. Prentice Hall, 1988.
- [10] André Vapaille and René Castagné. *Dispositifs et circuits intégrés semiconducteurs*. Dunod, 1990.