

# Microélectronique :

## Introduction aux circuits intégrés analogiques

cours destiné aux étudiants de  
*Master EEA 1<sup>e</sup> année et élèves ingénieurs  
des filières microélectroniques*

### Contact :

Laurent PICHON  
Professeur  
IETR, Groupe de Microélectronique,  
bâtiment 11 B, Campus de beaulieu  
Tel 02 23 23 56 65  
lpichon@univ-rennes1.fr

# Sommaire

## Partie I : Circuits intégrés bipolaires (BF)

- Transistors bipolaires : éléments de technologies et sources de courant
- Etages différentiels bipolaires
- Etages de sortie bipolaires
- Amplificateurs opérationnels bipolaires
- Références de tension à « bandgap »

## Partie II : Circuits intégrés MOS (BF)

- Transistors MOS
- Sources de courant MOS
- Etages différentiels MOS
- Étages de sortie MOS
- Amplificateurs MOS

## Bibliographie Cours Microélectronique : Introduction aux circuits intégrés analogiques

- Alban B. Grebene « Bipolar and MOS analog integrated circuit design », Wiley-Interscience Publication (1984) ISBN 0-471-08529-4
- Paul R. Gray, Robert G. Meyer « Analysis and design of analog integrated circuits, second edition » John Wiley and Sons editors (1984) ISBN 0-471-87493-0
- Franco Maloberti « Analog design for CMOS VLSI Systems » Klumer Academic Publishers (2001) ISBN 0-7923-7550-5
- Tran Tien Lang « Electronique analogique des circuits intégrés » MASSON (1996) ISBN 2-225-85306-1

### Contact :

Laurent PICHON  
Professeur  
IETR, Groupe de Microélectronique,  
bâtiment 11 B, Campus de beaulieu  
Tel 02 23 23 56 65  
lpichon@univ-rennes1.fr

## Introduction générale

- **Initier** les étudiants des filières issues de la Microélectronique à l'architecture des circuits intégrés **analogiques**
- **Description** et **analyse** des **blocs fonctionnels de base** entrant dans l'élaboration de **circuits intégrés** plus élaborés
- Deux familles de circuits intégrés étudiées : **bipolaires** et **MOS**
- Cours se limitant au domaine des **basses fréquences**

Objectif :

Permettre aux étudiants d'acquérir les bases théoriques nécessaires pour la **conception** des circuits intégrés

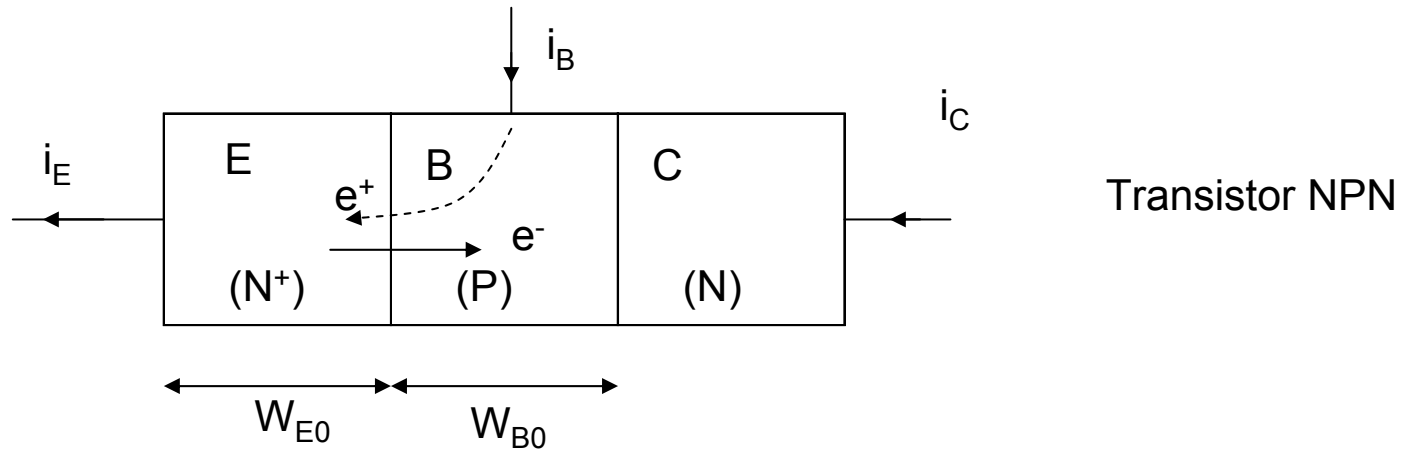
## Partie I : Circuits intégrés bipolaires (BF)

- Transistors bipolaires : éléments de technologies et sources de courant
- Etages différentiels bipolaires
- Etages de sortie d'un circuit intégré bipolaire
- Amplificateurs opérationnels bipolaires
- Références de tension à « bandgap »

# Transistors bipolaires : éléments de technologies et sources de courant

## I- Introduction

Rappel



$$i_B \cong I_{SB} \exp\left(\frac{V_{BE}}{U_T}\right) \quad \text{avec} \quad I_{SB} = n_i^2(E)qS \frac{D_{pE}}{N_{DE} W_E}$$

(courant de trous essentiellement)

$D_{pE}$  : coefficient de diffusion des trous (minoritaires) dans la zone neutre de l'émetteur

$N_{DE}$  : concentration de donneurs dans l'émetteur

$W_E$  : dimension géométrique de la zone neutre de l'émetteur

$$i_C \cong I_{SC} \exp\left(\frac{V_{BE}}{U_T}\right) \quad \text{avec} \quad I_{SC} = n_i^2(B)qS \frac{D_{nB}}{N_{AB} W_B}$$

$D_{nB}$  : coefficient de diffusion des électrons (minoritaires) dans la zone neutre de la base

$N_{AB}$  : concentration d'accepteurs dans la base

$W_B$  : dimension géométrique de la zone neutre de la base

- Gain en courant statique

$$\beta_{NPN} = \frac{N_{DE} W_E D_{nB} n_i^2(B)}{N_{AB} W_B D_{pE} n_i^2(E)}$$

Généralement :

$$\frac{N_{DE}}{N_{AB}} \gg 1 \quad \frac{D_{nB}}{D_{pE}} \approx 5 \quad \frac{W_E}{W_B} \approx 1$$

- Effet early

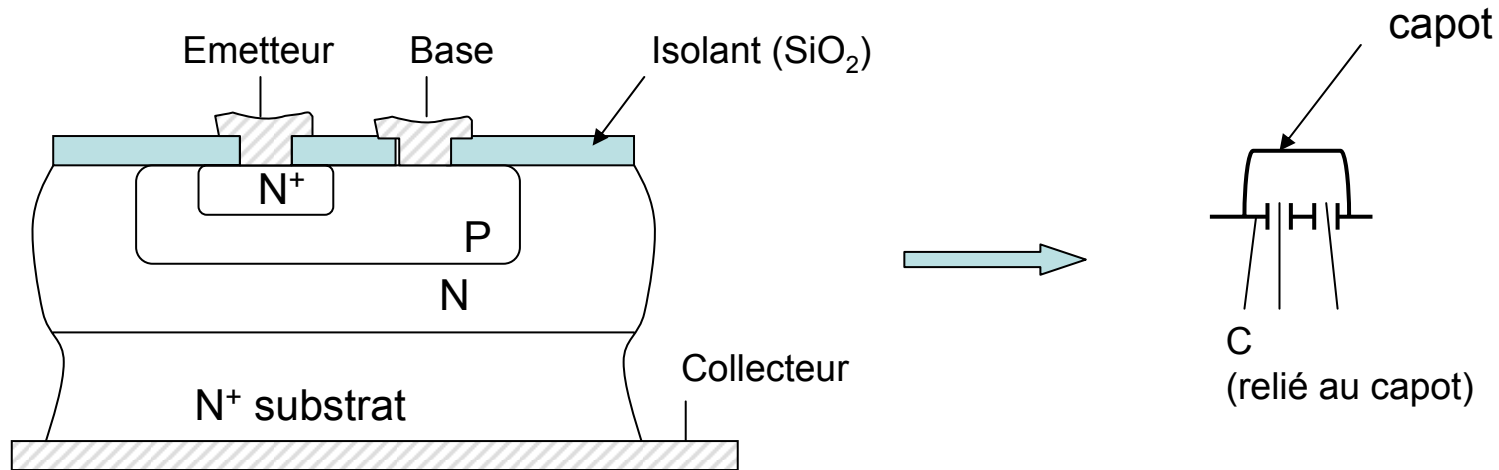
$$\frac{1}{W_B} = \frac{1}{W_{B0}} \left(1 + \frac{V_{CE}}{V_A}\right) \quad \Rightarrow \quad \begin{array}{l} \text{Réduction de la zone neutre de la base sous l'effet de la} \\ \text{polarisation de la jonction base – collecteur} \end{array}$$

$V_A$  grand si  $N_{AB} \gg N_{DC}$

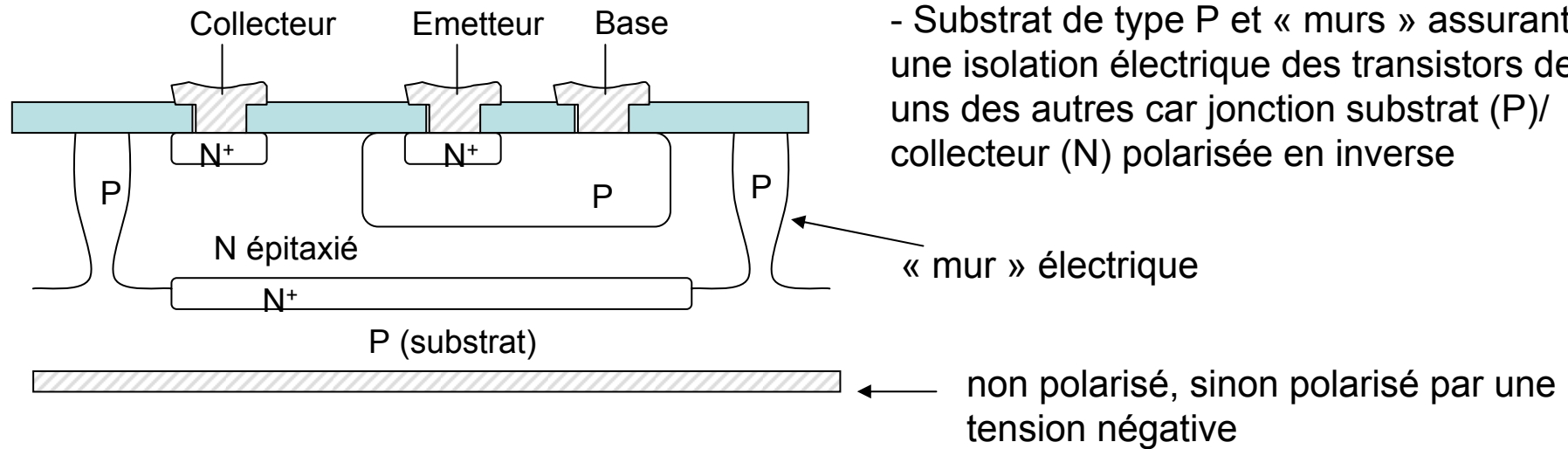
## II- Transistor bipolaire intégré NPN

### 1) Structure technologique

#### a) Transistor à structure discrète



#### b) Structure intégrée (monolithique)



- Plusieurs structures sur le même substrat
- Substrat de type P et « murs » assurant une isolation électrique des transistors des uns des autres car jonction substrat (P)/collecteur (N) polarisée en inverse

« mur » électrique

non polarisé, sinon polarisé par une tension négative

En général :

Technologie adaptée pour avoir  $\beta \gg 1$  et effet early le moins important possible ( $V_A$  élevé)

$$\Rightarrow \frac{N_{DE}}{N_{AB}} \gg 1 \text{ (émetteur fortement dopé par rapport à la base)}$$

$$\frac{W_E}{W_B} \geq 1 \text{ (attention au risque de l'effet early)}$$

Typiquement :  $100 < \beta_{NPN} < 1000 \leftarrow \text{si } D_{nB} \gg D_{pE}$   
 $\beta_{PNP} \leq 50$

$\Rightarrow$  Transistors NPN plus performants : utilisation d'un substrat de type P pour les fabriquer

Remarque : effets de dégénérescence

- si émetteur fortement dopé ( $N_{DE} \sim 10^{17} \text{ cm}^{-3}$ ) alors  $E_{GSi} \sim 1,1 \text{ eV}$

- si émetteur très fortement dopé ( $N_{DE} \sim 10^{19} \text{ cm}^{-3}$ ) alors  $E_{GSi\text{apparent}} < 1,1 \text{ eV}$

$$n_i^2 = KT^3 \exp\left(-\frac{E_G}{kT}\right) \quad \Rightarrow \quad \frac{n_i^2(B)}{n_i^2(E)} = \frac{\exp\left(-\frac{E_G}{kT}\right)}{\exp\left(-\frac{E_{G\text{apparent}}}{kT}\right)} \ll 1$$

En réalité  $\beta_{NPN} \approx 80$  à  $200$

- Coexistence d'un transistor PNP parasite :

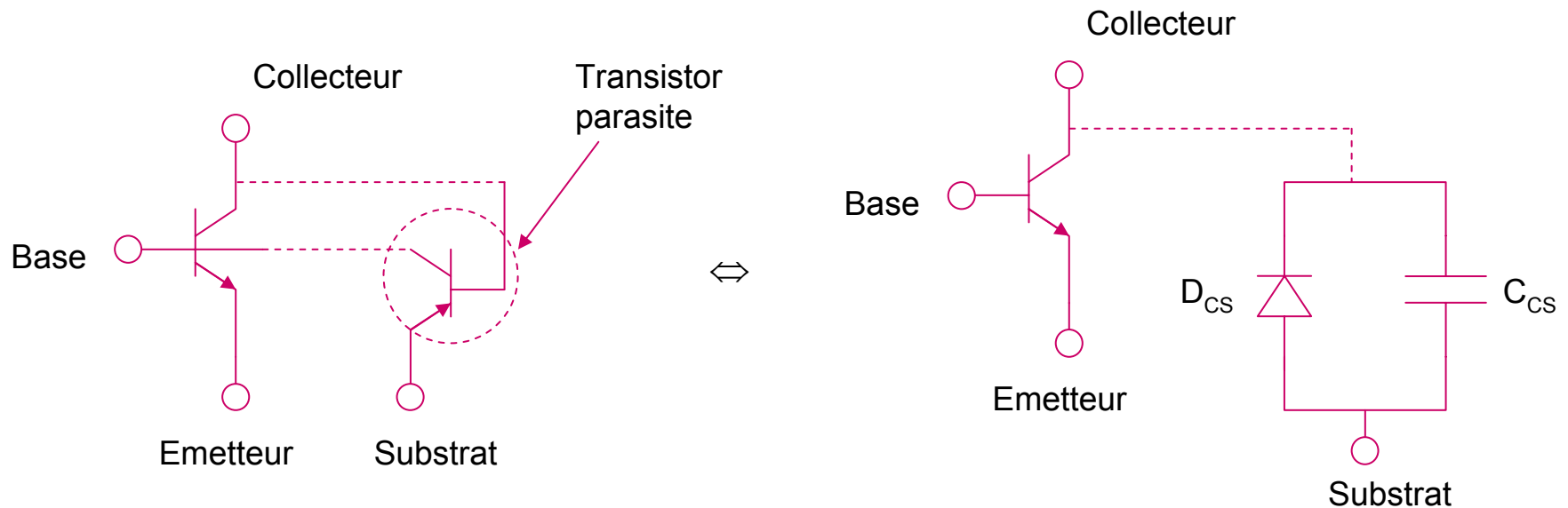
émetteur : substrat (P)

base : collecteur (N)

collecteur : base (P)

En polarisation normale : jonction émetteur-base du transistor parasite PNP polarisée en inverse  $\Rightarrow$  Transistor parasite bloqué

- Représentation électrique équivalente :



$D_{CS}$  : diode matérialisée par la jonction substrat (P)-collecteur (N)

$C_{CS}$  : capacité de la jonction

- Zone ( $N^+$ ) sur substrat (semelle  $N^+$ ) réalisée à double titre :
  - 1- réduire la résistance du courant traversant la région collecteur
  - 2- minimiser l'effet éventuel du transistor parasite en réduisant son gain en courant grâce à sa zone de base (semelle  $N^+$ ) qui est fortement dopée par rapport à son émetteur (substrat (P))

- Technologie micronique :
  - Profondeur du « mur » d'isolation électrique (P) et donc de la structure  $\sim 10 \mu\text{m}$
  - Dimension de la base  $W_B \sim 2 \mu\text{m}$

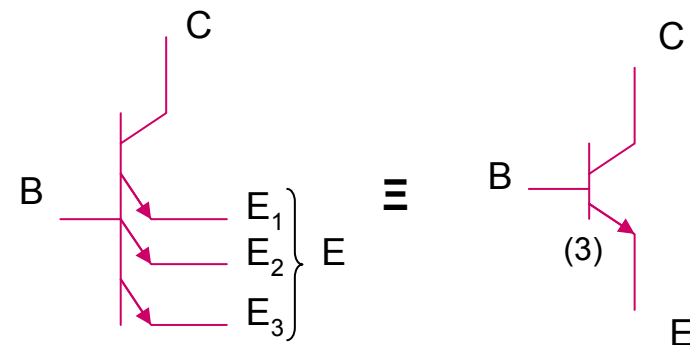
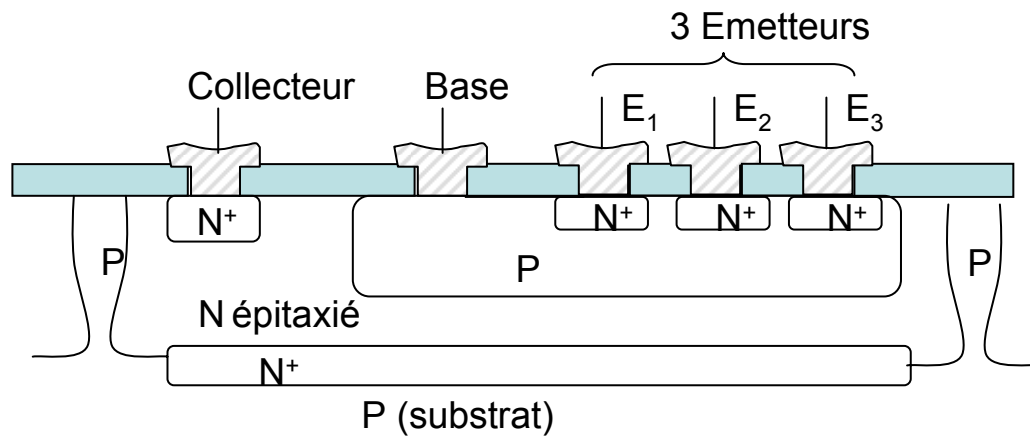
$\Rightarrow$  Applications en BF - HF

- Technologie submicronique :
  - $W_B \sim 0,2 \mu\text{m}$  ( $f_T \sim 10 \text{ GHz}$ )
  - éventuellement « mur » d'isolation en silice ( $\text{SiO}_2$ )

$\Rightarrow$  Applications en UHF

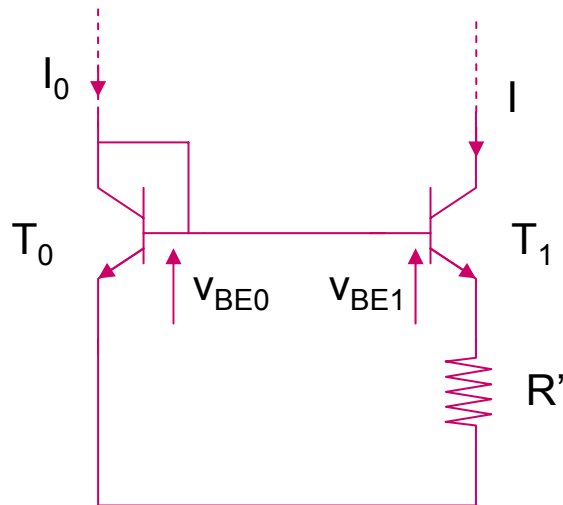
## 2) Transistor multiémetteur

Transistor avec plusieurs prises de contacts électriques dans la région émetteur



Intérêt : gain de place sur la puce  $\Rightarrow$  densité d'intégration plus importante

- Exemple d'application : réalisation d'un circuit fournissant un courant proportionnel à la température absolue



Source de Widlar

- $T_0$  et  $T_1$  Transistors identiques (même technologie)
- Effet early négligé
- Gains en courant élevés :  $\beta_0, \beta_1 \gg 1$

$$U_T \text{Ln} \frac{I_0}{I_S} = U_T \text{Ln} \frac{I}{I_S} + R' I \quad \Rightarrow \quad U_T \text{Ln} \frac{I_0}{I} = R' I > 0$$

$$\Rightarrow I_0 > I$$

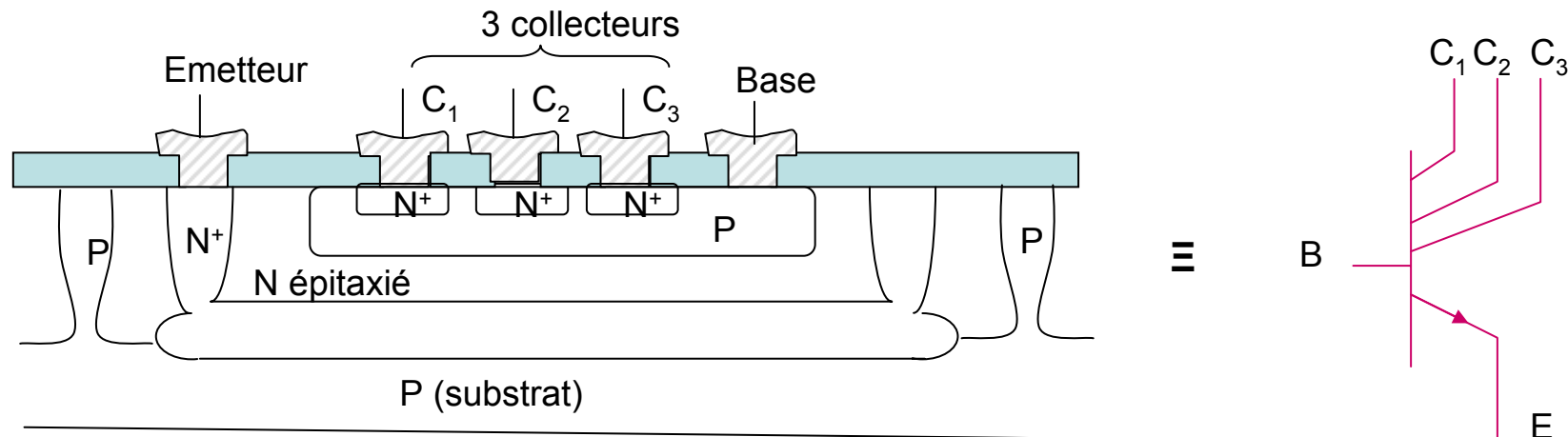
$I_0$  commande  $I$  plus petit



### 3) Transistor NPN inverse ; NPN multicollecteur

Utilisation du collecteur comme émetteur

- Intérêt : travailler avec un multicollecteur



- Inconvénient : transistor NPN (inversé) moins performant ( $\beta \sim 5 - 20$ ) à cause de l'émetteur peu dopé (N épitaxié) et donc "collectage" moins efficace

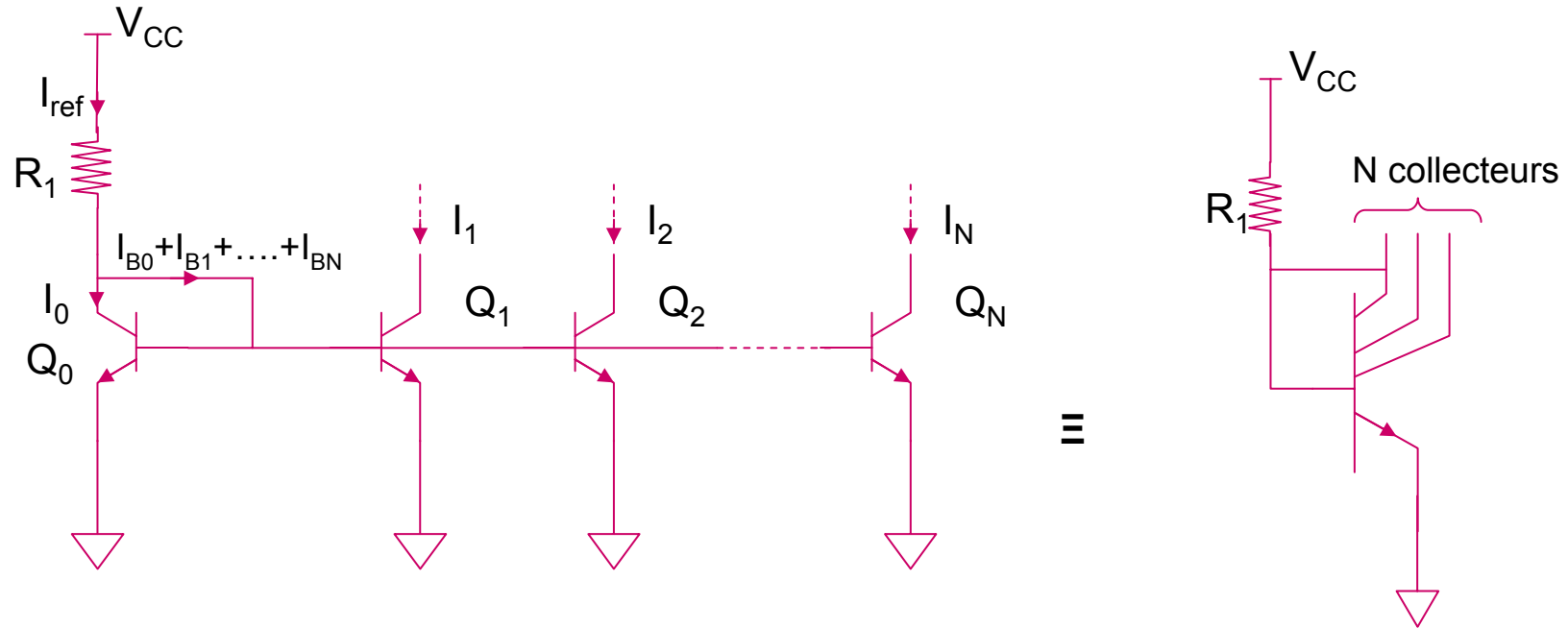
- Avantages des transistors NPN inversés :

- $V_{CEsat} \approx 0$
- $C_{BC}$  très petite
- application du multicollecteur aux sources de courant, miroirs
- collecteurs pouvant être de tailles diverses

Remarque : anneau N<sup>+</sup> entourant l'émetteur pour limiter l'effet du transistor PNP parasite

## - Applications du NPN multicollecteur

### 1- Source de courant miroir à sorties multiples



$$V_{BE0} = V_{BE1} = \dots = V_{BEN} \quad \Rightarrow \quad I_{B0} = I_{B1} = \dots = I_B = \frac{I_i}{\beta} ; i = 0, 1, \dots, N$$

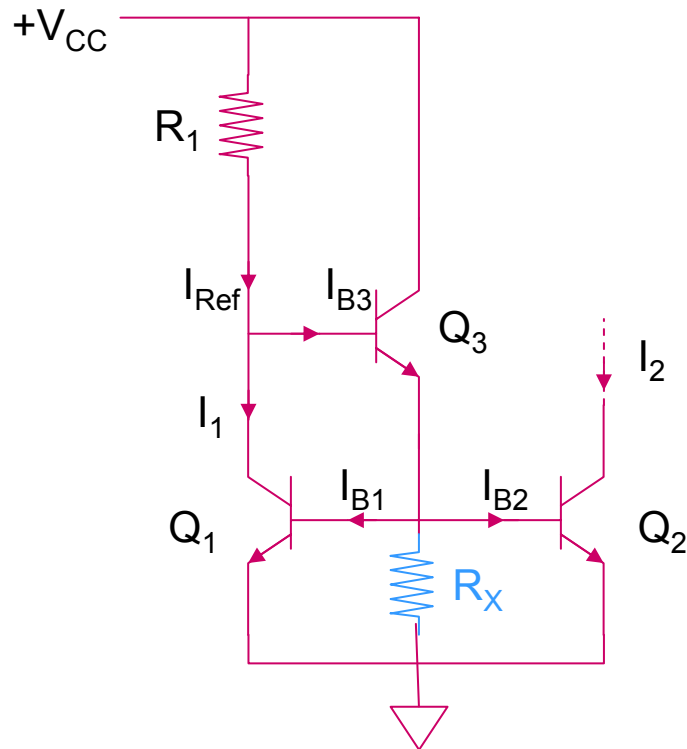
$$I_0 = I_1 = I_{Ref} - (N + 1)I_B \quad \Rightarrow \quad I_1 \left( 1 + \frac{N + 1}{\beta} \right) = I_{ref}$$

$$I_1 = I_2 = \dots = I_N = \frac{I_{ref}}{1 + \frac{N + 1}{\beta}}$$

Remarques :

- si  $\beta \gg 1$  alors  $I_1 = I_2 = \dots = I_N = I_{ref}$
- problème si N très grand et  $\beta$  faible

## 2- Miroir de courant de base compensé



Hypothèse :  $\beta_1 = \beta_2 = \beta$

$$V_{BE1} = V_{BE2} \Rightarrow I_1 = I_2$$

et

$$\begin{cases} I_1 = I_{Ref} - I_{B3} = I_2 \\ I_{B3} = \frac{I_{B1} + I_{B2}}{\beta_3 + 1} \end{cases} \Rightarrow$$

$$I_2 = \frac{I_{Ref}}{1 + \frac{2}{\beta(\beta_3 + 1)}}$$

- Si  $\beta_1$  et  $\beta_2$  faibles alors  $Q_3$  compense en permettant d'obtenir  $I_2 \approx I_{Ref}$  (fonction miroir)
- Si  $\beta_3$  est aussi petit on introduit alors une résistance  $R_x$   
 $\Rightarrow$  courant  $I_{C3}$  plus élevé  $\Rightarrow \beta_3$  plus grand

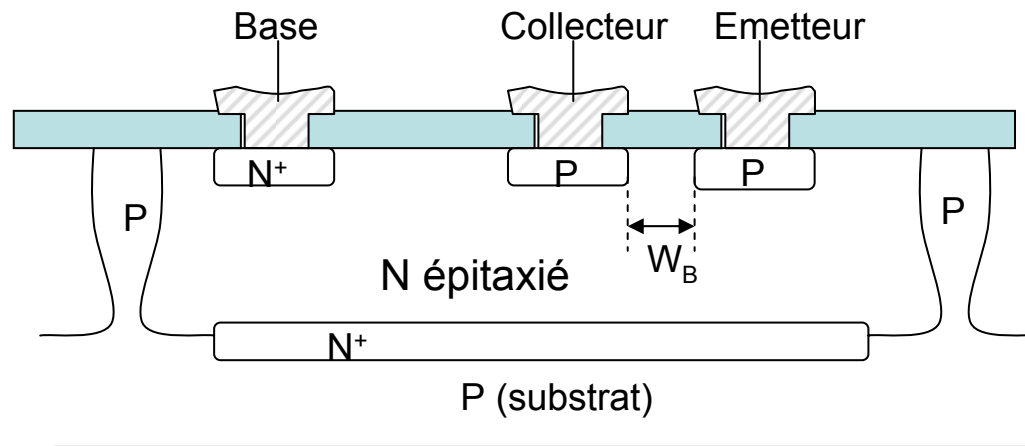
Structure intéressante pour la réalisation d'une source de courant à plusieurs sorties à l'aide de transistor NPN inversés (donc à faible  $\beta$ )



## II- Transistors PNP intégrés

- Réalisation des transistors PNP intégrés compatible avec la technologie NPN
  - Pas d'étape de fabrication (masquage) supplémentaire
- Deux types de transistor PNP :
- transistors PNP latéraux
  - transistors PNP verticaux (transistors substrat)
- Région (N) faiblement dopée épitaxiée des transistors NPN utilisée pour la base des transistors PNP intégrés
  - Performances électriques moins bonnes que celles des transistors NPN,
  - Très utiles pour des fonction de polarisation des circuits, réalisation de charges actives dans les étages amplificateurs de tension en petits signaux

### 1) Transistor PNP latéral intégré



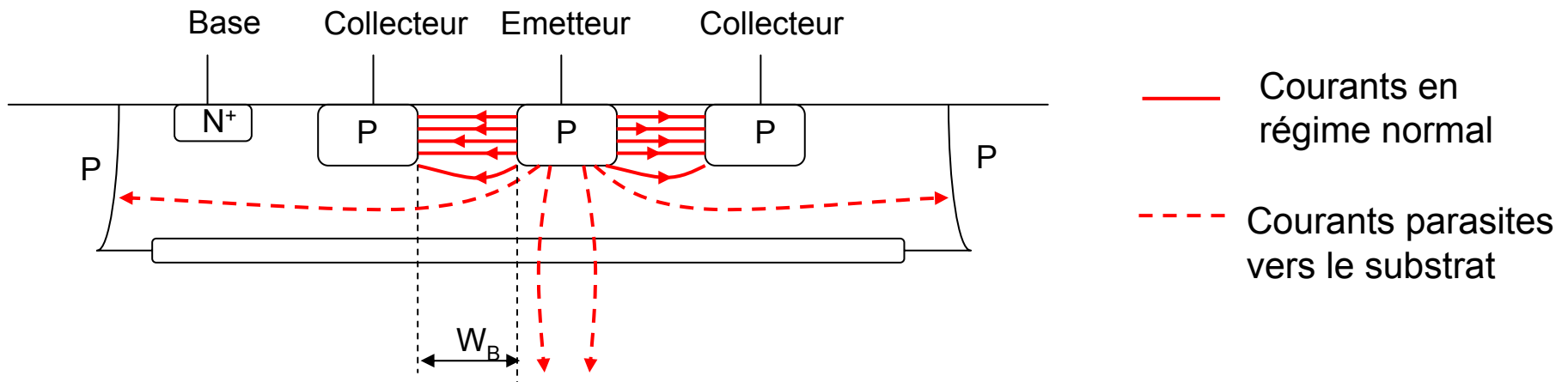
	Transistor PNP latéral	Transistor NPN
Région N épitaxiée	Base	Collecteur
Région type P	Collecteur et émetteur	Base
Région N <sup>+</sup>	Contact N <sup>+</sup> de la base	Emetteur

En fonctionnement normal :  
mouvement des porteurs, et donc de la circulation des courants, latéral (c-à-d parallèlement à la surface)

But : collecter la plus grande partie des porteurs

⇒ courants parasites vers le substrat,

⇒ émetteur entouré par le collecteur



-  $W_B \sim 6$  à  $12 \mu\text{m}$  (à cause des effets de diffusions latérales des porteurs, et des tensions de claquage) alors que pour les transistors NPN  $W_B \sim 0,7 \mu\text{m}$

- Emetteur faiblement dopé et de plus petite surface par rapport à un transistor NPN

- Courant parasite au niveau du substrat

⇒  $\beta$  faible : 5 – 50 ( $\beta_{\text{NPN}}$  100 – 200)

⇒  $f_T$  faible : 3 – 5 MHz ( $f_{\text{TNP}}$  300 – 500 MHz)

- Transistors bipolaires parasites associés :

Deux types

1- Au niveau de l'émetteur : transistor constitué par la région émetteur, la région N épitaxiée, et le substrat P

Jonction Emetteur-Base du transistor PNP polarisée en direct

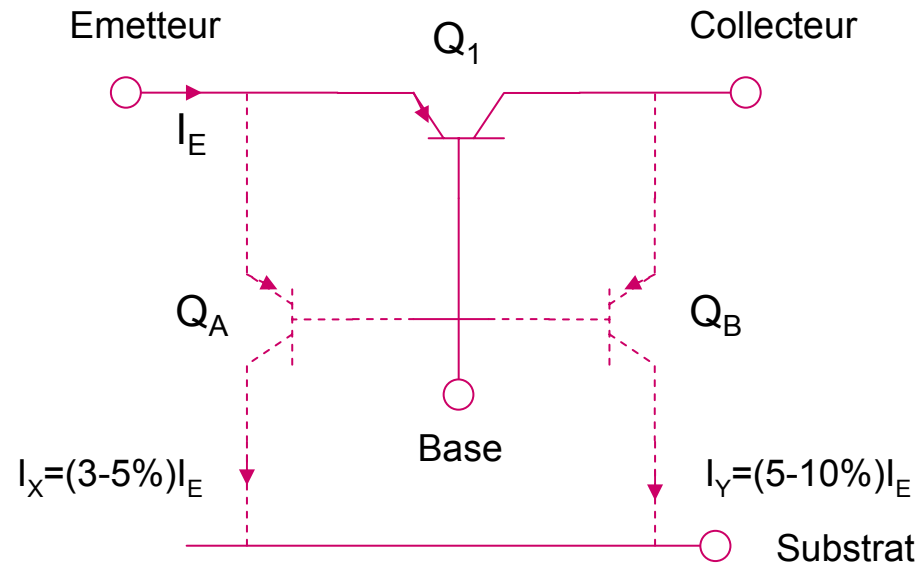
⇒ Transistor parasite actif : gain en courant faible à cause de la semelle  $N^+$  enterrée servant de base : courant de collecteur parasite estimé à 3-5% du courant collecteur du transistor PNP latéral

2- Au niveau du collecteur : transistor constitué des mêmes régions que pour le précédent.

Transistor normalement bloqué en régime de fonctionnement normal du transistor PNP  
Transistor actif si le transistor PNP (latéral) est saturé ou bloqué ⇒ « shuntage » d'une partie du courant de collecteur.

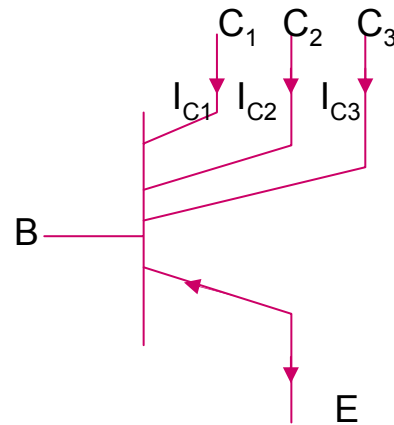
Réalisation d'un anneau profond dopé  $N^+$  entourant le transistor PNP et le mur d'isolation P pour limiter le « shuntage » : courant de collecteur parasite estimé à 5-10% du courant collecteur du transistor PNP latéral

- Représentation électrique des transistors parasites associés au transistor PNP latéral



**2) Transistor PNP latéral multicollecteur**

Transistor réalisé en fractionnant les prises de contacts électriques dans la région collecteur (entourant la région émetteur)



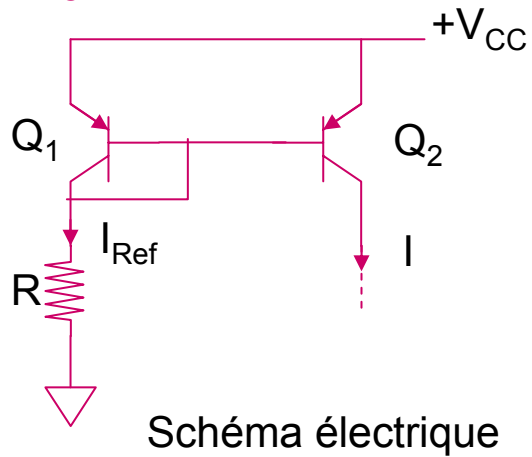
$$I_{C1} = I_{C2} = \dots = I_{CN} \cong \frac{I_E}{N}$$

*NB : vrai si surface de contact électrique de chaque collecteur identique*

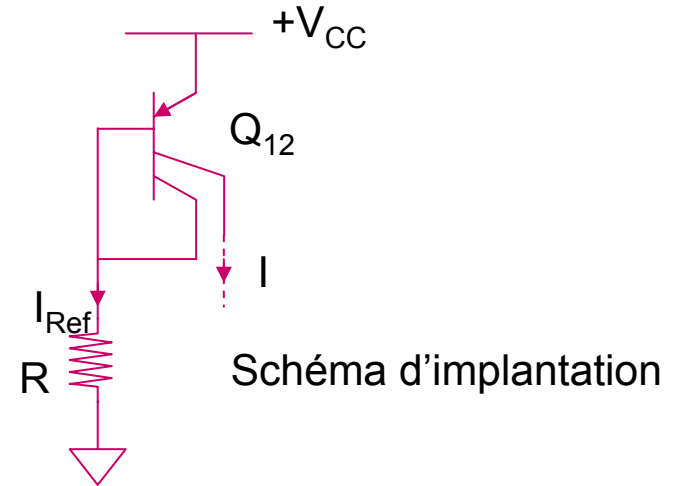
Remarque : Aucun collecteur ne doit être en saturation sinon risque de mise en conduction d'un transistor PNP parasite (entre les collecteurs ou entre les collecteurs et le substrat)

- Exemples de réalisations :

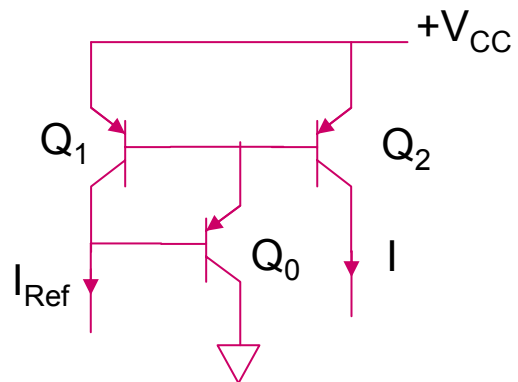
1- Miroir



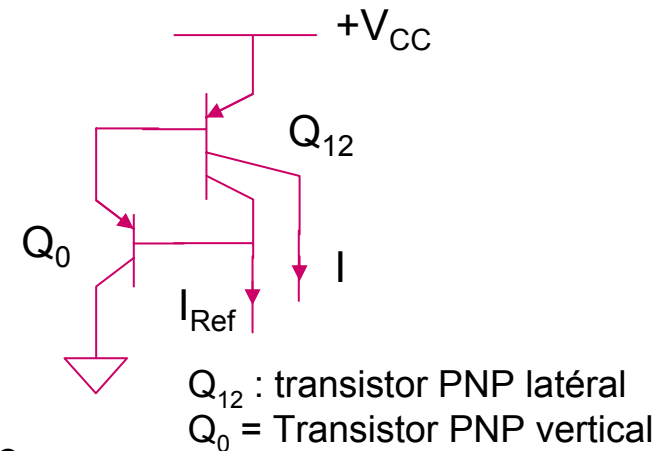
⇒



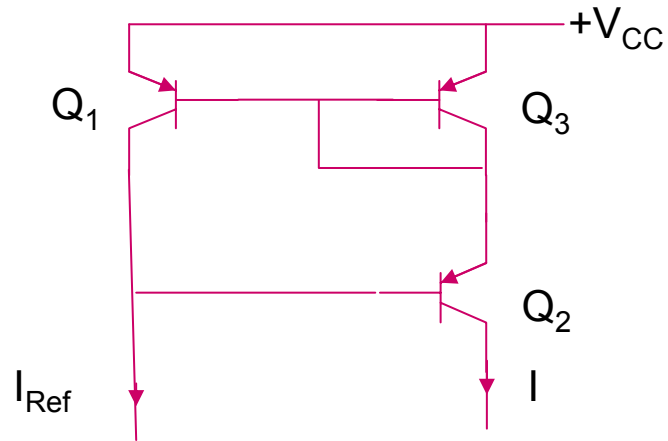
2- Source de courant à courant de base compensé



⇒



### 3- Source de Wilson à sorties multiples



Source de Wilson

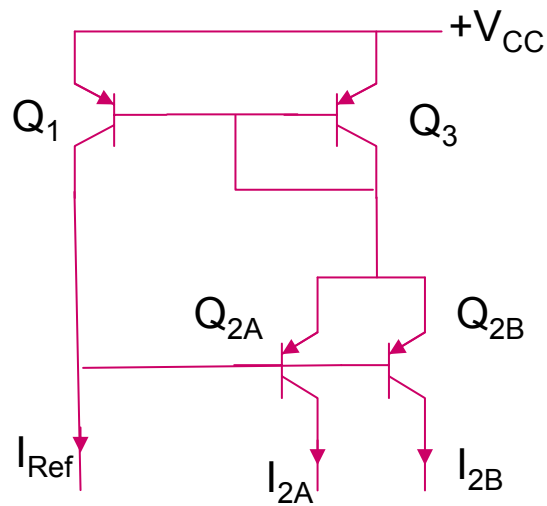


Schéma électrique

⇒

Source de Wilson à 2 sorties

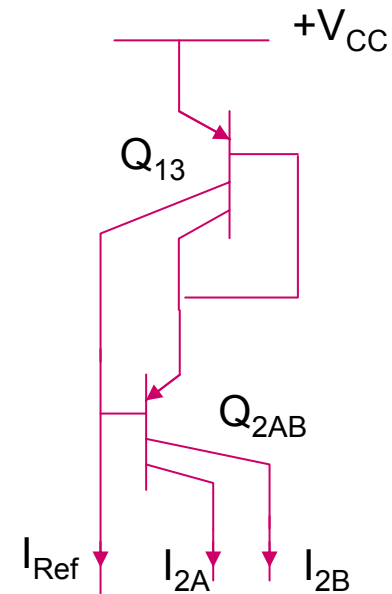
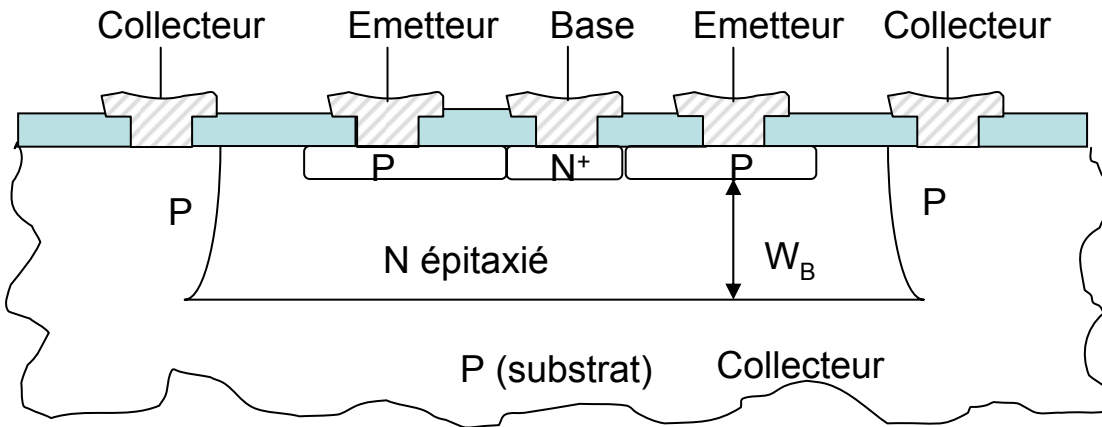


Schéma d'implantation

### 3) Transistor PNP vertical (substrat) intégré



Emetteur entourant la base

*NB : dans certain cas le collecteur peut entourer l'émetteur*

Transistor PNP vertical	Transistor NPN
Emetteur	Base
Base (région N épitaxiée)	Collecteur
Collecteur (substrat)	Substrat et « murs » d'isolation P

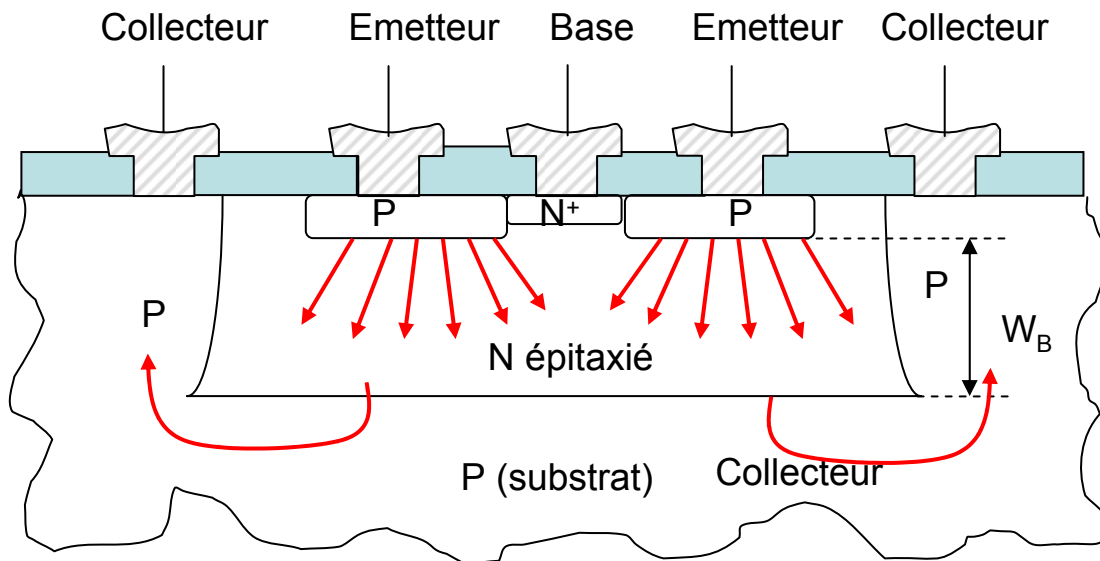
- Technologie de fabrication compatible avec celle des transistors NPN sans étape de fabrication supplémentaire
- Contrôle précis de la région N épitaxiée (largeur de la base) afin d'assurer une bonne reproductibilité des propriétés électriques sur le même substrat
- Collecteur : substrat commun à tous les transistors PNP verticaux sur le même substrat  
 ⇒ substrat (collecteur) à la masse ⇒ Transistors PNP verticaux utilisés comme amplificateur de courant, ou dans les étages complémentaire de classe B (Push-Pull)

Surface de la jonction émetteur-base d'un transistor PNP vertical : toute la surface de la zone émetteur

Surface de la jonction émetteur-base d'un transistor PNP latéral : périphérie de la zone émetteur



- Meilleure injection des porteurs minoritaires de l'émetteur vers la base
- A surface active égale, gain en courant d'un transistor PNP vertical plus grand que pour un transistor PNP latéral



Courants de porteurs minoritaires

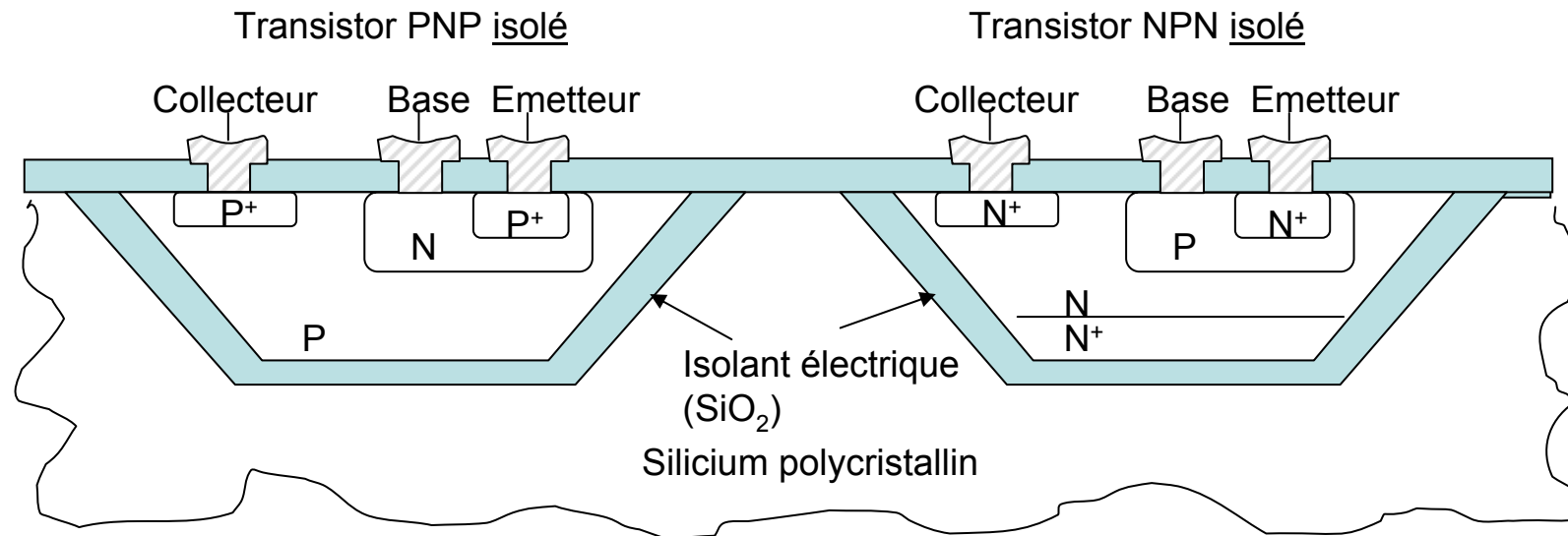
Fréquence de transition plus élevée ( $f_T \approx 8 - 30$  MHz) pour des technologies standards

#### 4) Transistor PNP vertical isolé

Performances des transistors PNP latéraux ou verticaux insuffisantes pour des applications de types micro-ondes

Nécessité d'une technologie adaptée, mais nécessitant des étapes de fabrication spécifiques et donc supplémentaires

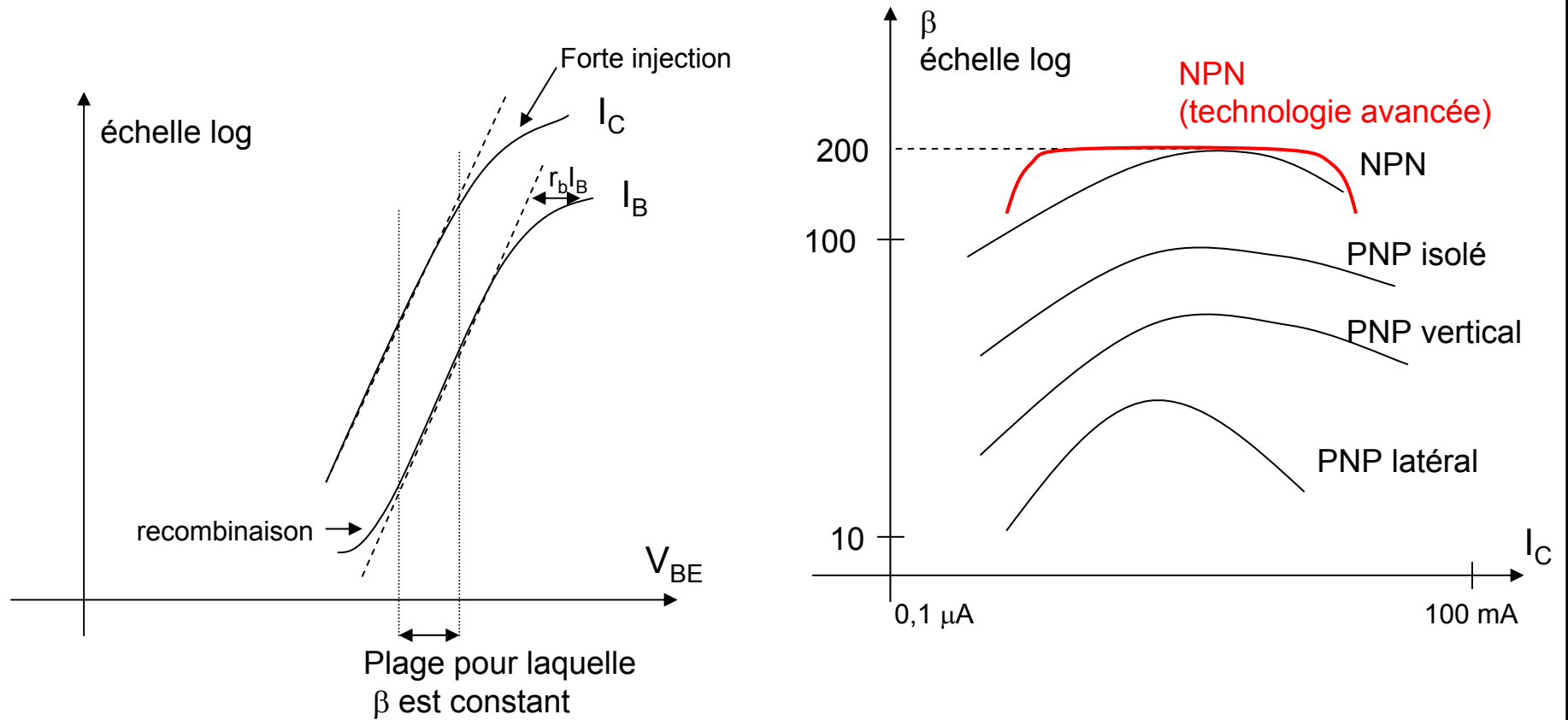
→ Technique d'isolation diélectrique des transistors bipolaires NPN et PNP intégrés



Transistor PNP (latéral) isolé :

- $\beta \sim 50 - 100$
- $f_T \sim 150 \text{ MHz}$

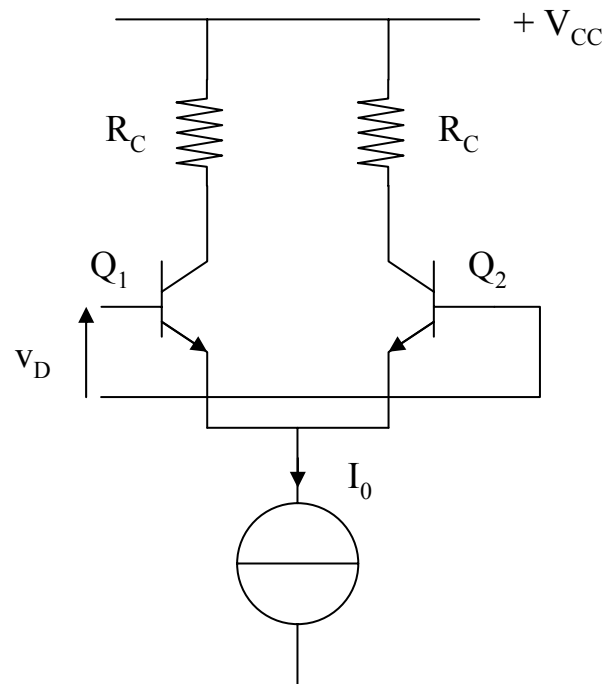
## 5) Comparaison des gains en courant des transistors bipolaires



## Etages différentiels bipolaires

### I- Etude détaillée de l'étage différentiel bipolaire

Rappels



Hypothèses :

- Transistors identiques (symétrie de l'étage)
- Effet early négligé
- $\beta \gg 1$

$$v_D = v_{BE1} - v_{BE2} = U_T \ln \frac{i_{E1}}{I_S} - U_T \ln \frac{i_{E2}}{I_S}$$

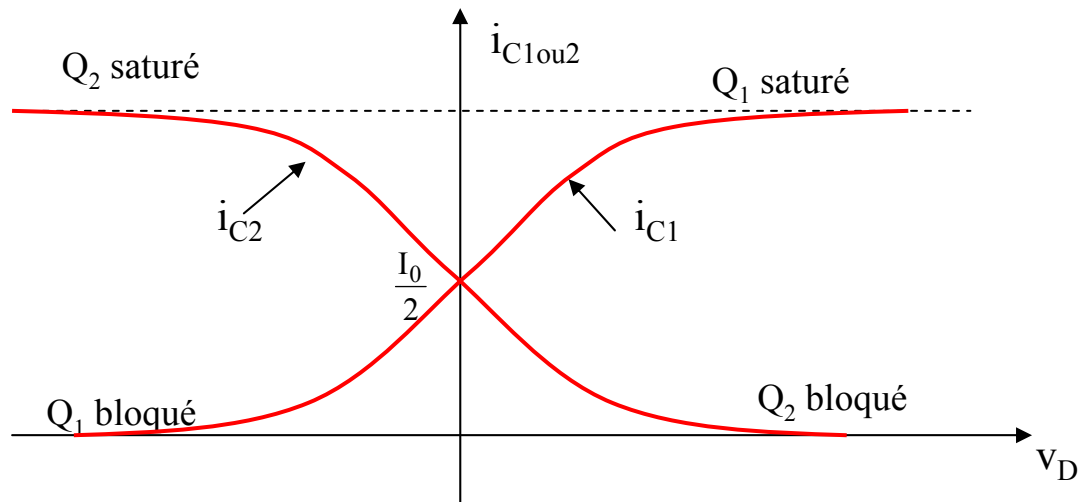
$$v_D = U_T \ln \frac{i_{E1}}{i_{E2}} \quad \text{et} \quad \begin{cases} i_{E1} \cong i_{C1} \\ i_{E2} \cong i_{C2} \end{cases}$$

$$\Rightarrow \begin{cases} i_{C1} \cong i_{C2} \exp \frac{v_D}{U_T} \\ i_{C2} \cong i_{C1} \exp \left( -\frac{v_D}{U_T} \right) \end{cases}$$

et  $i_{C1} + i_{C2} \cong I_0$

$$\Rightarrow \begin{cases} i_{C1} \left[ 1 + \exp \left( -\frac{v_D}{U_T} \right) \right] \cong I_0 \\ i_{C2} \left[ 1 + \exp \left( \frac{v_D}{U_T} \right) \right] \cong I_0 \end{cases}$$

$$\Rightarrow \begin{cases} i_{C1} \cong \frac{I_0}{1 + \exp\left(-\frac{v_D}{U_T}\right)} = \frac{I_0}{2} + \frac{I_0}{2} \operatorname{th}\left(\frac{v_D}{2U_T}\right) \\ i_{C2} \cong \frac{I_0}{1 + \exp\left(\frac{v_D}{U_T}\right)} = \frac{I_0}{2} - \frac{I_0}{2} \operatorname{th}\left(\frac{v_D}{2U_T}\right) \end{cases}$$



En petits signaux :

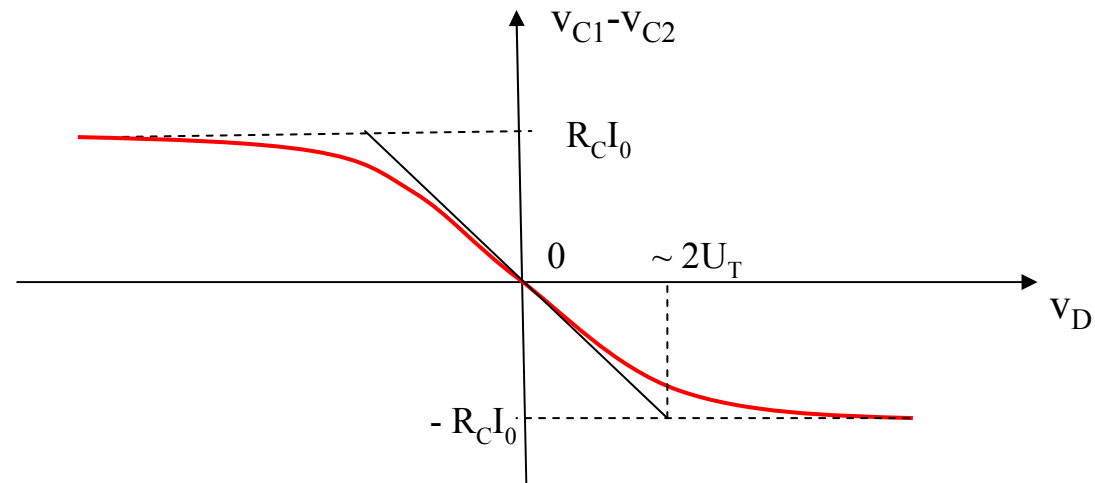
$$v_D \ll U_T$$

$$\Rightarrow \begin{cases} i_{C1} \cong \frac{I_0}{2} + g_D v_D \\ i_{C2} \cong \frac{I_0}{2} - g_D v_D \end{cases}$$

$$g_D = \frac{I_0}{4U_T} : \text{transconductance}$$

$$v_{C1} = V_{CC} - R_C i_{C1} \quad ; \quad v_{C2} = V_{CC} - R_C i_{C2}$$

$$\Rightarrow v_{C1} - v_{C2} = -R_C (i_{C1} - i_{C2}) = -R_C I_0 \operatorname{th} \left( \frac{v_D}{2U_T} \right)$$



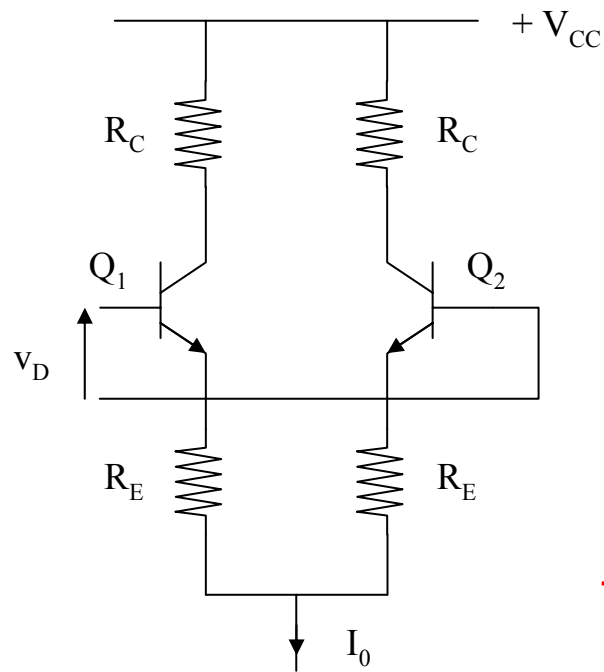
En petits signaux :

$$v_{C1} - v_{C2} = -\frac{R_C I_0}{2U_T} v_D = A_D v_D$$

⇒

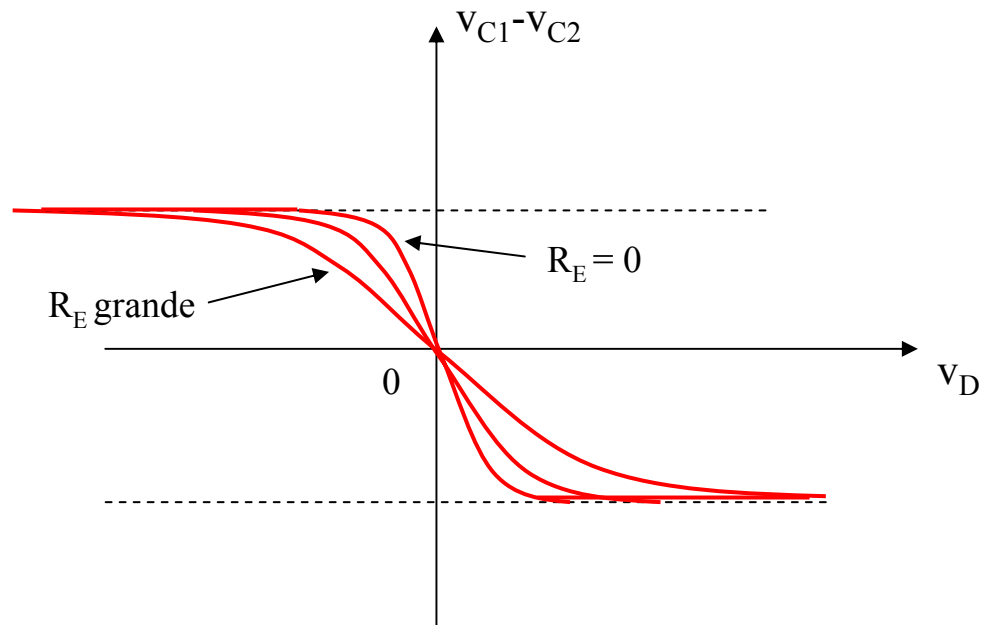
Comportement linéaire  
si  $v_D \ll U_T$

- Paire différentielle dégénérée



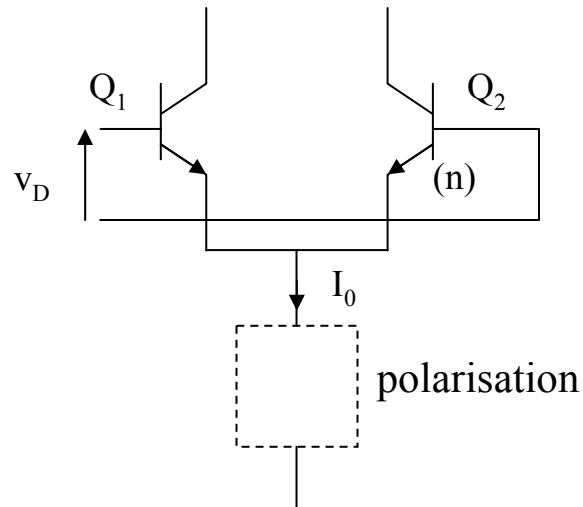
$$v_D = v_{BE1} - v_{BE2} + R_E i_{E1} \left( 1 - \frac{i_{E2}}{i_{E1}} \right)$$

$$i_{E1} + i_{E2} = i_{E1} \left( 1 + \frac{i_{E2}}{i_{E1}} \right) = I_0$$



Comportement linéaire pour un plus grande gamme de tension  $v_D$

## 1) Etage volontairement dissymétrique



$Q_1$  : monoémetteur ( $I_{S1}$ )

$Q_2$  : multiémetteur ( $I_{S2} = nI_{S1}$ )

$Q_1$  et  $Q_2$  issus de la même technologie

$$i_{E1} + i_{E2} = I_0$$

$$i_{C1} \cong i_{E1} = I_{S1} \exp\left(\frac{v_{BE1}}{U_T}\right) \left(1 + \frac{v_{CE1}}{V_A}\right)$$

$$i_{C2} \cong i_{E2} = I_{S2} \exp\left(\frac{v_{BE2}}{U_T}\right) \left(1 + \frac{v_{CE2}}{V_A}\right)$$

Si effet early négligeable (ou bien si  $v_{CE1} = v_{CE2}$ )

$$\frac{i_{C1}}{i_{C2}} = \frac{I_{S1}}{I_{S2}} \exp\left(\frac{v_{BE1} - v_{BE2}}{U_T}\right) = \frac{1}{n} \exp\frac{v_D}{U_T}$$

$$\Rightarrow 1 + \frac{i_{E1}}{i_{E2}} = 1 + \frac{1}{n} \exp\frac{v_D}{U_T} = \frac{I_0}{i_{E2}}$$

$\Rightarrow$

$$\begin{cases} i_{E2} = \frac{I_0}{1 + \frac{1}{n} \exp\frac{v_D}{U_T}} \\ i_{E1} = \frac{I_0 \frac{1}{n} \exp\frac{v_D}{U_T}}{1 + \frac{1}{n} \exp\frac{v_D}{U_T}} \end{cases}$$

## a) Application en amplificateur différentiel

– Au repos  $v_D = 0 \Rightarrow$

$$\left| \begin{array}{l} i_{E2} = \frac{n}{n+1} I_0 \\ i_{E1} = \frac{I_0}{n+1} \end{array} \right.$$

– Si  $v_D \neq 0$

grands signaux

$$\left| \begin{array}{l} i_{E2} = \frac{n}{n+1} I_0 + \frac{n}{n+1} I_0 \frac{1 - \exp\left(\frac{v_D}{U_T}\right)}{n + \exp\left(\frac{v_D}{U_T}\right)} \\ i_{E1} = \frac{I_0}{n+1} - \frac{n}{n+1} I_0 \frac{1 - \exp\left(\frac{v_D}{U_T}\right)}{n + \exp\left(\frac{v_D}{U_T}\right)} \end{array} \right.$$

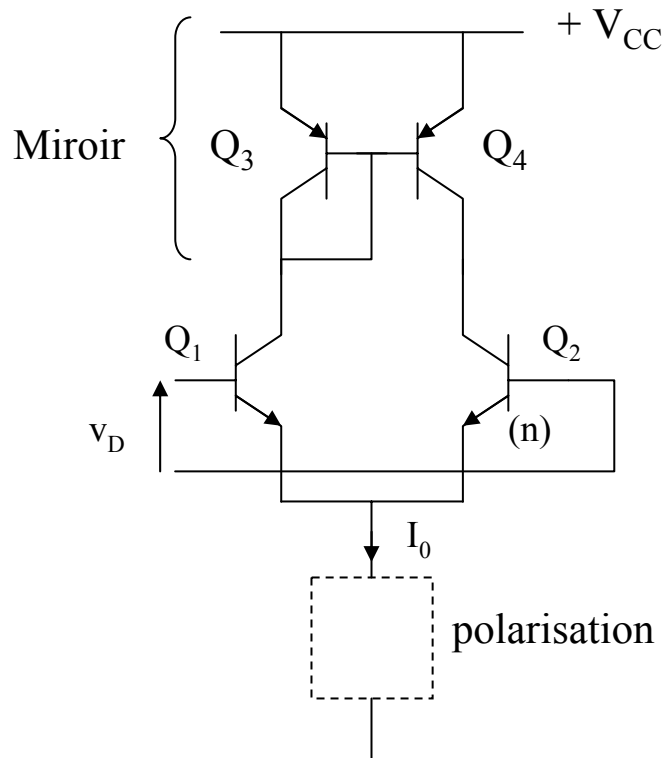
petits signaux ( $v_D \ll U_T$ )

$$\left| \begin{array}{l} i_{E2} \cong \frac{n}{n+1} I_0 - \frac{n}{(n+1)^2} I_0 \frac{v_D}{U_T} \\ i_{E1} \cong \frac{I_0}{n+1} + \frac{n}{(n+1)^2} I_0 \frac{v_D}{U_T} \end{array} \right.$$

Remarques :

- Si  $n = 1$  résultat classique
- Transconductance diminuant avec  $n$

## b) Application en capteur de température



- Transistors identiques
- gain en courant  $\gg 1$

$$V_{BE3} = V_{BE4} \Rightarrow i_{E3} = i_{E4}$$

$$i_{E4} = i_{C2} ; i_{E3} = i_{C1} \Rightarrow i_{E2} = i_{C2} = i_{C1} = i_{E1}$$

$$\text{or } 1 = \frac{i_{C1}}{i_{C2}} = \frac{1}{n} \exp \frac{v_D}{U_T}$$

$$\Rightarrow v_D = U_T \ln(n) \propto T$$

*Principe des circuits LM 135, LM 235, LM 335  
(National Semiconductor)*

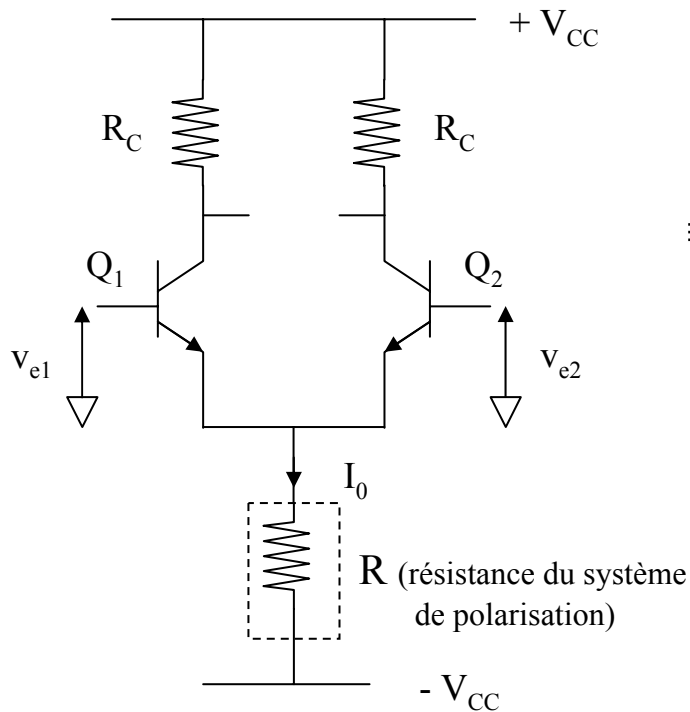
## 2) Etage différentiel (à peu près) symétrique

Rappel

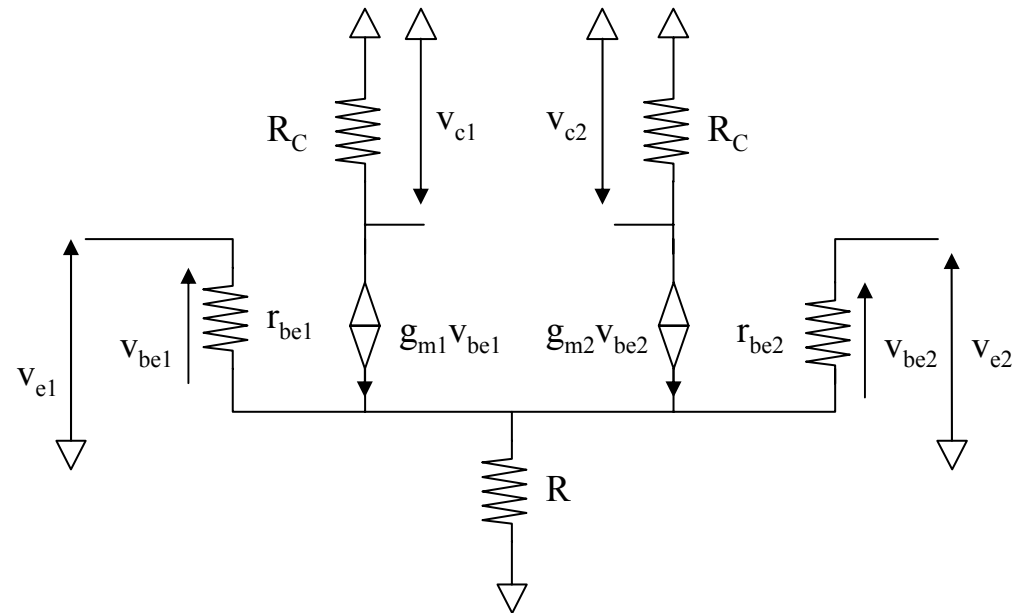
Fonction de base de l'étage différentiel en petits signaux : amplification de la différence entre deux signaux appliqués au niveau des deux entrées (mode différentiel) et atténuation d'un signal commun appliqué sur les deux entrées (mode commun)

On pose :

$$\begin{cases} v_{e1} - v_{e2} = v_d \text{ (tension de mode différentiel)} \\ \frac{v_{e1} + v_{e2}}{2} = v_{mc} \text{ (tension de mode commun)} \end{cases}$$



$\equiv$



Effet early négligé et gain en courant élevé

$$\begin{cases} v_{e1} = R \left( g_{m1} v_{be1} + \frac{v_{be1}}{r_{be1}} + g_{m2} v_{be2} + \frac{v_{be2}}{r_{be2}} \right) + v_{be1} \cong R (g_{m1} v_{be1} + g_{m2} v_{be2}) + v_{be1} \\ v_{e2} = R \left( g_{m1} v_{be1} + \frac{v_{be1}}{r_{be1}} + g_{m2} v_{be2} + \frac{v_{be2}}{r_{be2}} \right) + v_{be2} \cong R (g_{m1} v_{be1} + g_{m2} v_{be2}) + v_{be2} \end{cases}$$

$$\begin{cases} v_{e1} - v_{e2} = v_d = v_{be1} - v_{be2} \\ \frac{v_{e1} + v_{e2}}{2} = v_{mc} = \left( Rg_{m1} + \frac{1}{2} \right) v_{be1} + \left( Rg_{m2} + \frac{1}{2} \right) v_{be2} \end{cases}$$

$$\Rightarrow \begin{cases} v_{be1} = \frac{\left( Rg_{m2} + \frac{1}{2} \right) v_d + v_{mc}}{1 + R(g_{m1} + g_{m2})} \\ v_{be2} = \frac{-\left( Rg_{m1} + \frac{1}{2} \right) v_d + v_{mc}}{1 + R(g_{m1} + g_{m2})} \end{cases}$$

### a) Sorties asymétriques

$$v_{c1} = \frac{-R_C g_{m1} \left( Rg_{m2} + \frac{1}{2} \right)}{1 + R(g_{m1} + g_{m2})} v_d - \frac{R_C g_{m1}}{1 + R(g_{m1} + g_{m2})} v_{mc}$$

$$v_{c1} = A_{D1} v_d + A_{MC1} v_{mc}$$

$$A_{D1} = \frac{-R_C g_{m1} \left( Rg_{m2} + \frac{1}{2} \right)}{1 + R(g_{m1} + g_{m2})} ; A_{MC1} = -\frac{R_C g_{m1}}{1 + R(g_{m1} + g_{m2})}$$

$$v_{c2} = \frac{R_C g_{m2} \left( Rg_{m1} + \frac{1}{2} \right)}{1 + R(g_{m1} + g_{m2})} v_d - \frac{R_C g_{m2}}{1 + R(g_{m1} + g_{m2})} v_{mc}$$

$$v_{c2} = A_{D2} v_d + A_{MC2} v_{mc}$$

$$A_{D2} = \frac{R_C g_{m2} \left( Rg_{m1} + \frac{1}{2} \right)}{1 + R(g_{m1} + g_{m2})} ; A_{MC2} = -\frac{R_C g_{m2}}{1 + R(g_{m1} + g_{m2})}$$

$$\begin{cases} i_{c1} = -\frac{v_{c1}}{R_C} = -\frac{A_{D1}}{R_C} v_d - \frac{A_{MC1}}{R_C} v_{mc} = g_{D1} v_d + g_{MC1} v_{mc} \\ i_{c2} = -\frac{v_{c2}}{R_C} = -\frac{A_{D2}}{R_C} v_d - \frac{A_{MC2}}{R_C} v_{mc} = g_{D2} v_d + g_{MC2} v_{mc} \end{cases}$$

avec  $\begin{cases} g_{D1} > 0 \text{ et } g_{D2} < 0 \\ g_{MC1} > 0 \text{ et } g_{MC2} > 0 \end{cases}$

Taux de réjection en mode commun :

$$\begin{cases} RRMC1 = 20 \log \left| \frac{A_{D1}}{A_{MC1}} \right| = 20 \log \left( \frac{1}{2} + R g_{m2} \right) \\ RRMC2 = 20 \log \left| \frac{A_{D2}}{A_{MC2}} \right| = 20 \log \left( \frac{1}{2} + R g_{m1} \right) \end{cases}$$

- Mode différentiel :

$$A_{D1} < 0 \text{ et } A_{D2} > 0 \quad \Rightarrow \quad v_{c1} \text{ et } v_{c2} \text{ en opposition de phase}$$

- Mode commun :

$$A_{MC1} < 0 \text{ et } A_{MC2} < 0 \quad \Rightarrow \quad v_{c1} \text{ et } v_{c2} \text{ en phase et en opposition de phase par rapport à chacune des deux entrées}$$

## b) Sortie symétrique

$$v_{c1} - v_{c2} = (A_{D1} - A_{D2})v_d + (A_{MC1} - A_{MC2})v_{mc}$$

$$\Rightarrow \begin{cases} v_s = A_D v_d + A_{MC} v_{mc} \\ A_D = A_{D1} - A_{D2} = -(|A_{D1}| + |A_{D2}|) \\ A_{MC} = A_{MC1} - A_{MC2} = -(|A_{MC1}| - |A_{MC2}|) \end{cases}$$



- Augmentation du gain différentiel en module : les contributions des sorties asymétriques s'ajoutent.
- Diminution du gain en mode commun : les contributions asymétriques se retranchent

- Taux de réjection en mode commun:

$$RRMC = 20 \log \left| \frac{A_D}{A_{MC}} \right| \quad \text{plus élevé donc plus intéressant}$$

Remarque:

$$i_d = i_{c1} - i_{c2} = (g_{D1} - g_{D2})v_d + (g_{MC1} - g_{MC2})v_{mc}$$

$$\begin{cases} i_d = g_D v_d + g_{MC} v_{mc} \\ g_D = |g_{D1}| + |g_{D2}| \\ g_{MC} = |g_{MC1}| - |g_{MC2}| \end{cases}$$

### c) Choix du circuit de polarisation d'un étage symétrique

Hypothèse : symétrie parfaite

$$\Rightarrow g_{m1} = g_{m2} = g_m$$

– Sorties asymétriques

$$A_{D1} \cong -A_{D2} \cong -\frac{R_C g_m}{2}$$

$$A_{MC1} \cong A_{MC2} = -\frac{R_C g_m}{1 + 2R g_m}$$

$$RRMC_1 \cong RRMC_2 = 20 \log \left( \frac{1}{2} + R g_m \right)$$

– Sortie symétrique

$$A_D \cong -R_C g_m \text{ (gain double)}$$

$$A_{MC} \cong 0$$

$$RRMC \cong \infty$$

} Dépendent des défauts de symétrie

Bon amplificateur si RRMC élevé

- Comment réalise-t-on un amplificateur parfait ?

- en mode symétrique : soigner la symétrie des composants  $R_C$ , et  $Q_1$  et  $Q_2$

• en mode asymétrique :

on veut  $RRMC = 20\log\left(\frac{1}{2} + Rg_m\right)$  le plus grand possible

$$\Rightarrow Rg_m = R \frac{I_E}{U_T} \text{ de forte valeur}$$

1<sup>ère</sup> possibilité : prendre R élevée

$$\text{mais attention } V_{CC} \approx 2RI_E \text{ donc } Rg_m \approx \frac{V_{CC}}{2U_T} \quad (\text{ex : AN } V_{CC} = 15 \text{ V} \Rightarrow Rg_m \sim 300 \\ \Rightarrow RRMC = 50 \text{ dB})$$

On ne peut augmenter le RRMC de façon appréciable à moins d'augmenter  $V_{EE}$  démesurément !  
Ce qui peut poser problème.

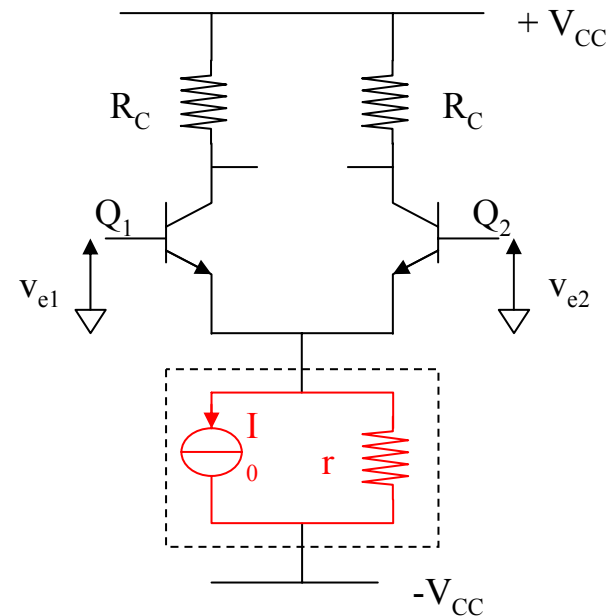
2<sup>e</sup> possibilité (bien meilleure que la précédente)

Fixer de façon indépendante le courant  $I_0$   
à l'aide d'une source de courant (c-e-m  $I_0$ ,  
résistance interne r) à la place de R.

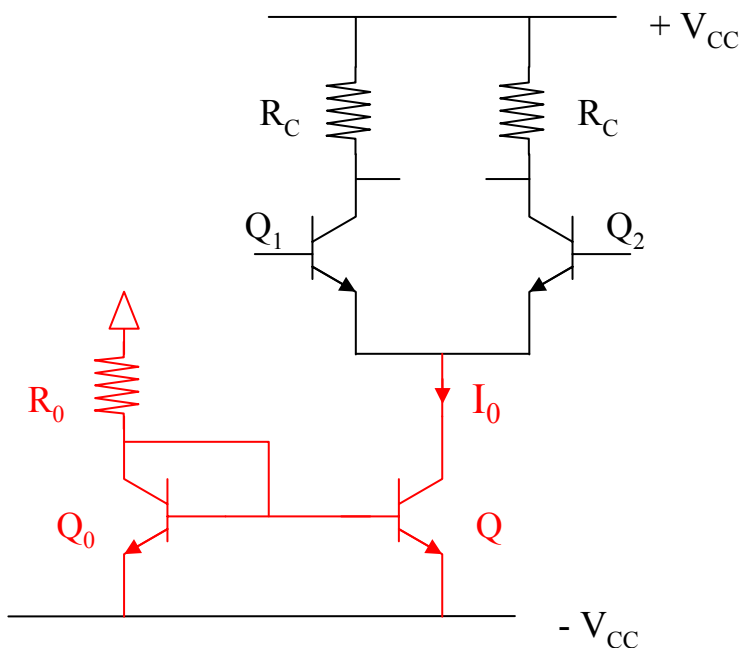
- Schéma petits signaux inchangé et formules  
précédentes toujours valables en remplaçant  
R par r.

-  $I_0$  fixé, on a intérêt à choisir r aussi grande  
que possible

$$\text{Ici } Rg_m = \rho \frac{I_0}{2U_T}$$



- Exemple de réalisation concrète



$$g_m = \frac{I_E}{U_T} = \frac{I_0}{2U_T}$$

$\rho$  : résistance interne du miroir ( $Q_0, Q_1$ )

$$\rho = \frac{1}{g_{ce}} = \frac{V_A}{I_0} \gg \frac{1}{g_m}$$

En sorties asymétriques :

$$A_{DI} = -\frac{R_C g_m}{2} = -\frac{R_C I_0}{4U_T}$$

$$A_{MCI} \cong -\frac{R_C}{2\rho} \quad (\rho g_m \gg 1)$$

$$\Rightarrow \text{RRMC1} \cong 20 \log(\rho g_m) = 20 \log \frac{V_A}{2U_T} \approx 66 \text{ dB}$$

plus élevé

En pratique :

$$V_{C1} \text{ et } V_{C2} \approx \frac{V_{CC}}{2} \quad \Rightarrow \quad R_C I_E \approx \frac{V_{CC}}{2} \quad \Rightarrow \quad A_{DI} = -\frac{R_C I_E}{2U_T} \approx -\frac{V_{CC}}{4U_T} \quad (|A_{DI}| \approx 150 \text{ si } V_{CC} = 15V)$$

En pratique : Gain différentiel et RRMC dépendant seulement de  $V_{CC}$  et donc indépendant du point de repos ( $I_0$  et  $I_E$ )

### 3) Etage différentiel d'entrée d'un circuit intégré

En réalité, disfonctionnements dus aux :

- dérives (thermiques, des alimentations)
- dissymétrie de la structure (courant de polarisation, tension de décalage)

Dérives : petites variations altérant surtout l'étage d'entrée où le signal est le plus faible

⇒ Importance de l'élimination (réjection) des dérives à l'entrée

#### a) Rejection des dérives pour un étage différentiel à peu près symétrique

Dérives thermiques dans un étage différentiel à transistors bipolaires :

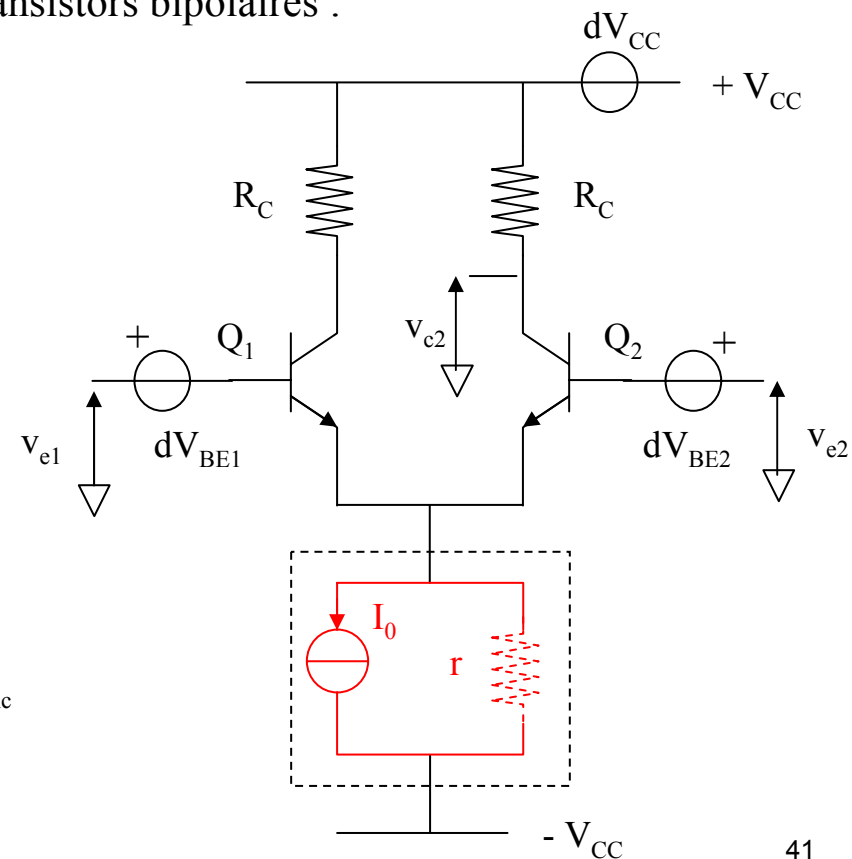
- de la tension  $V_{BE}$  :  $\frac{dV_{BE}}{dT} \approx -2\text{mV } ^\circ\text{C}^{-1}$

- du gain en courant  $\beta$  :  $\frac{1}{\beta} \frac{d\beta}{dT} \approx 1\% \text{ } ^\circ\text{C}^{-1}$

*Valeurs données pour le silicium*

Sortie assymétrique

$$\left| \begin{array}{l} g_D \approx \frac{g_m}{2} = \frac{I_E}{2U_T} \\ g_{MC} \approx \frac{1}{2\rho} \end{array} \right. \Rightarrow \left| \begin{array}{l} i_{c1} = g_D v_d + g_{MC} v_{mc} \\ i_{c2} = -g_D v_d + g_{MC} v_{mc} \end{array} \right.$$

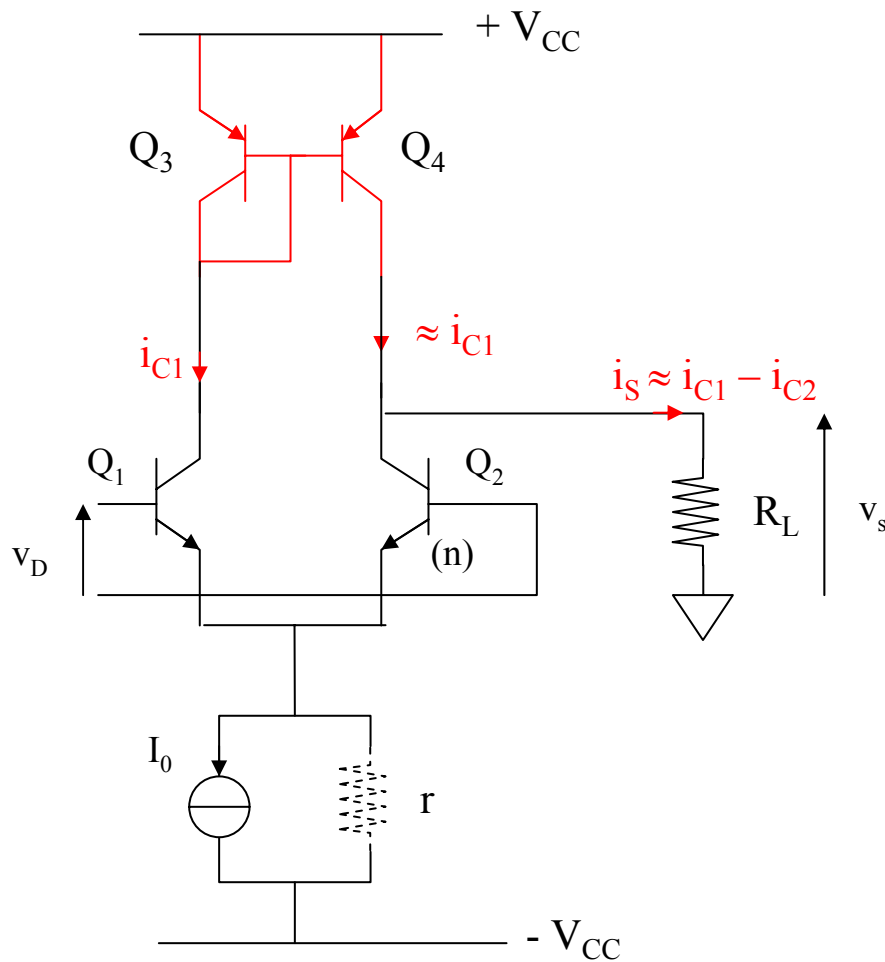


or  $v_{C2} = V_{CC} - R_C i_{c2} \Rightarrow dv_{C2} = dV_{CC} - R_C i_{c2}$

$$\Rightarrow dv_{C2} = dV_{CC} - R_C g_D (dV_{BE2} - dV_{BE1}) + R_C g_{MC} \frac{dV_{BE1} + dV_{BE2}}{2}$$

- Les dérives thermiques de  $\beta$  n'interviennent pas
- $dV_{BE2} = dV_{BE1} \Rightarrow$  terme de mode différentiel nul  
élimination des dérives thermiques au niveau des entrées (intérêt des amplificateurs différentiels)
- Terme de mode commun très faible si  $g_{MC}$  très petit (c-à-d si on a une bonne source de courant)
- En sortie symétrique : dérive thermique du  $V_{BE}$  et de la source d'alimentation  $dV_{CC}$  éliminées (par différence)
- Dérive de l'alimentation  $dV_{CC}$  totalement reproduite sur la sortie asymétrique  $v_{c2}$

- Comment se débarrasser de la dérive  $dV_{CC}$  en sortie asymétrique ?



Solution :

- Miroir de courant ( $Q_3, Q_4$ ) à la place des résistances  $R_C$
- Charge  $R_L$  connectée à la sortie

$$i_S \approx i_{C1} - i_{C2}$$

$$v_S = R_L i_S \approx R_L (i_{C1} - i_{C2})$$

$$\Rightarrow dv_S = R_L (di_{C1} - di_{C2})$$

$$\text{Or } i_{C1} - i_{C2} = 2g_D v_d$$

$$\Rightarrow i_{C1} - i_{C2} = 2g_D (v_{BE1} - v_{BE2})$$

$\Rightarrow$  Plus de dérive en courant

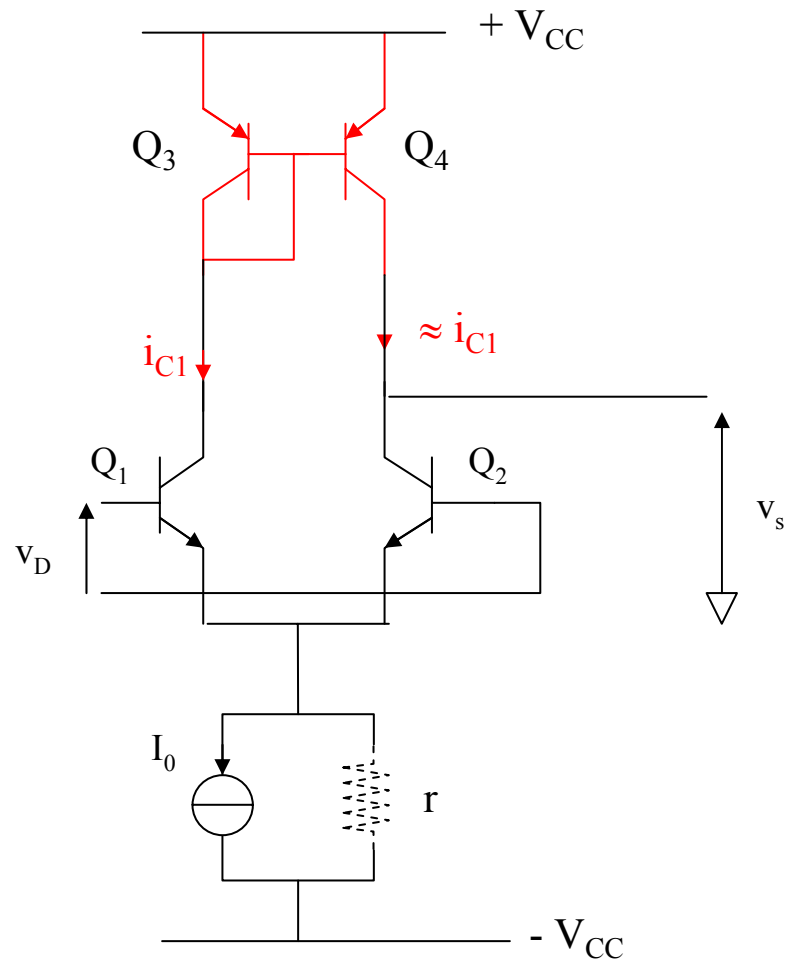
$$dv_S = R_L 2g_D (dv_{BE1} - dv_{BE2}) = 0$$

$\Rightarrow$  Elimination de toutes les dérives en sortie

*NB : Montage utilisé dans l'étage d'entrée des circuits intégrés : courant  $i_S$  prélevé en sortie asymétrique*

## b) Etage différentiel avec charge active

Même montage que le précédent



Intérêt : permet d'obtenir un gain en tension  $A_D$  plus élevé

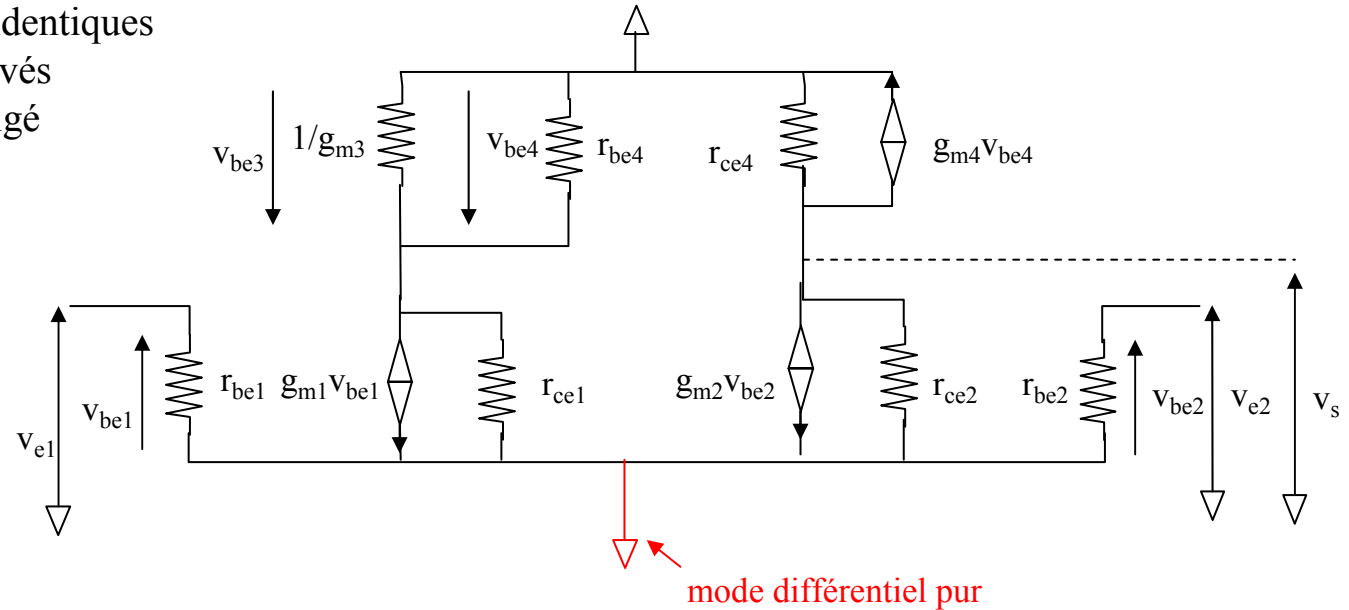
⇒ Intéressant pour amplifier des signaux de faible amplitude à l'entrée

( $Q_3, Q_4$ ) miroir aussi appelé charge active de l'étage différentiel ( $Q_1, Q_2$ )

Schéma en petits signaux (en mode différentiel):

Hypothèses :

- $Q_3, Q_4$  : transistors identiques
- $Q_1, Q_2$  : transistors identiques
- gains en courant élevés
- effet early non négligé



$$V_d = V_{be1} - V_{be2} \quad ; \quad V_{be3} = V_{be4} \quad ; \quad g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_m = \frac{I_0}{2U_T}$$

$$V_s = r_{ce2} \left( g_m V_{be2} + g_m V_{be4} - \frac{V_s}{r_{ce4}} \right) \Rightarrow V_s \left( 1 + \frac{r_{ce2}}{r_{ce4}} \right) = r_{ce2} g_m (V_{be2} + V_{be4})$$

or  $g_{m1}v_{be1} \cong -g_{m3}v_{be3}$  car  $r_{be3} = r_{be4} = \frac{I_0}{2\beta_{PNP}U_T} \Rightarrow v_{be1} \cong -v_{be3} = -v_{be4}$

$\Rightarrow v_s \left( 1 + \frac{r_{ce2}}{r_{ce4}} \right) \cong g_m r_{ce2} (v_{be2} - v_{be1}) = -g_m r_{ce2} v_d$

$\Rightarrow A_d = \frac{v_s}{v_d} \cong -\frac{g_m r_{ce2}}{1 + \frac{r_{ce2}}{r_{ce4}}} = -\frac{g_m}{\frac{1}{r_{ce2}} + \frac{1}{r_{ce4}}} = -g_m (r_{ce2} // r_{ce4})$  (à vide)

ou bien

$$A_d \cong -g_m \frac{\frac{2V_{AN}}{I_0} \frac{2V_{AP}}{I_0}}{\frac{2}{I_0}(V_{AN} + V_{AP})} = -g_m \frac{2V_{AN}V_{AP}}{I_0(V_{AN} + V_{AP})} = -\frac{I_0}{2U_T} \frac{2}{I_0} \frac{V_{AN}V_{AP}}{V_{AN} + V_{AP}}$$

$A_d \cong -\frac{1}{U_T} \frac{V_{AN}V_{AP}}{V_{AN} + V_{AP}}$  (à vide)

AN :  $V_{AN} = 100V$  ;  $V_{AP} = 50V$  ;  $U_T = 26mV$   $A_d = -1280 \Rightarrow \approx 60 \text{ dB}$

### c) Caractéristiques réelles d'entrée d'un étage différentiel (et d'un amplificateur opérationnel)

α/ Courants de polarisation de l'étage différentiel d'entrée

#### 1- Etage bipolaire

Fonctionnement normal : injection depuis l'extérieur de courants de base  $I_{B1}$  et  $I_{B2}$  à travers une jonction PN polarisée en direct pour chaque transistor  $Q_1$  et  $Q_2$ .

$I_{B1}$  et  $I_{B2}$  négligeables ( $\sim$  qq 100 nA pour l'amplificateur opérationnel  $\mu$ A 741)

#### 2- Etage à transistors à effet de champ

Fonctionnement normal : à chaque entrée jonction PN grille-source polarisée en inverse  
Courants d'entrée au niveau de chaque grille très petits ( $\sim$  30 pA pour l'amplificateur opérationnel TL080)

Remarque :

Impédances d'entrée en petits signaux : résistance dynamique d'une jonction PN polarisée en direct chargée par l'impédance interne de la source d'alimentation en courant de la paire différentielle

$\mu$ A 741 :  $\sim$  1 MW

TL 080 :  $\sim$   $10^6$  MW

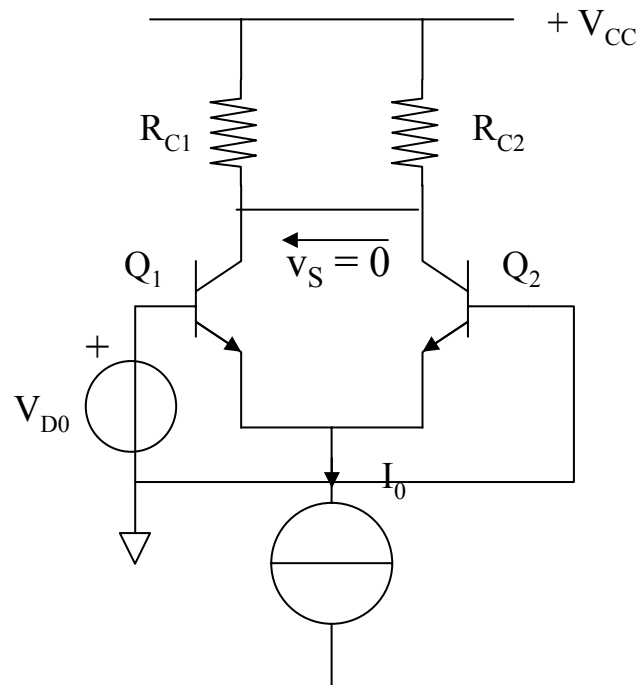
$\beta$ / Tension de décalage  $v_{D0}$  et courants de polarisation

Pas de symétrie parfaite entre les composants d'un étage d'entrée d'un circuit intégré

$\Rightarrow$  Dissymétrie de polarisation dans chaque demi paire

$\Rightarrow$  Tension de décalage (ou d'offset) et courants de polarisation différents entre les deux entrées

- Calcul de la tension de décalage  $V_{D0}$  lorsque  $v_S = 0$



-  $\beta_1 \approx \beta_2$  à  $\pm 10\%$

-  $I_{S1} \approx I_{S2}$  à  $\pm 5\%$

-  $R_{C1} \approx R_{C2}$  à  $\pm 1\%$  (résistances diffusées)

$$V_{D0} = V_{BE1} - V_{BE2} = U_T \left( \text{Ln} \frac{I_{E1}}{I_{S1}} - \text{Ln} \frac{I_{E2}}{I_{S2}} \right)$$

$$V_{D0} = U_T \text{Ln} \left( \frac{I_{E1} I_{S2}}{I_{E2} I_{S1}} \right) = U_T \left( \text{Ln} \frac{I_{E1}}{I_{E2}} + \text{Ln} \frac{I_{S2}}{I_{S1}} \right)$$

or  $I_{E1} = \left( 1 + \frac{1}{\beta_1} \right) I_{C1}$  et  $I_{E2} = \left( 1 + \frac{1}{\beta_2} \right) I_{C2}$

$$\Rightarrow V_{D0} = U_T \left( \text{Ln} \frac{1 + \frac{1}{\beta_1}}{1 + \frac{1}{\beta_2}} + \text{Ln} \frac{I_{C1}}{I_{C2}} + \text{Ln} \frac{I_{S2}}{I_{S1}} \right) = U_T \left( \text{Ln} \frac{1 + \frac{1}{\beta_1}}{1 + \frac{1}{\beta_2}} + \text{Ln} \frac{R_{C2}}{R_{C1}} + \text{Ln} \frac{I_{S2}}{I_{S1}} \right)$$

Si  $\beta_1, \beta_2 \gg 1$  ;  $R_{C2} = R_{C1} + \Delta R_{C1}$  ;  $I_{S2} = I_{S1} + \Delta I_{S1}$  alors

$$\Rightarrow V_{D0} = U_T \left( \ln \frac{R_{C2}}{R_{C1}} + \ln \frac{I_{S2}}{I_{S1}} \right) \cong U_T \left[ \ln \left( 1 + \frac{\Delta R_{C1}}{R_{C1}} \right) + \ln \left( 1 + \frac{\Delta I_{S1}}{I_{S1}} \right) \right] \cong U_T \left[ \frac{\Delta R_{C1}}{R_{C1}} + \frac{\Delta I_{S1}}{I_{S1}} \right]$$

Si  $\frac{R_{C2}}{R_{C1}} = 1,01$  et  $\frac{I_{S2}}{I_{S1}} = 1,05$  alors  $V_{D0} \cong 0,06 U_T = 1,5 \text{ mV}$

- Calcul des courants de polarisation

$$I_P^- = I_{B1} = \frac{I_{C1}}{\beta_1} \quad \text{et} \quad I_P^+ = I_{B2} = \frac{I_{C2}}{\beta_2}$$

$$\frac{I_P^-}{I_P^+} = \frac{I_{C1}}{I_{C2}} \frac{\beta_2}{\beta_1} = \frac{R_{C2}}{R_{C1}} \frac{\beta_2}{\beta_1}$$

Si  $\frac{R_{C2}}{R_{C1}} = 1,01$  et  $\frac{\beta_2}{\beta_1} = 1,10$  alors  $\frac{I_P^-}{I_P^+} \cong 1,11$  et  $I_P = \frac{I_P^- - I_P^+}{I_P} \cong 11\%$

## Étages de sortie bipolaire

### I – Introduction

Fonction d'un étage de sortie :

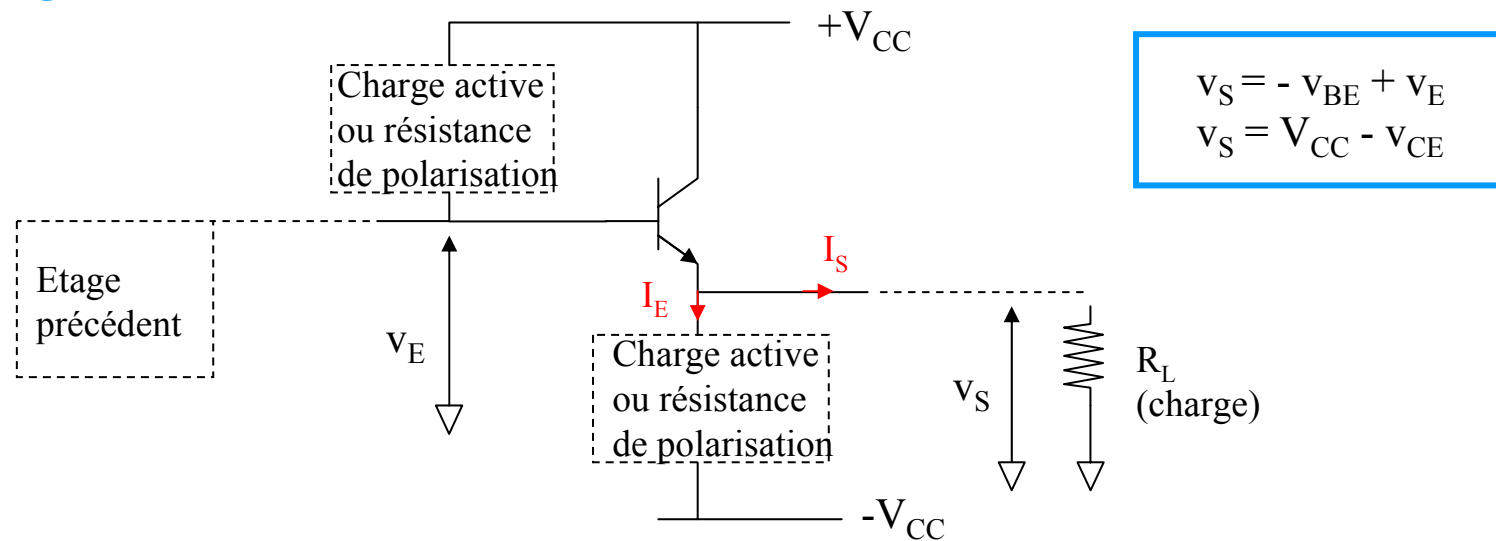
Délivrer une puissance substantielle dans un charge de faible impédance et un signal de sortie le moins distordu possible

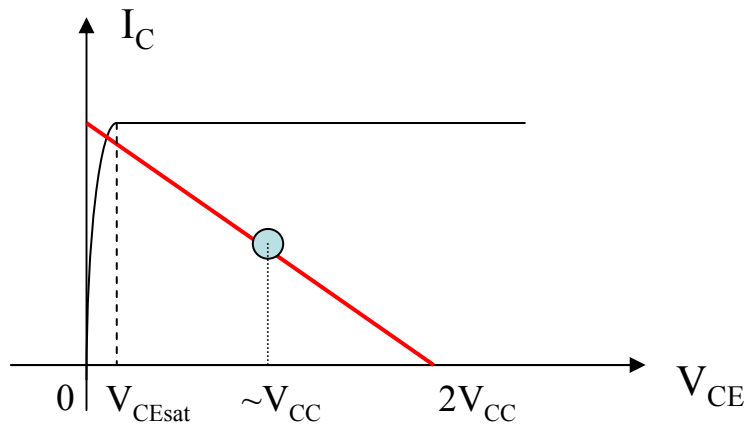
Propriétés d'un étage de sortie :

- amplitude du courant de sortie élevée
- amplitude de la tension de sortie élevée
- faible impédance de sortie
- faible puissance de polarisation

### II – Différents étages de sortie d'un circuit intégré bipolaire

#### 1) Montage émetteur-suiveur





Hypothèse

$V_{CEsat} \sim 0 \text{ V}$  : tensions de saturation des charges actives nulles

$$\Rightarrow -V_{CC} \leq v_S \leq +V_{CC}$$

$$\Rightarrow \begin{cases} v_{E\max} \cong +V_{CC} \\ v_{E\min} \cong -V_{CC} \end{cases} \Rightarrow \begin{cases} i_{S\max} = \frac{v_{S\max}}{R_L} \cong \frac{V_{CC} - v_{BE}}{R_L} \\ i_{S\min} = \frac{v_{S\min}}{R_L} \cong \frac{-V_{CC} - v_{BE}}{R_L} \end{cases}$$

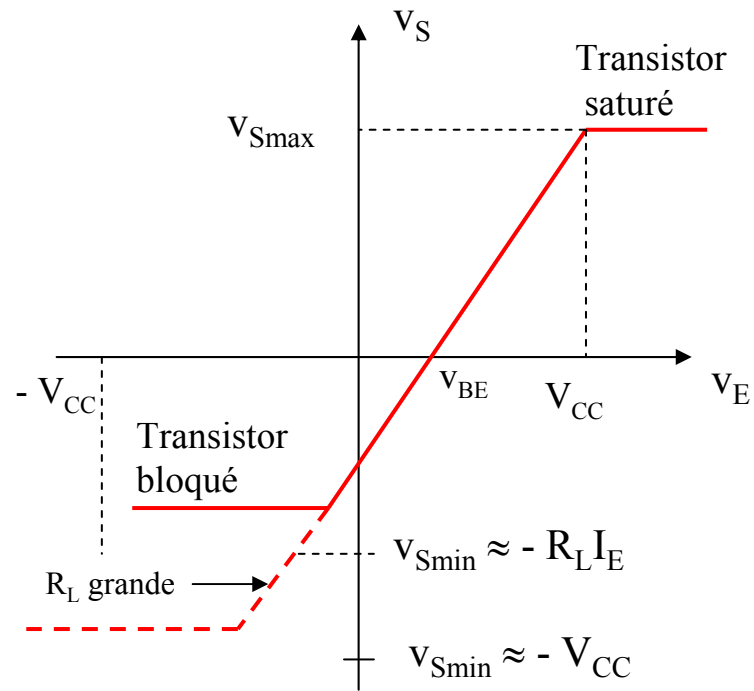
Remarque :

$R_L$  trop petite : quasi-totalité du courant absorbée par celle-ci

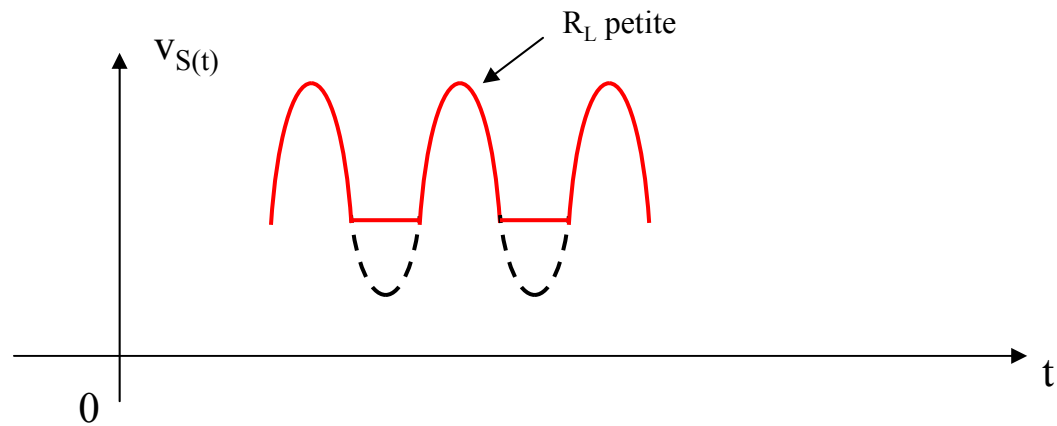
$\Rightarrow$  courant de polarisation  $I_E$  drainé par  $R_L$   $\Rightarrow$  blocage du transistor

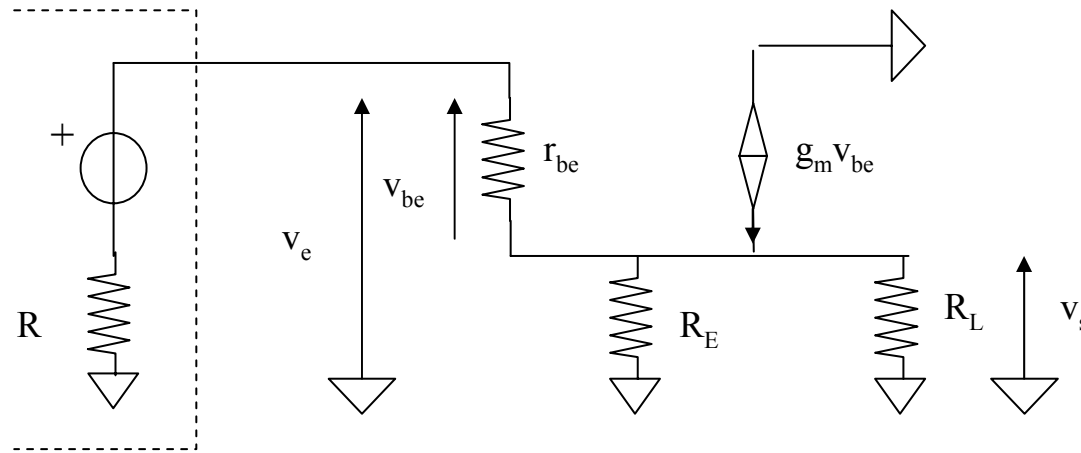
$\Rightarrow$  Limitation  $v_{S\min} = -R_L I_E$   $\Leftrightarrow$  courant de charge limité à  $I_E$

$\Rightarrow$  Augmentation de ce niveau de limitation en augmentant la puissance de polarisation



En petits signaux :





$R$  : impédance de l'étage de la charge active de la base en parallèle avec l'impédance de sortie de l'étage précédent  $\approx$  impédance de sortie de l'étage précédent

$R_E$  : impédance interne de la charge active au niveau de l'émetteur

$$R_E \gg R_L$$

- Gain en tension :

$$\begin{cases} v_s \cong g_m v_{be} R_L \\ v_e = v_{be} + v_s = v_{be} (1 + g_m R_L) \end{cases} \Rightarrow \frac{v_s}{v_e} \cong \frac{g_m R_L}{1 + g_m R_L} \approx 1$$

- Gain en courant :

$$\frac{i_s}{i_e} \cong \frac{g_m V_{be}}{r_{be}} \approx \beta$$

- Impédance de sortie :

$$Z_s = \frac{R + r_{be}}{\beta} = \frac{R}{\beta} + \frac{1}{g_m}$$

(calcul à faire)

Généralement faible

En résumé :

Avantages :

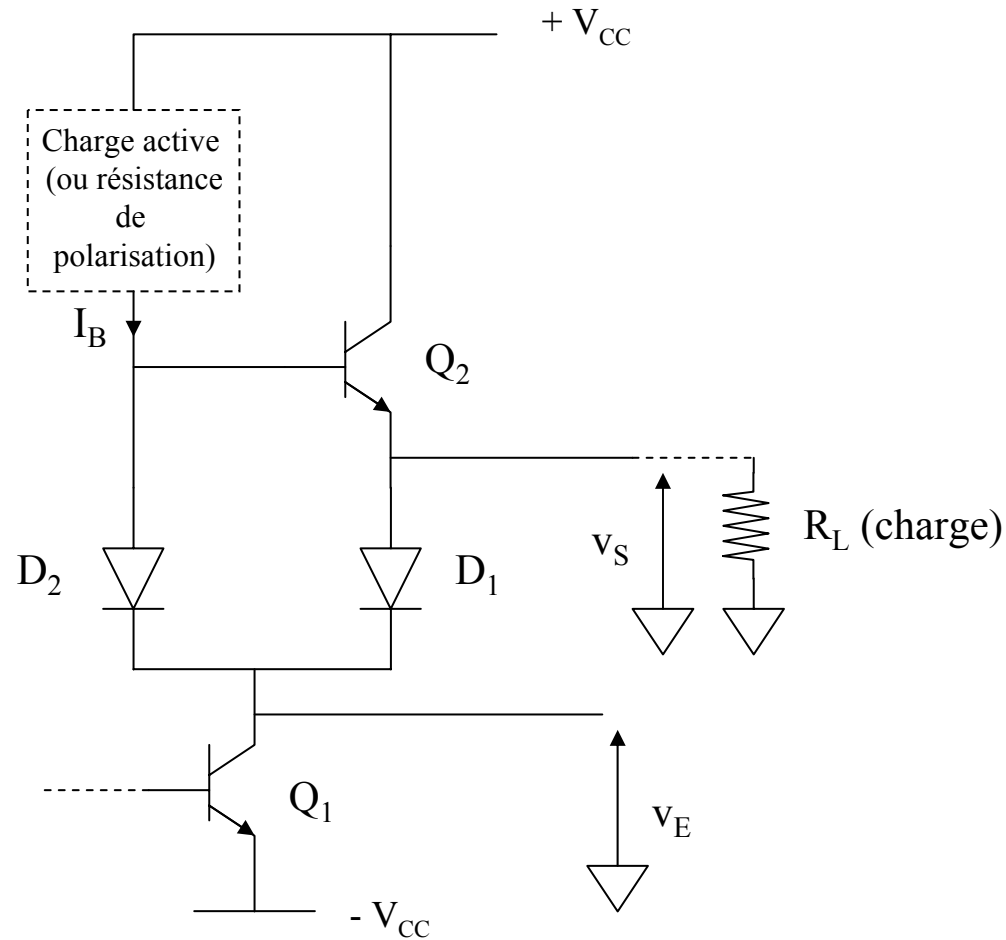
- étage simple à mettre en œuvre,
- faible distorsion,
- faible impédance de sortie,
- sous polarisation appropriée, amplitude du courant de sortie élevée

Inconvénients :

- dissymétrie du courant de sortie
- en général puissance de polarisation assez importante

## 2) Etages de sortie avec transistors de classe B

### a) Circuit de base



$Q_2$  fonctionne en classe B  
(**bloqué** au point de repos)

$$\left| \begin{array}{l} v_S = V_{CC} - v_{CE2} \\ v_E = -V_{CC} + v_{CE1} \end{array} \right.$$

- Montage permettant une plus grande souplesse dans la limitation du courant de charge
- Fonctionnement avec une puissance de polarisation moindre (courant de repos nul dans  $Q_2$ )

- Fonctionnement :

Si  $v_E > 0$ ,  $Q_2$  conduit,  $D_1$  bloquée et  $D_2$  passante

$$\Rightarrow v_S = v_E + v_{D2} - v_{BE2} \quad \Rightarrow \quad \underline{v_S \approx v_E}$$

Si on néglige la tension de saturation de la charge active alors

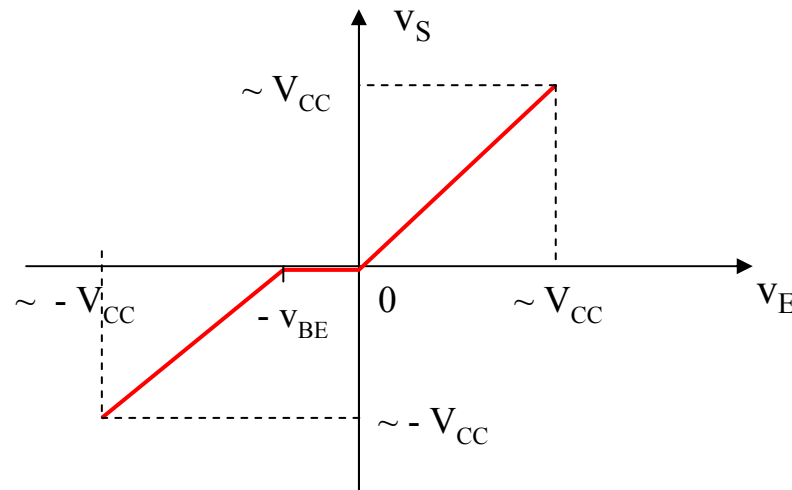
$$v_{E_{\max}} = V_{CC} - v_{D2} \approx V_{CC} - v_{BE} = v_{S_{\max}} \approx V_{CC}$$

Si  $v_E < 0$ ,  $Q_2$  bloqué,  $D_1$  passante,  $D_2$  toujours passante

$$\Rightarrow \underline{v_S = v_E + v_{D1} \approx v_E + v_{BE}}$$

et

$$v_{E_{\min}} = v_{CE_{\text{sat}1}} - V_{CC} \Rightarrow \quad v_{S_{\min}} \approx v_{CE_{\text{sat}1}} + v_{BE} - V_{CC} \approx -V_{CC}$$



Remarque :

$$v_E = v_{CE1} - V_{CC}$$

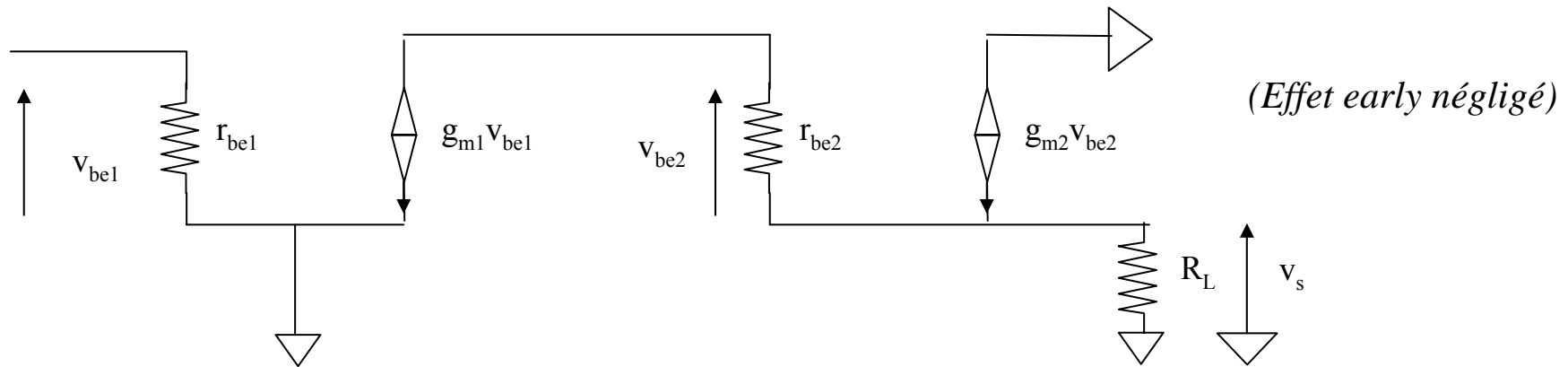
$$v_{CE1} = v_E + V_{CC} > 0 \text{ si } v_E > -V_{CC}$$

Donc pour  $-V_{CC} < v_E < 0$   
 $Q_1$  fonctionne

En petits signaux :

- Gain en tension de l'étage global :

Si  $v_E > 0$  circuit équivalent à :

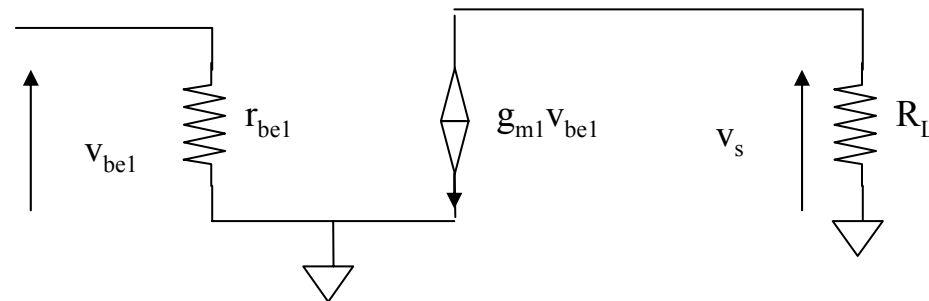


$$\frac{v_{be2}}{r_{be2}} \cong -g_{m1} v_{be1} \quad \Leftrightarrow \quad v_{be2} = -g_{m1} r_{be2} v_{be1}$$

$$v_s \cong g_{m2} v_{be2} R_L$$

$$\Rightarrow \quad \frac{v_s}{v_{be1}} \cong -g_{m2} R_L g_{m1} r_{be2} = -\beta_2 g_{m1} R_L$$

Si  $v_E < 0$ , circuit équivalent à :



*(Effet early négligé)*

$$v_s \cong -R_L g_{m1} v_{be1}$$

$\Leftrightarrow$

$$\frac{v_s}{v_{be1}} \cong -R_L g_{m1}$$

En résumé :

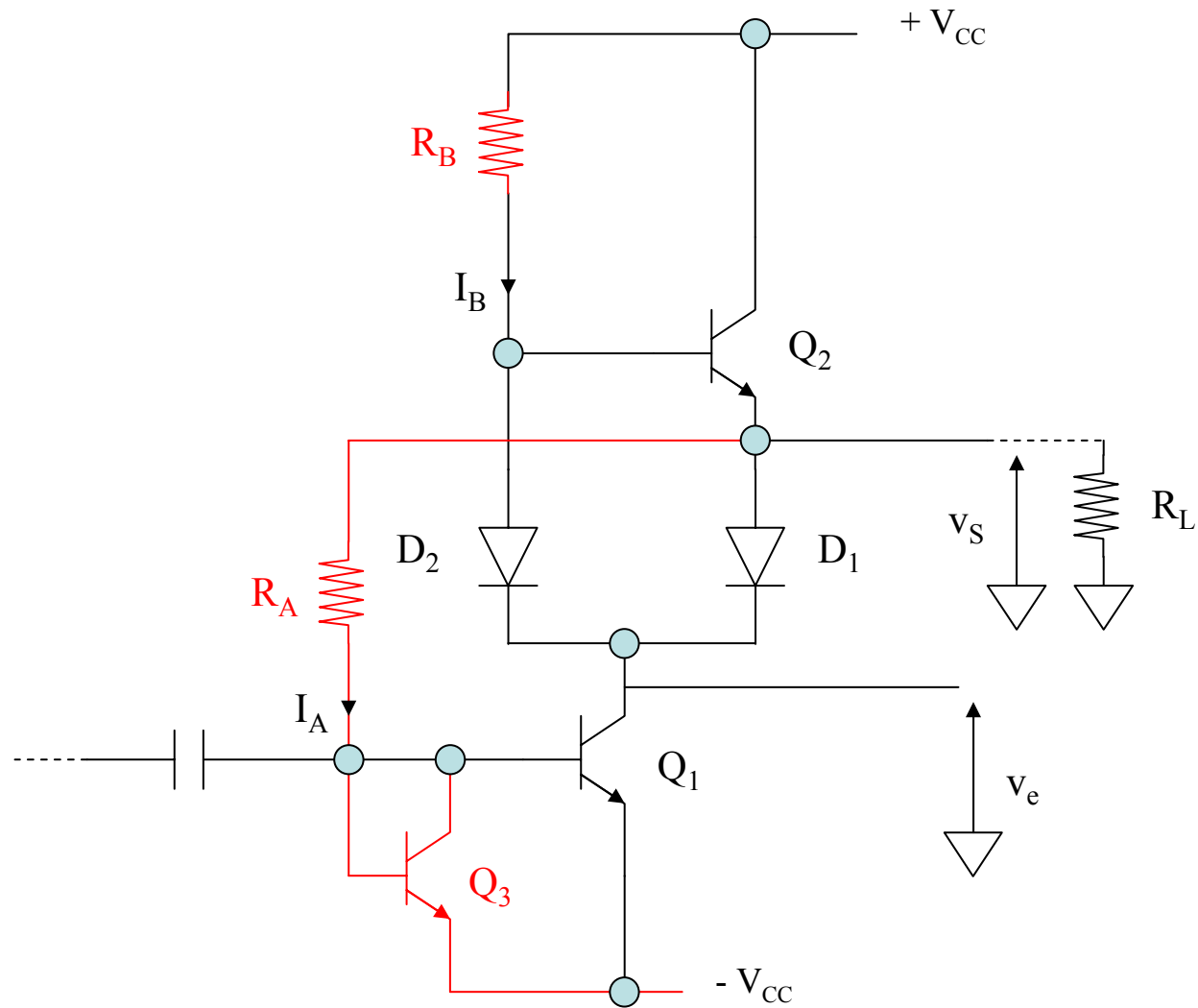
Avantage :

- Pas de limitation en courant de charge suivant la charge

- Inconvénients :

- sortie dissymétrique en courant (décalage d'un  $v_{BE}$ )
- gain en tension en petits signaux dissymétrique de l'étage global

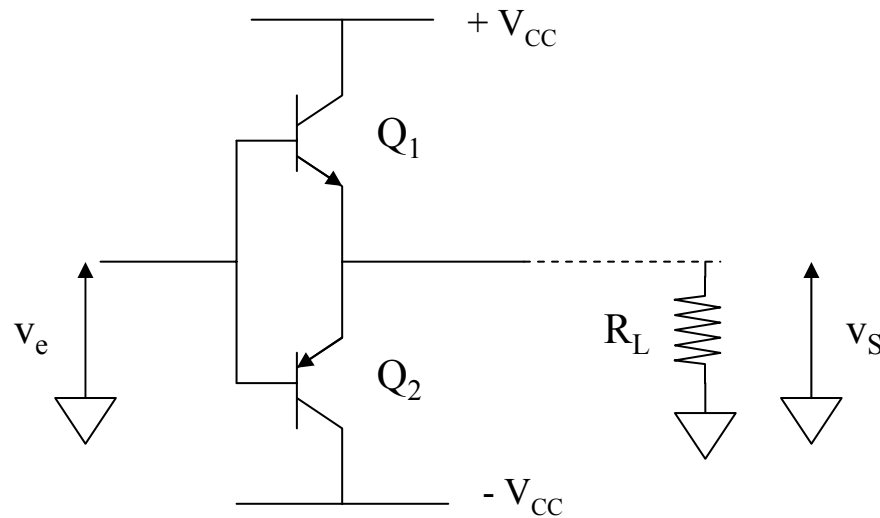
- Suppression du décalage en  $v_{BE}$



$$R_A = R_B \Rightarrow I_A = I_B$$

### 3) Etage de sortie avec une paire complémentaire en classe B (étage push pull)

#### a) Circuit de base



Au point de repos :  
 $Q_1$  et  $Q_2$  **bloqués**

En général  $Q_2$  : transistor pnp substrat

- Fonctionnement :

Si  $v_E > 0$   $Q_1$  conduit,  $Q_2$  bloqué

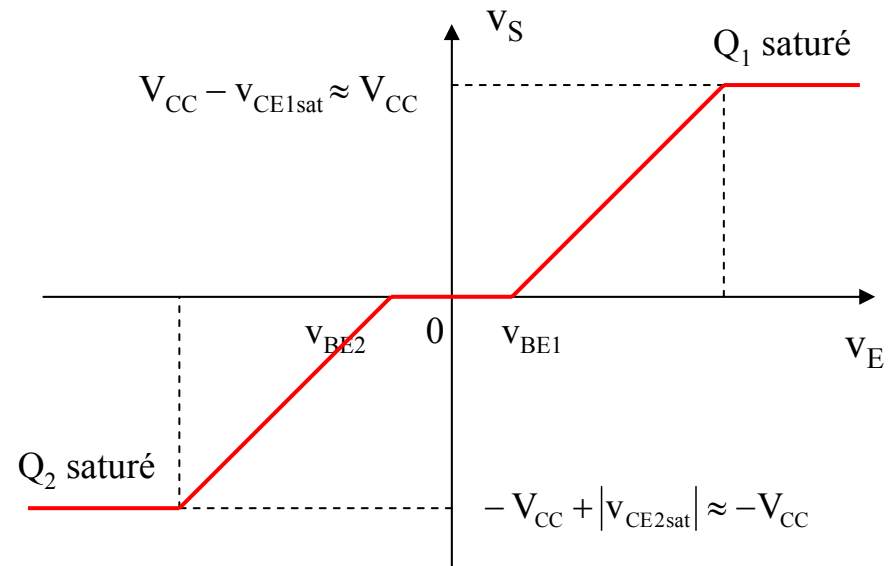
$$v_S = v_E - v_{BE1}$$

$$v_S = V_{CC} - v_{CE1} \Rightarrow v_{Smax} = V_{CC} - v_{CE1sat}$$

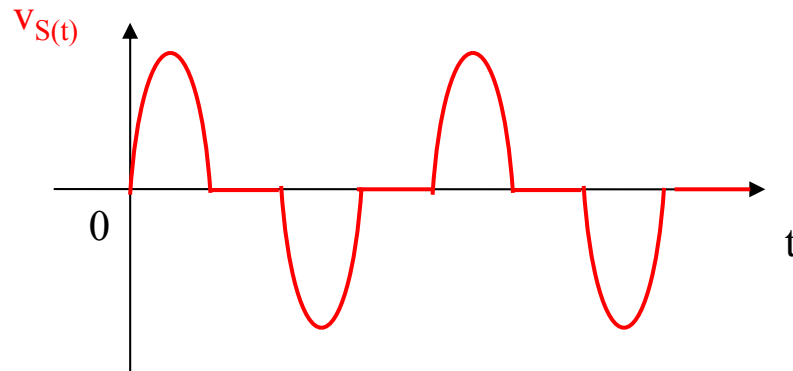
Si  $v_E < 0$   $Q_1$  bloqué,  $Q_2$  conduit

$$v_S = v_E - v_{BE2} = v_E + |v_{BE2}|$$

$$v_S = -V_{CC} - v_{CE2} \Rightarrow v_{Smin} = -V_{CC} - v_{CE2sat} = -V_{CC} + |v_{CE2sat}|$$



Inconvénient : distorsion de croisement (décalage de  $v_{BE1} - v_{BE2}$  entre le signal de sortie et d'entrée au voisinage de zéro)



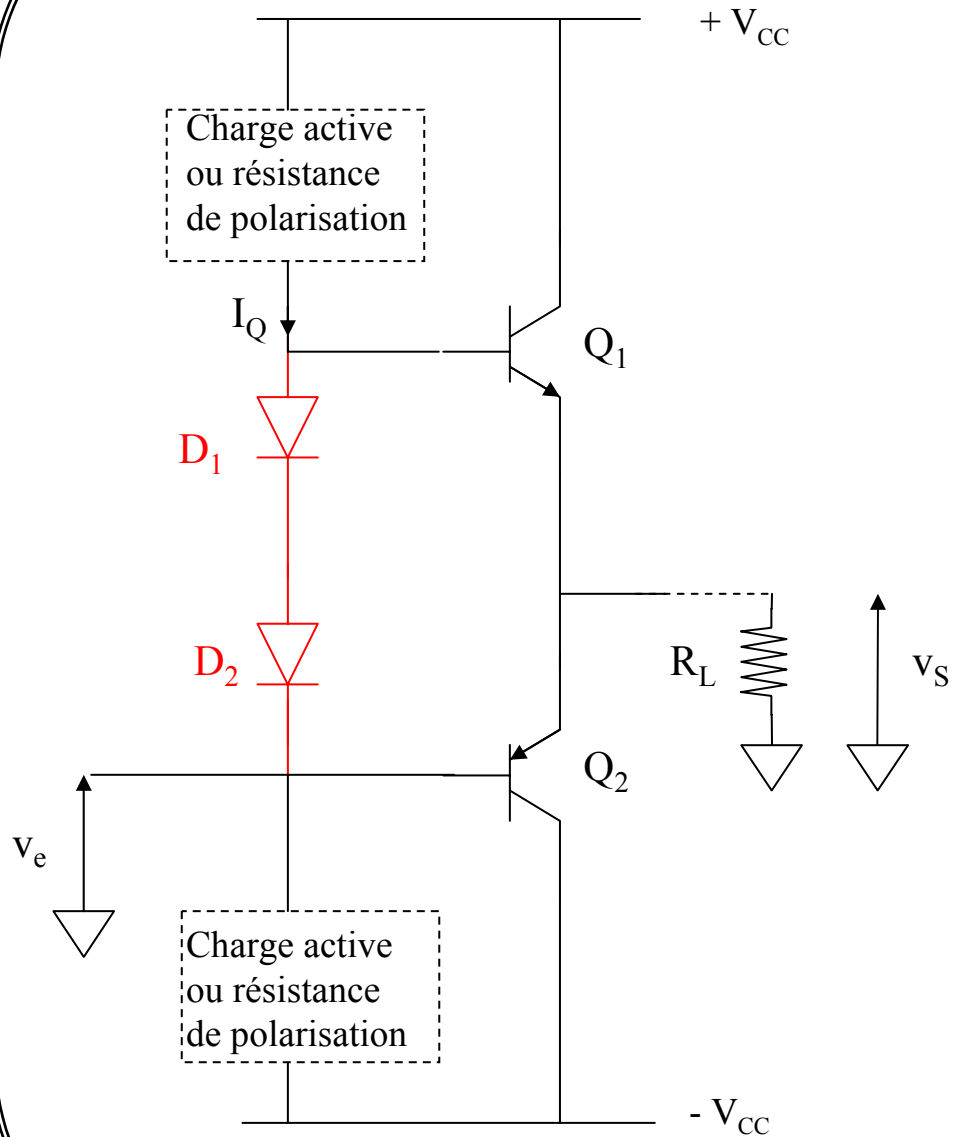
Diminution de l'effet de distorsion du signal de sortie lorsque l'amplitude de sortie augmente (en évitant la saturation des transistors)

En petits signaux :

Si  $|v_E| > |v_{BE}|$   $Q_1$  et  $Q_2$  fonctionnent en collecteur commun

- ⇒
- Gain en tension  $\frac{v_s}{v_e} \approx 1$
  - Gain en courant  $\frac{i_L}{i_e} \approx \beta$

## b) Suppression de la distorsion de croisement



Etage polarisé de telle manière que  $Q_1$  et  $Q_2$  à la limite de la conduction :

$I_Q$  passe dans  $D_1$  et  $D_2$  connectées en parallèle avec les jonctions E-B de  $Q_1$  et  $Q_2$

⇒ Polarisation des jonctions E-B à la limite de la conduction

- Fonctionnement :

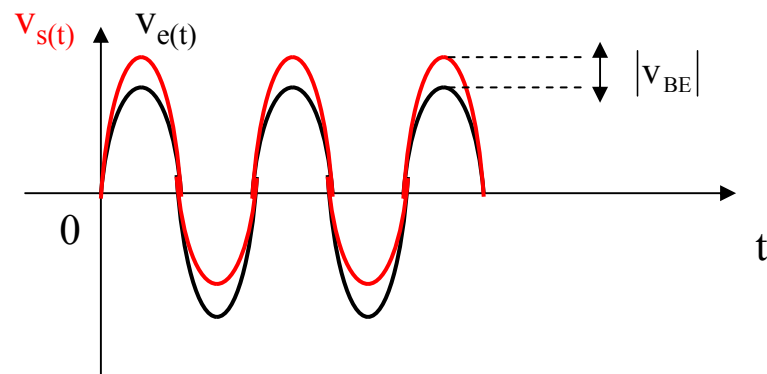
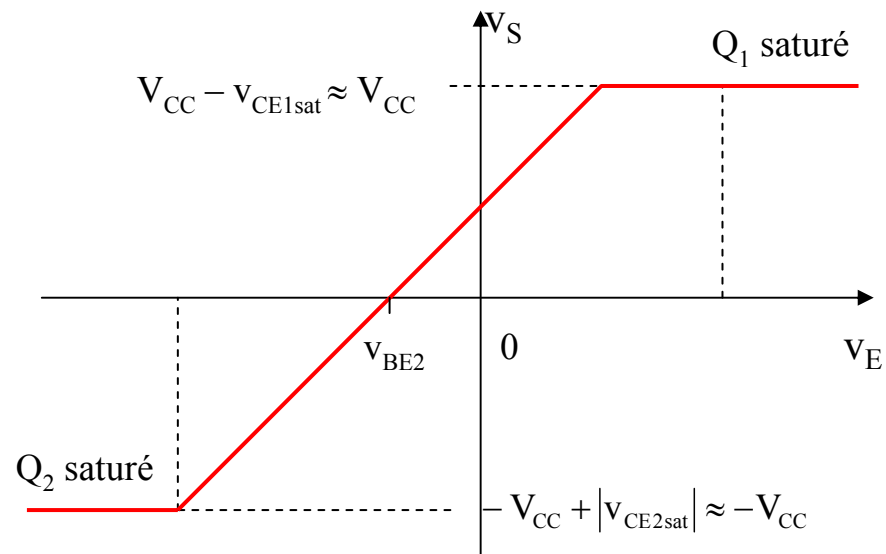
Si  $v_E > 0$  alors  $v_S = v_{D1} + v_{D2} - v_{BE1} + v_E$

$$\Rightarrow v_S \approx v_E + v_{BE} = v_E + |v_{BE2}|$$

Si  $v_E < 0$  alors  $v_S = v_E - v_{BE2}$

Dans les deux cas

$$\underline{v_S \approx v_E + |v_{BE}|}$$



### c) Protection « thermique »

But : éviter les effets destructifs d'une surcharge en courant de sortie

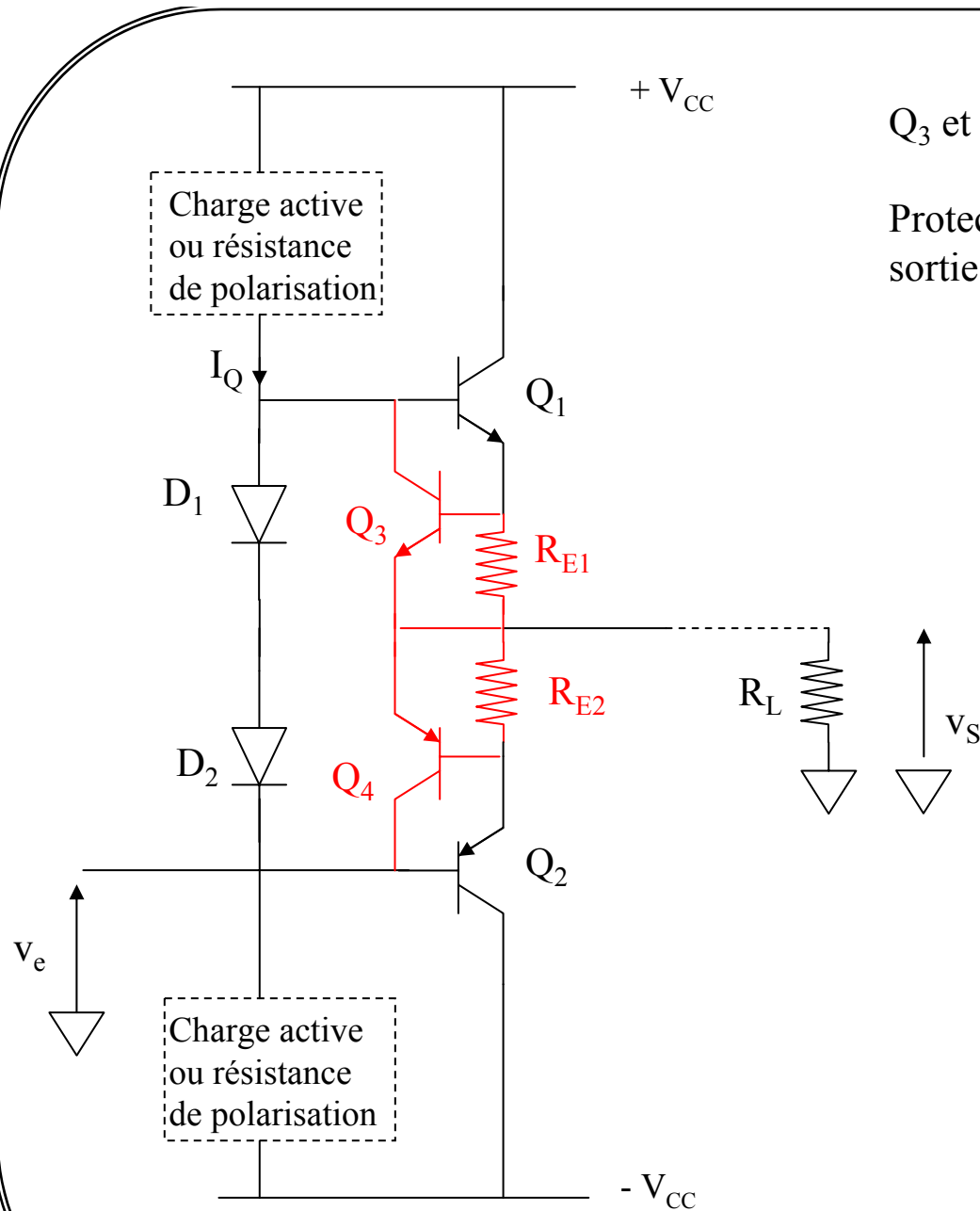
Surcharge : courant de sortie élevé provoquant un échauffement de  $Q_1$  et  $Q_2$

⇒ Accélération du niveau de ce courant provoquant la conduction de  $Q_1$  et  $Q_2$

⇒ Risques :

- Destruction des composants ( $Q_1, Q_2$  et  $R_L$ )
- Court-circuit des alimentations

⇒ Nécessité d'un dispositif de protection



$Q_3$  et  $Q_4$  bloqués en fonctionnement normal

Protection assurée par la mise en parallèle en sortie d'un transistor et d'une résistance en série

-  $v_E > 0$  (amplitude élevée)

Élévation du courant à travers  $Q_1$

⇒ Augmentation de la différence de potentiel de la jonction E-B de  $Q_3$  jusqu'au seuil de conduction de celui-ci

⇒ Mise en conduction de  $Q_3$

⇒ Limitation du niveau de courant dans  $Q_1$  en le shuntant

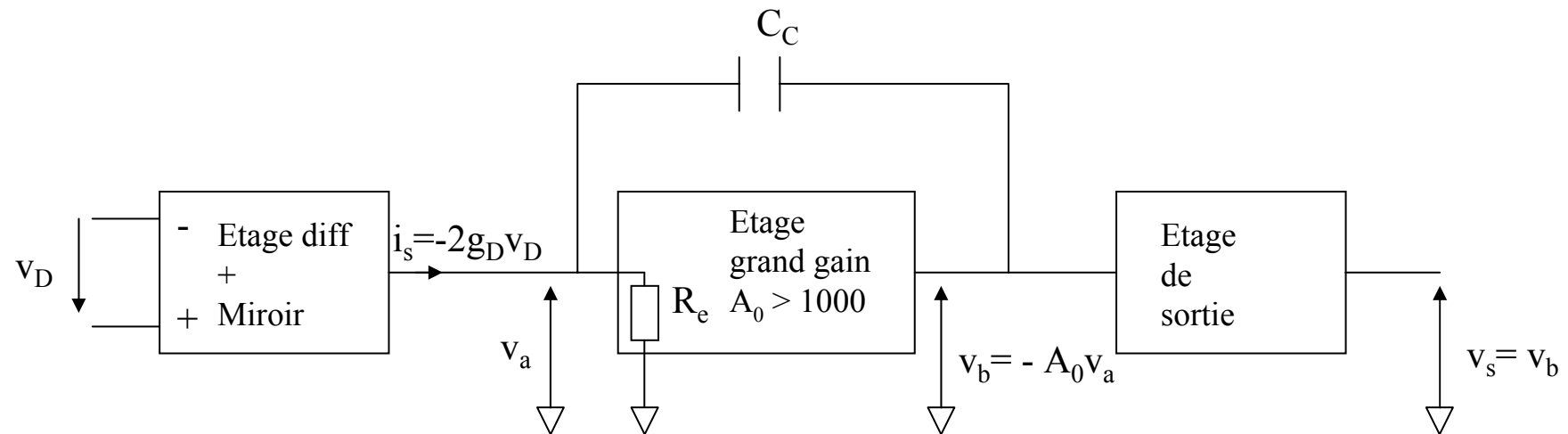
-  $v_E < 0$  (amplitude élevée)

Raisonnement identique avec la mise en conduction de  $Q_4$ .

## Amplificateurs opérationnels bipolaires

### I- Gain différentiel de l'amplificateur opérationnel, réponse en fréquence

Représentation schématique d'un amplificateur opérationnel



En basse fréquence, le gain différentiel :

$$\frac{v_s}{v_d} = A_0 (2g_D R_e) = G_0 \quad , \quad G_0 \geq 10^5 \text{ (c'est - à - dire } \geq 100 \text{ dB)}$$

$C_C$  : condensateur de compensation (capacité de faible valeur  $\sim 30$  pF) pour éviter les instabilités (ou oscillations) en hautes fréquences dues au très grand gain

- Fonction de transfert :

$$\begin{cases} v_a = R_e [i_s + jC_C \omega (v_b - v_a)] \\ v_b = -A_0 v_a \end{cases} \Rightarrow v_b = -\frac{A_0 R_e i_s}{1 + jC_C \omega R_e (A_0 + 1)}$$

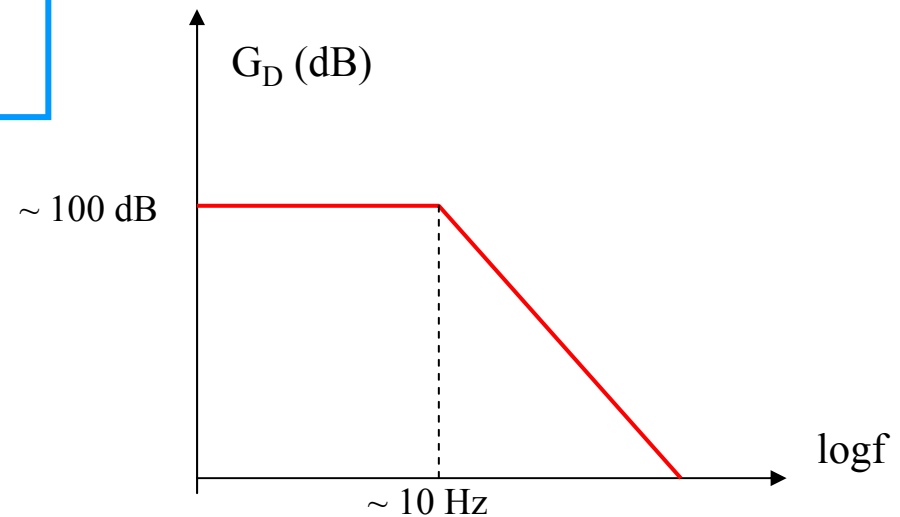
$$G_D = \frac{v_s}{v_d} = \frac{A_0 R_e (2g_D)}{1 + jC_C \omega R_e (A_0 + 1)} = \frac{G_0}{1 + j\frac{\omega}{\omega_C}}$$

Système d'ordre 1

$$\text{Fréquence de coupure : } f_c = \frac{1}{2\pi R_e C_C (A_0 + 1)}$$

Typiquement :

$$R_e \sim 500\text{k}\Omega, A_0 \approx 10^3 \rightarrow f_c \approx 10 \text{ Hz}$$



## II- Gain de mode commun, taux de réjection en mode commun

### 1) Gain en mode commun : $G_{MC}$

Théoriquement : sortie de l'étage d'entrée connectée en sortie symétrique ( $i_s \propto i_{c1} - i_{c2}$ )

$$\Rightarrow G_{MC} = 0$$

En réalité : petites dissymétries au niveau de l'étage d'entrée (paire différentielle + miroir) dues aux composants

$$\Rightarrow G_{MC} \neq 0 \text{ (mais petit)}$$

Typiquement :  $G_{MC} \sim 10$  (20 dB)

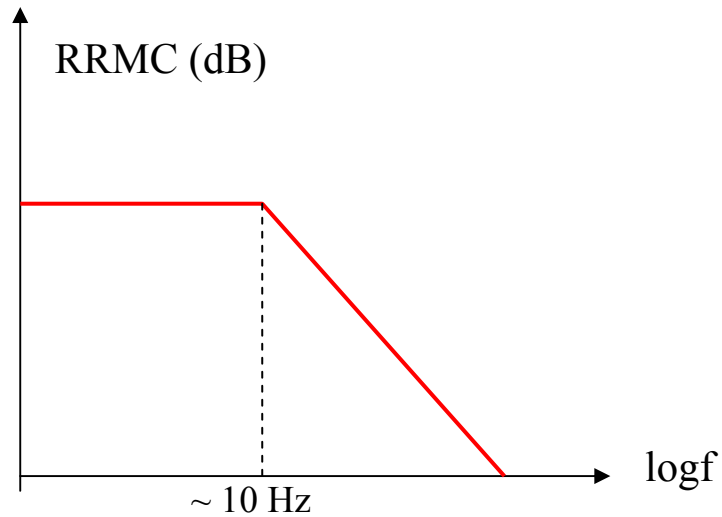
### 2) Rapport de réjection en mode commun : $G_D/G_{MC}$

$$RRMC_{dB} = (G_D)_{dB} - (G_{MC})_{dB} > 80 \text{ dB}$$

Typiquement aux basses fréquences  $RRMC_{dB} \sim 86 \text{ dB}$

Remarque :  $G_{MC}$  moins sensible à la fréquence que  $G_D$

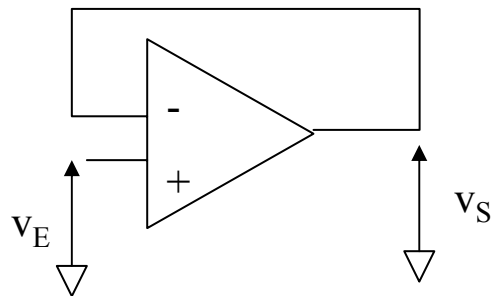
$\Rightarrow$  Les variations en fréquence reflètent surtout celles de  $G_D$



Remarque : dans un montage contre réactionné, c'est la valeur du RRM qui est importante et non celle du  $G_{MC}$ .

Exemple :

Cas d'un montage simple : montage suiveur



$$v_S = G_D(v_+ - v_-) + G_{MC} \left( \frac{v_+ + v_-}{2} \right)$$

et

$$\begin{cases} v_+ = v_E \\ v_- = v_S \end{cases}$$

$$v_S = G_D(v_E - v_S) + \frac{G_{MC}}{2}(v_E + v_S) \quad \Leftrightarrow \quad v_S \left( G_D - \frac{G_{MC}}{2} + 1 \right) = v_E \left( G_D + \frac{G_{MC}}{2} \right)$$

$$\Rightarrow \quad \frac{v_S}{v_E} = \frac{1 + \frac{G_{MC}}{2G_D}}{1 - \frac{G_{MC}}{2G_D} + \frac{1}{G_D}} \cong 1 + \frac{G_{MC}}{G_D}$$

Donc  $v_S = v_E$  à  $\frac{G_{MC}}{G_D}$  près

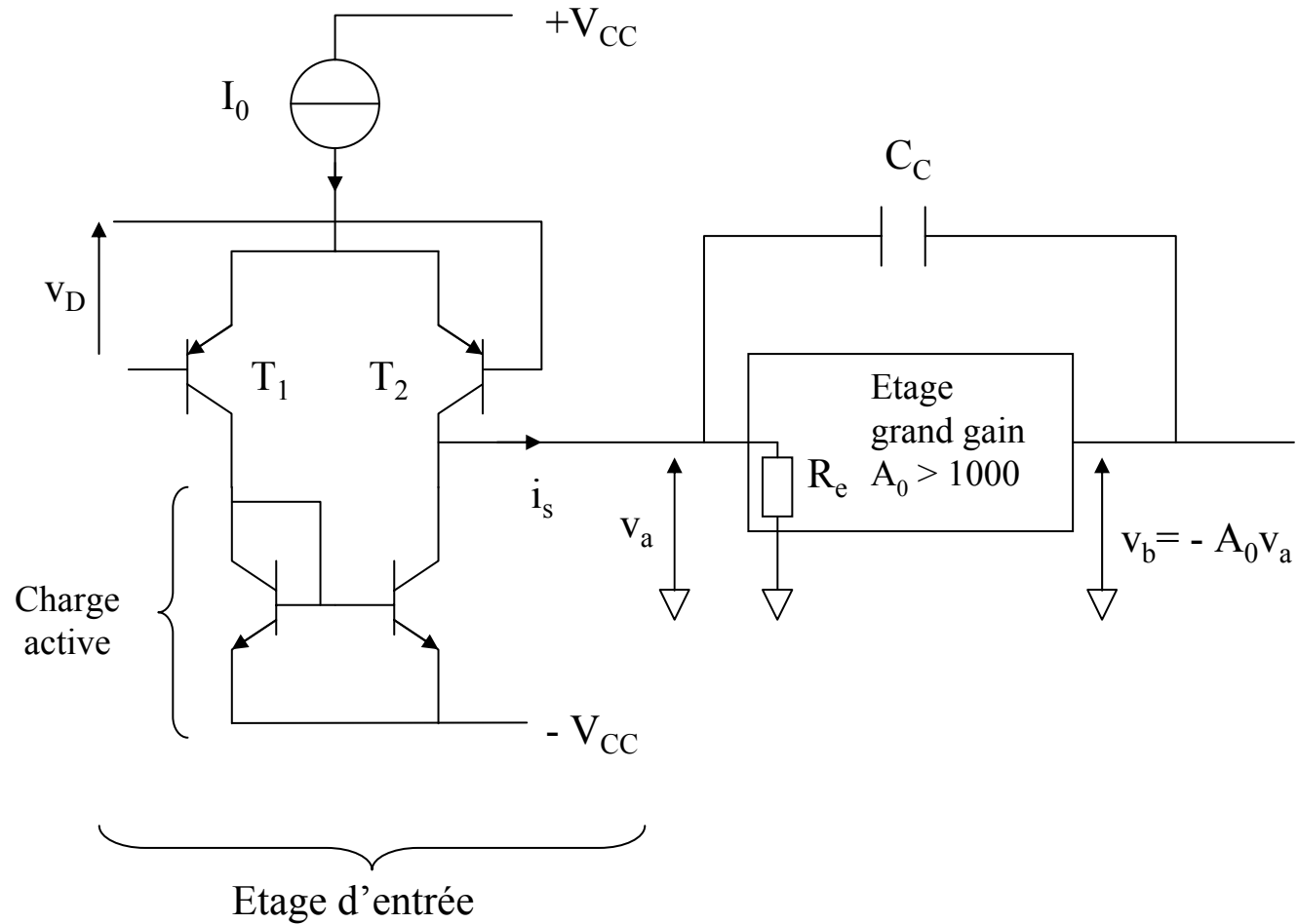
### III- Vitesse de balayage $s_w$ en sortie de l'amplificateur opérationnel

$s_w$  : vitesse de balayage (en anglais slew rate)

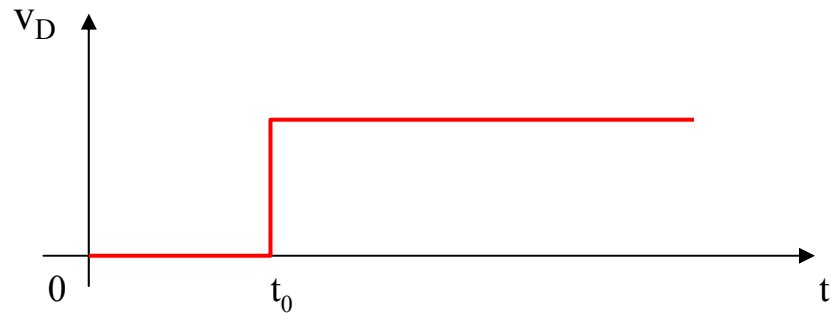
Définition :  $s_w = \frac{dv_s}{dt}$

$C_C$  : responsable de la vitesse d'excursion de la tension des sortie  $v_s$

- Cas d'un montage typique (ampli op  $\mu A$  741)



## Application d'un échelon de tension à l'entrée



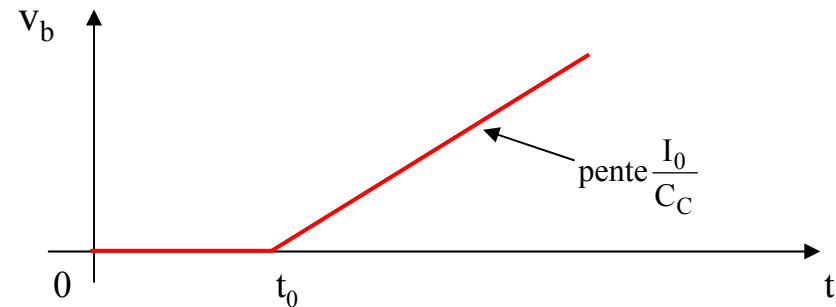
Aussitôt  $T_2$  se bloque ( $i_{E2} = 0$ )  $\Rightarrow$   $i_{E1} = -I_0$  et donc  $i_S \approx -I_0$  (effet miroir)

$\Rightarrow$  Charge du condensateur à courant constant  $I_0$

D'où

$$v_a - v_b = \frac{q(t)}{C_C} = \int_{t_0}^t \frac{i(\tau)}{C_C} d\tau = \frac{I_0}{C_C} (t - t_0)$$

or  $v_a \ll v_b \Rightarrow v_b \cong \frac{I_0}{C_C} (t - t_0)$



Finalemment : 
$$\frac{dv_s}{dt} = \frac{dv_b}{dt} = \frac{I_0}{C_C} = s_w$$

$s_w$  dépend du courant  $I_0$  fourni par la source de l'étage différentiel d'entrée et de la capacité du condensateur de compensation  $C_C$

Ordres de grandeurs :

$$S_w \approx 0,65 \text{ V}/\mu\text{s} \text{ (cas du } \mu\text{A741)} \rightarrow I_0 \sim 20 \text{ mA}$$

$$S_w \approx 13 \text{ V}/\mu\text{s} \text{ (cas du TL080)} \rightarrow I_0 \sim 0,4 \text{ mA}$$

*Note : plus  $S_w$  est élevé et plus performante est la sortie (moins de risque de déformation du signal à la sortie vers les hautes fréquences)*

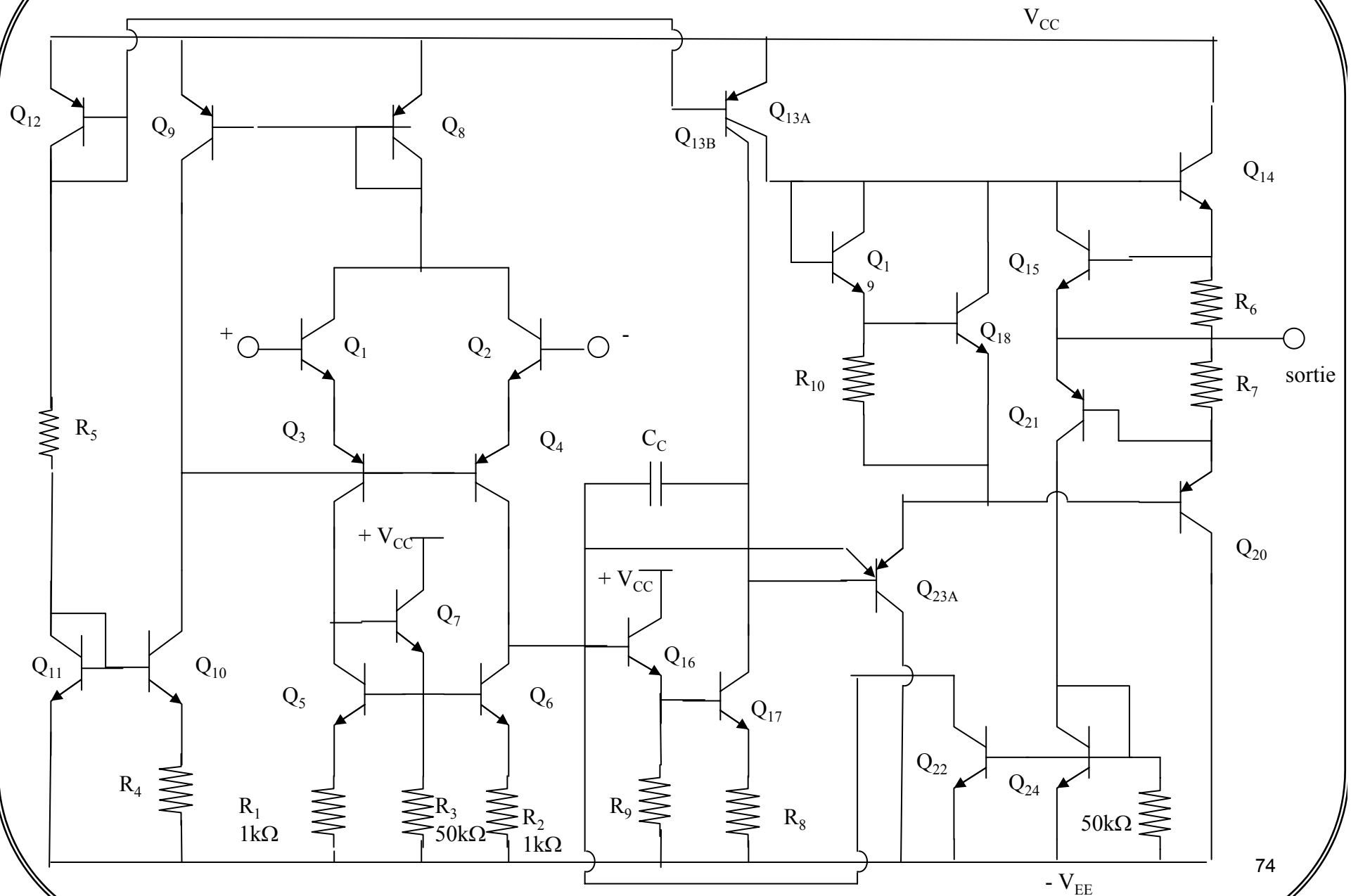
- TL 080 (technologie BIFET: étage d'entrée différentiel constitué de transistors à effet de champ suivis de transistors bipolaires)

Valeur plus élevée de  $S_w$  pour le TL 080 car nécessité de polariser les transistors à effet de champ à des valeurs de courant (de drain) plus élevées (par rapport à un étage bipolaire) pour obtenir une valeur raisonnable de la transconductance.

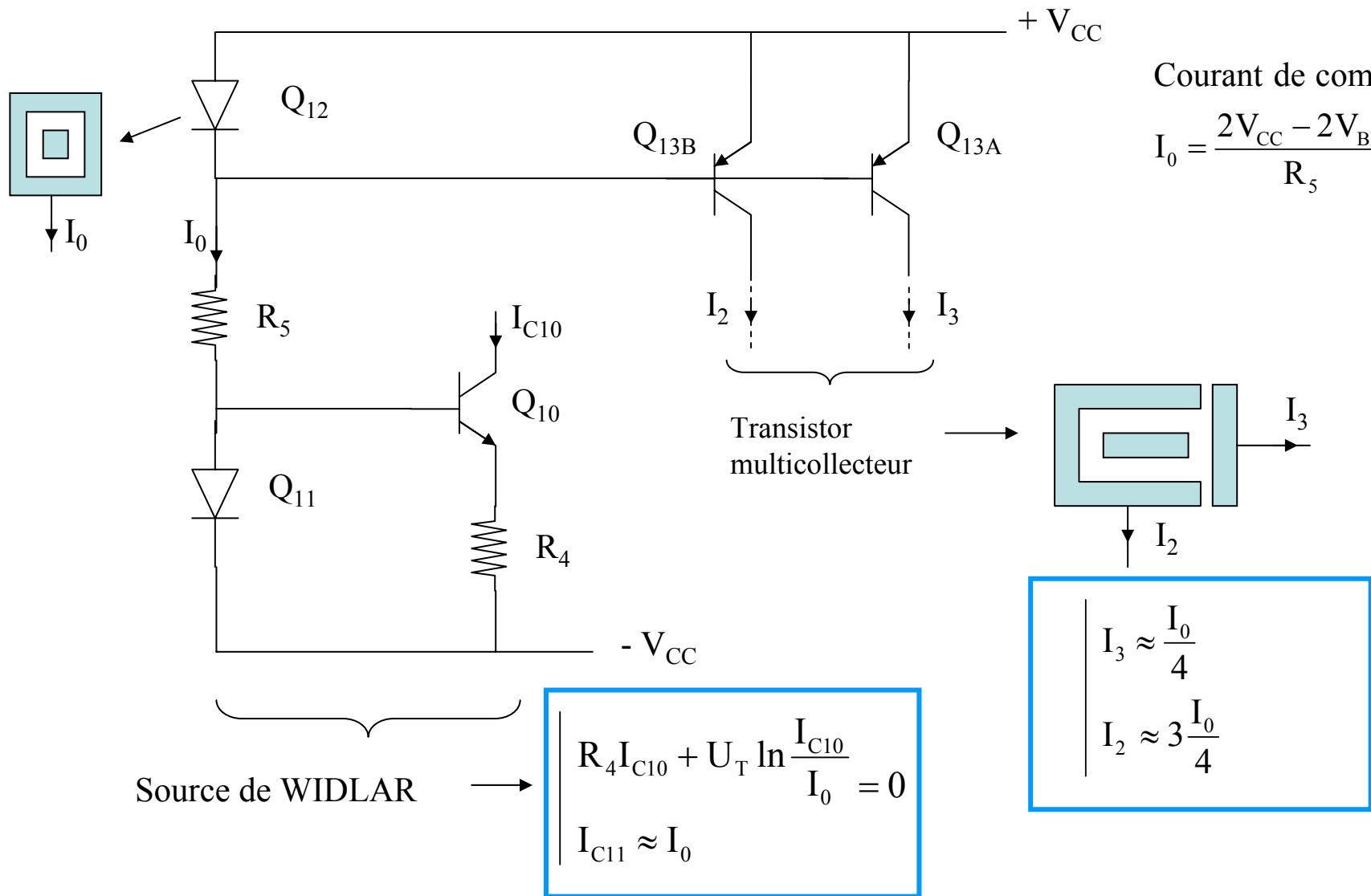
-mA741 : limitation du courant  $I_0$  pour que les impédances d'entrées + et - soient grandes

$$Z_e \approx r_{be} = \beta_0 \frac{U_T}{I_E} \approx 250 \text{ k}\Omega \quad I_p^+ \approx I_p^- \approx \frac{I_0}{2\beta_0} \approx 10 \text{ nA} \quad \Rightarrow \quad I_0 \approx 20 \mu\text{A} \text{ avec } \beta_0 = 100$$

## IV- Etude détaillée de l'architecture interne du $\mu A741$



# 1) Circuit de polarisation

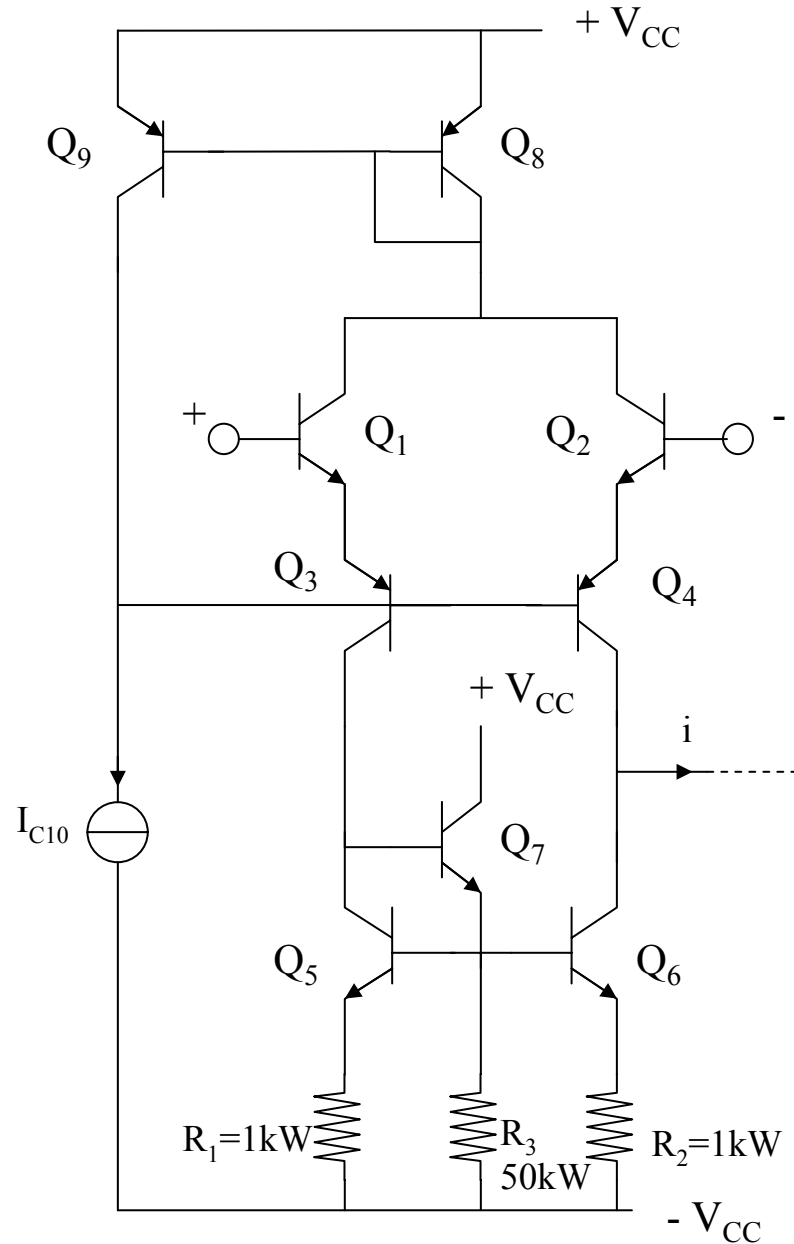


Valeurs numériques :

$2V_{CC}$	9V	20V	30V
$I_0$	~0,20 mA	~0,50 mA	~0,73 mA
$I_{C10}$	14 $\mu$ A	17 $\mu$ A	19 $\mu$ A

⇒ Variations surtout entre 9V et 20V

## 2) Etage d'entrée différentiel



- Polarisation :

- ( $Q_8, Q_9$ ) : charge active/ miroir de courant  
 $I_{C9} = I_{C8} = I_0 = I_{C1} + I_{C2}$
- ( $Q_5, Q_6, Q_7, R_1, R_2, 50k\Omega$ ) : source de courant à courant de base compensé (Miroir  $R_1 = R_2$ )
- ( $Q_1, Q_2, Q_3, Q_4$ ) : paire différentielle composée de transistors composites ( $Q_1, Q_3$ ) et ( $Q_2, Q_4$ )

Transistors composites se comportant comme des transistors PNP avec un gain en courant (en basses fréquences) équivalent à celui d'un transistor PNP.

Association permettant le décalage des tensions vers le bas

Etage différentiel en sortie symétrique avec charge active (miroir  $Q_8, Q_9$ ) aux émetteurs

$$\Rightarrow \boxed{i \propto (v_+ - v_-)} \quad \left( \begin{array}{l} i = -g_m (v_+ - v_-) \\ = -\frac{I_{C10}}{2U_T} (v_+ - v_-) \end{array} \right)$$

77

- Courants de polarisation aux entrées :

$$I_p^+ \approx I_p^- \approx I_{B1} \approx I_{B2} = \frac{I_{C10}}{2\beta}$$

$$I_{C7} = \frac{\frac{I_{C10}}{2} R_{1,2} + U_T \ln \frac{I_{C10}}{2I_S}}{R_3} \quad (\approx 1\mu\text{A si } V_{CC} = 15\text{V})$$

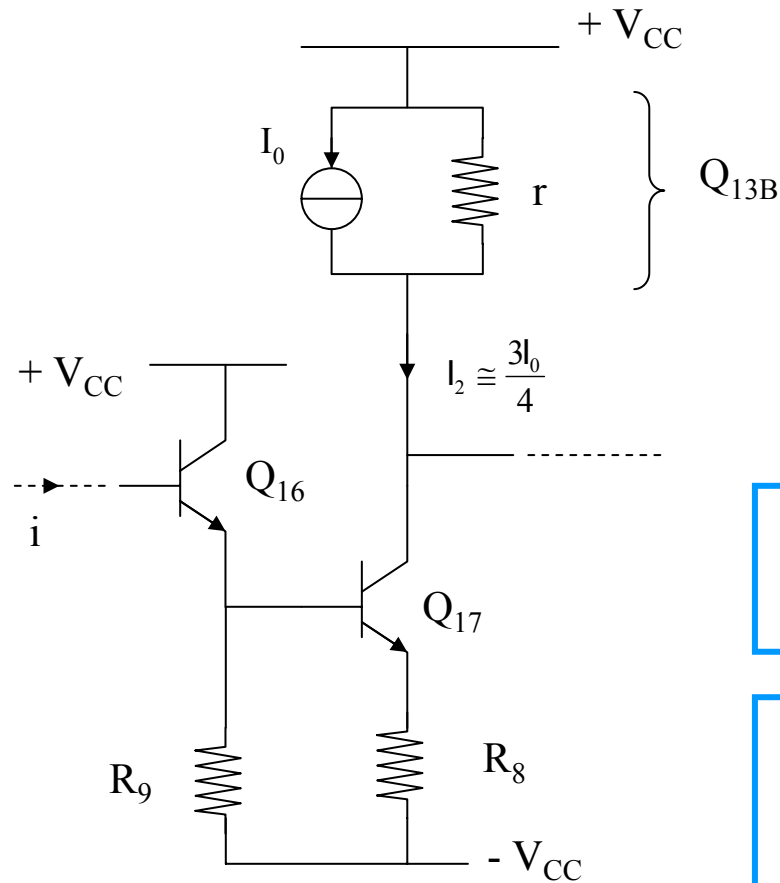
- Impédance d'entrée différentielle :

$$Z_{\text{ediff}} \cong 4r_{be} = 4 \frac{U_T \beta}{\frac{I_{C10}}{2}} = \frac{8U_T \beta}{I_{C10}} \quad (\approx 1\text{M}\Omega \text{ si } V_{CC} = 15\text{V})$$

- Vitesse de balayage :

$$s_W = \frac{I_{C1} + I_{C2}}{C_C} = \frac{I_{C10}}{C_C} \quad (\approx 0,6\text{V}/\mu\text{s si } V_{CC} = 15\text{V})$$

### 3) Second étage, ou étage de grand gain



- $Q_{16}$  monté en collecteur commun  
Gain en tension  $\sim 1$ , adaptation d'impédance

- $Q_{17}$  monté en émetteur commun avec charge active  
Grand gain en tension

- Courants de polarisation :

$$I_{C17} \cong I_2 \cong \frac{3I_0}{4} \quad (\approx 0,55\text{mA si } V_{CC} = 15\text{V})$$

$$I_{C16} \cong I_{E16} = \frac{V_{BE17} + R_8 I_{C17}}{R_9} \cong \frac{V_{BE17} + \frac{3}{4} R_8 I_0}{R_9}$$

$$(\approx 16\mu\text{A si } V_{CC} = 15\text{V})$$

- Impédance d'entrée

$$Z_{e16} \cong r_{be16} + \beta_0 (R_9 // (r_{be17} + \beta_0 R_8)) \quad \text{or}$$

$$\left| \begin{array}{l} r_{be17} = \frac{\beta U_T}{I_{E17}} \cong 5 \text{ k}\Omega \\ r_{be16} = \frac{\beta U_T}{I_{E16}} \cong 125 \text{ k}\Omega \end{array} \right.$$

si  $\beta = 100$  ( $V_{CC} = 15\text{V}$ )

$$\Rightarrow \boxed{Z_{e16} \cong r_{be16} + \beta_0 (r_{be17} + \beta_0 R_8)} \quad (\approx 1.5 \text{ M}\Omega)$$

- Gain en tension du 1<sup>er</sup> étage

$$\boxed{g_1 = \frac{v_{b16}}{v_+ - v_-} = \frac{Z_{e16} i_{e16}}{v_+ - v_-} = \frac{-g_m (v_+ - v_-)}{v_+ - v_-} Z_{e16} = -g_m Z_{e16}} \quad (\approx 100)$$

- Gain en tension du 2<sup>e</sup> étage

$$g_2 = \frac{v_{c17}}{v_{b16}} = \frac{v_{c17}}{v_{b17}} \times \frac{v_{b17}}{v_{b16}}$$

$$Q_{16} \text{ monté en collecteur commun} \Rightarrow \frac{v_{b17}}{v_{b16}} \approx 1$$

Remarque :

Contribution de  $Q_{23}$  au point de repos de  $Q_{17}$  par la boucle de contre-réaction empêchant la saturation des transistors ( $Q_{16}$  et  $Q_{17}$ ) : limitation du courant injecté dans la base de  $Q_{16}$

Comportement de  $Q_{23B}$  comme une diode bloquée, et impédance d'entrée de  $Q_{23A}$  beaucoup plus élevée que  $r_{ce13B}$

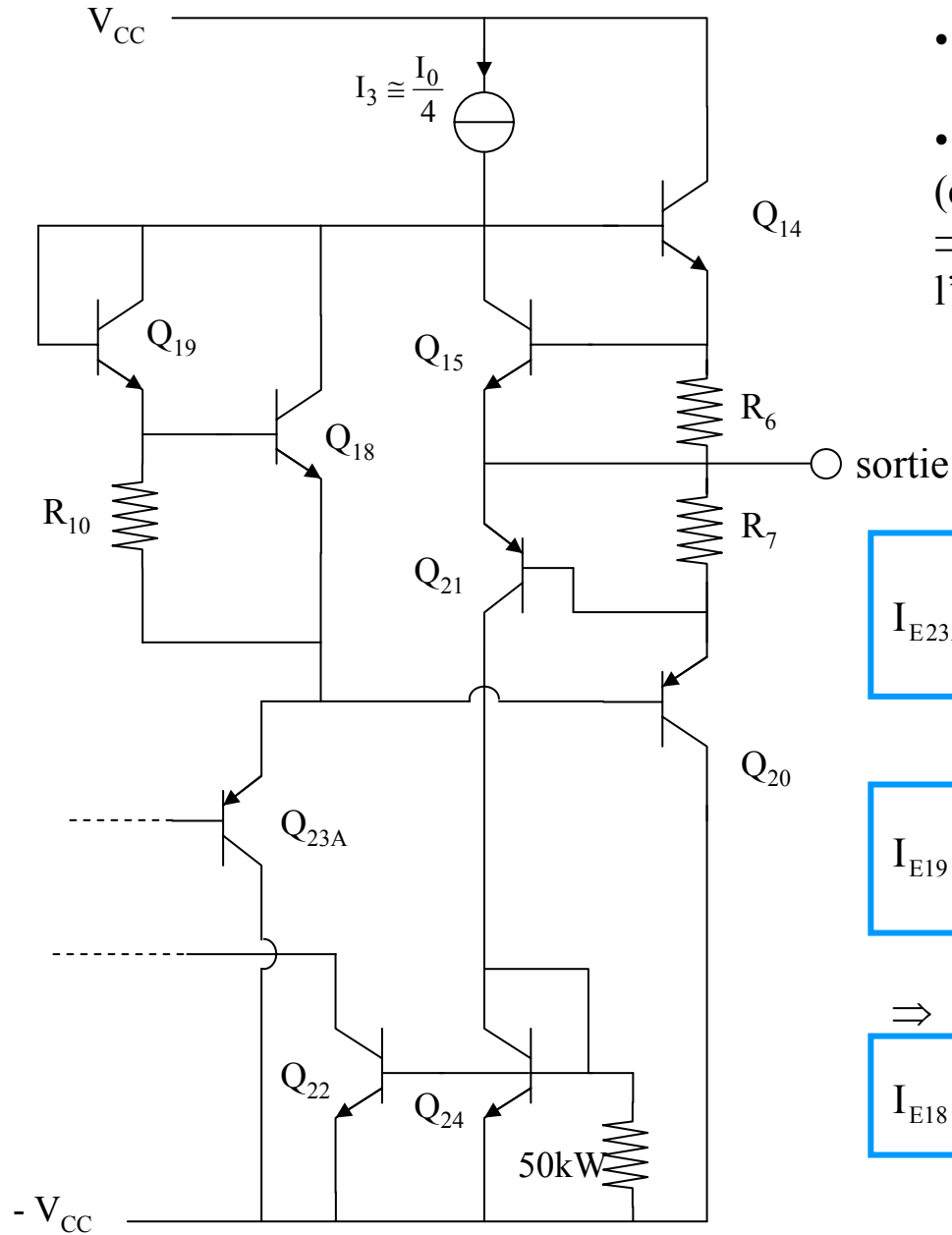
$Q_{17}$  monté en émetteur commun avec charge active ( $Q_{13B}$ )

$$g_2 \approx - \left( \frac{g_{m17}}{\frac{1}{r_{ce13B}} (1 + g_{m17} R_8) + \frac{1}{r_{ce17}}} \right)$$

$$R_8 g_{m17} = R_8 \frac{3I_0}{4U_T} \approx 2 \text{ (Si } V_{CC} = 15V)$$

$$g_2 = \frac{v_{c17}}{v_{b16}} \approx - \frac{3I_0}{4U_T} \frac{r_{ce13B} r_{ce17}}{r_{ce13B} + r_{ce17}} = - \frac{V_A V_{AB}}{U_T (V_A + V_{AB})} \quad (\approx -10^3)$$

#### 4) Etage de sortie



- $Q_{14}, Q_{20}$  : paire complémentaire (Push-Pull)
- $Q_{18}, Q_{19}$  : transistors montés en Darlington (équivalent à un pont de deux diodes)  
 $\Rightarrow$  Réduction de la distorsion de croisement de l'étage Push-Pull

$$I_{E23A} = I_{C23A} \cong I_3 \approx \frac{I_0}{4} \quad (\approx 0,18 \text{ mA si } V_{CC} = 15V)$$

$$I_{E19} \cong \frac{V_{BE18}}{R_{10}}$$

et  $\frac{I_0}{4} = I_{E18} + I_{E19}$

$$\Rightarrow I_{E18} \cong \frac{I_0}{4} - I_{E19}$$

( $\approx 165\mu A$  si  $V_{CC} = 15V$ )

- $Q_{23A}$  : monté en collecteur commun

$$V_{c17} \approx V_{e23A} \quad (\text{petits signaux})$$

$$V_s = V_{e23A} + |V_{BE20}| + V_{R7} \cong V_{e23A} + |V_{BE}| \quad \text{Si } Q_{20} \text{ conduit (alternance } < 0)$$

$$V_s = V_{e23A} + V_{BE18} + V_{BE19} - V_{BE14} - V_{R6}$$

$$V_s \cong V_{e23A} + |V_{BE}| \quad \text{Si } Q_{14} \text{ conduit (alternance } > 0)$$

- Circuit de protection ( $R_6, R_7, Q_{15}, Q_{21}, Q_{22}, Q_{24}, 50\text{kW}$ )

$R_6, R_7$  : éviter la conduction simultanée de  $Q_{14}$  et  $Q_{20}$  (court-circuit) des alimentations due aux dérives thermiques (à fort courant de sortie)

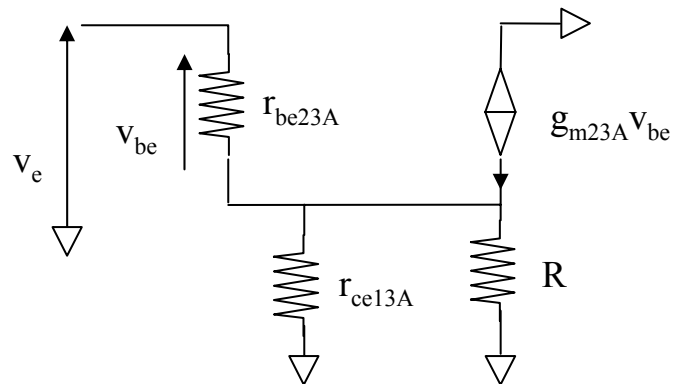
$Q_{15}, Q_{21}, Q_{22},$  et  $Q_{24}$  bloqués en fonctionnement normal

Mise en conduction de  $Q_{15}$  (ou  $Q_{21}$ ) lorsque  $R_6 I_S \sim 0,6 \text{ V}$  ( $R_7 I_S \sim 0,6 \text{ V}$ ) afin de limiter le courant dans  $Q_{14}$  ( $Q_{20}$ )

Remarque : lorsque  $Q_{21}$  se met à conduire  $Q_{22}$  et  $Q_{24}$  conduisent court-circuitant le second étage ( $Q_{16}, Q_{17}$ ).

Remarque :

Impédance d'entrée de  $Q_{23A}$  beaucoup plus élevée que celle de la charge active  $Q_{13B}$



$Q_{23A}$  monté en collecteur commun

$R$  : impédance d'entrée de l'étage de sortie

$$v_e = (r_{ce13A} // R) g_{m23A} v_{be} + v_{be}$$

et

$$Z_e = \frac{v_e}{i_{be}} = r_{be23A} + \beta(r_{ce13A} // R)$$

Etage de sortie monté en collecteur commun avec une charge  $R_L + R_{6ou7} \approx R_L$

$$\Rightarrow R = r_{be20ou14} + \beta R_L$$

Finalement :

$$Z_e = r_{be23A} + \beta[r_{ce13A} // (r_{be20ou14} + \beta R_L)]$$

Applications numériques :  $V_{CC} = 15V$ ,  $R_L = 1k\Omega$ ,  $\beta = 50$   $V_A = 50V$

$$r_{be14ou20} \ll \beta R_L$$

$$r_{ce13A} = \frac{4V_A}{I_0} \approx 1,1M\Omega \gg \beta R_L$$

$$\Rightarrow Z_e \cong r_{be23A} + \beta^2 R_L = \frac{4\beta U_T}{I_0} + \beta^2 R_L = 28,9k\Omega + 2,5M\Omega \cong 2,5M\Omega$$

et

$$r_{ce13B} = \frac{4V_A}{3I_0} = 350k\Omega \ll Z_e$$

## 5) Limitations

### a) Limitations de la tension de sortie

Supposons  $V_{CC} = 15 V$

- Saturation positive :

$$v_S = V_{CC} - v_{BE14} - |v_{CE13Asat}|$$

$$\Rightarrow v_S \cong V_{CC} - 1V = 14V (= +V_{sat})$$

- Saturation négative :

$$v_S = -V_{CC} + |v_{BE20}| + |v_{CE23Asat}|$$

$$\Rightarrow v_S \cong -V_{CC} + 1V = -14V (= -V_{sat})$$

## b) Limitations en courant

Imposées par le circuit de protection

Courant de sortie maximum lorsque :

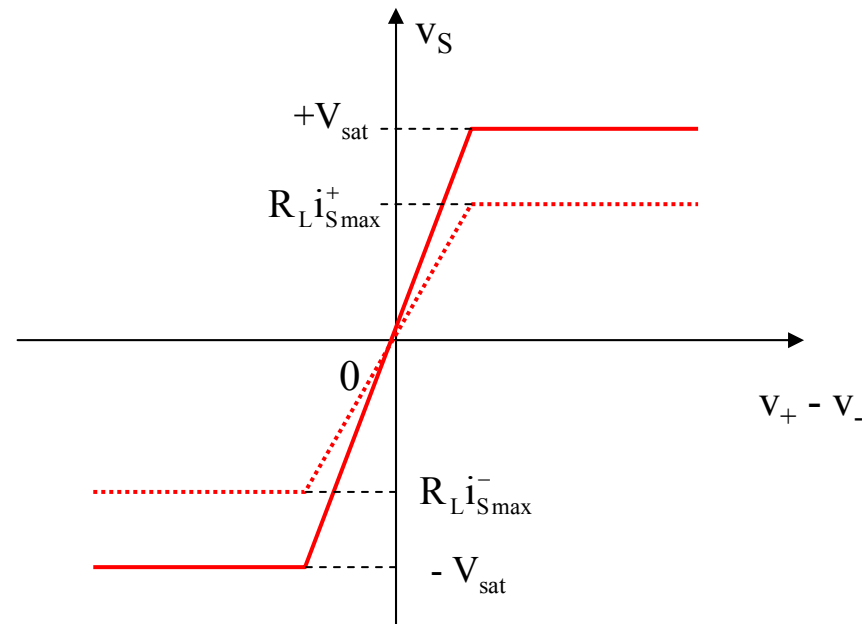
$Q_{15}$  se met à conduire  
(alternance positive)

$$i_{S\max}^+ \cong \frac{V_{BE15}}{R_6} \left( \approx \frac{0,6}{27} \approx 20\text{mA} \right)$$

$Q_{21}$  se met à conduire  
(alternance négative)

$$i_{S\max}^- \cong \frac{V_{BE21}}{R_7} \left( \approx -\frac{0,6}{22} \approx -20\text{mA} \right)$$

D'où



## Références de tension à « Band gap »

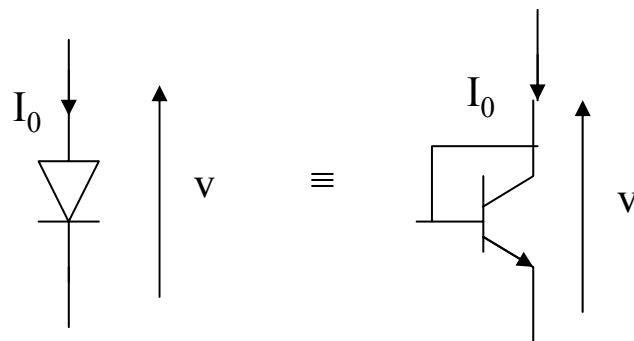
### I- Introduction

Référence de tension à « Bandgap : dispositif délivrant une tension constante indépendamment des dérives (thermiques) lors de son fonctionnement

⇒ Référence conçue autour des dérives thermiques de la tension emetteur-base du transistor bipolaire

### II - Dérives thermiques de la tension $v_{BE}$ , référence de tension à « bandgap »

#### 1) Dérives thermiques de la tension $v_{BE}$ d'un transistor bipolaire en régime normal



$$- \beta \gg 1$$

- Effet early négligé

$$i_C \cong I_S \exp\left(\frac{v_{BE}}{U_T}\right)$$

$$I_S = ni_i^2 qS \frac{D_n}{N_{AB} X_B}$$

$$\text{Or } D_n \cong \frac{C}{T^\varepsilon} \quad \text{et} \quad n_i^2 \cong A^2 T^3 \exp\left(-\frac{E_G(0)}{kT}\right)$$

$$\Rightarrow I_S \cong K T^{3-\varepsilon} \exp\left(-\frac{E_G(0)}{kT}\right) \quad A, K : \text{indépendants de la température}$$

$E_G(0)$  : gap à  $T = 0\text{K}$

En pratique, courant  $I_0$  imposé par le circuit extérieur (au moins en ordre de grandeur)

$$\Rightarrow I_0 = K T^{3-\varepsilon} \exp\left(-\frac{E_G(0)}{kT}\right) \exp\frac{v_{BE}}{U_T}$$

$$\Rightarrow \ln \frac{I_0}{K} = m \ln T - \frac{E_G(0)}{kT} + q \frac{v_{BE}(T)}{U_T} \quad ; \quad m = 3 - \varepsilon$$

$\ln \frac{I_0}{K}$  : indépendant de  $T$

$$\Rightarrow \left| \begin{array}{l} \ln \frac{I_0}{K} = m \ln T_0 - \frac{E_G(0)}{kT_0} + q \frac{v_{BE}(T_0)}{U_{T0}} \\ T_0 : \text{température de référence} \end{array} \right.$$

⇒

$$\left| \begin{aligned} v_{BE}(T) &= v_{BE}(T_0) \frac{T}{T_0} - \frac{E_G(0)}{q} \left( \frac{T}{T_0} - 1 \right) - m \frac{k}{q} T \ln \frac{T}{T_0} \\ \frac{dv_{BE}(T)}{dT} &= \frac{v_{BE}(T_0)}{T_0} - \frac{E_G(0)}{qT_0} - m \frac{k}{q} \left( \ln \frac{T}{T_0} + 1 \right) \end{aligned} \right.$$

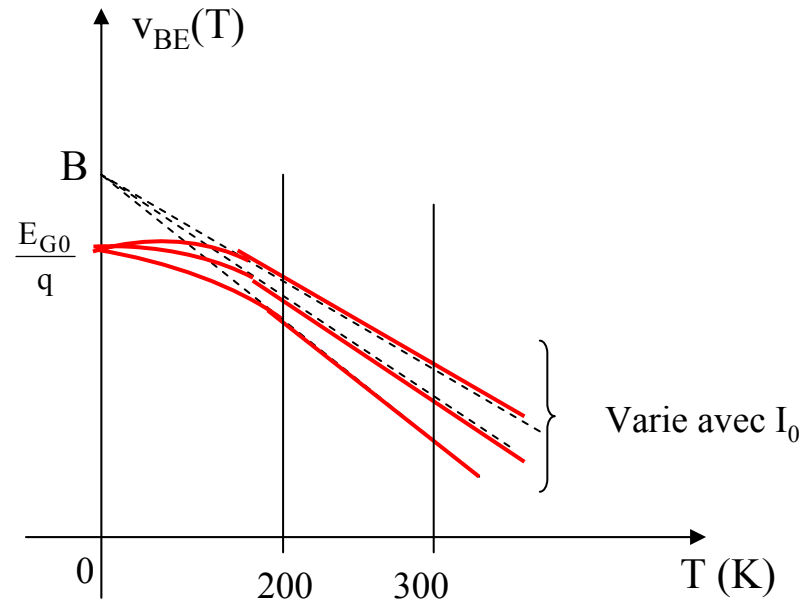
Remarque :

Si  $I_0$  varie légèrement avec  $T$  alors  $I_0 \propto T^y \Rightarrow$  Formules valables en remplaçant  $m$  par  $y$

$$v_{BE}(T) = B - AT + C(T)$$

$$\Rightarrow \left| \begin{aligned} A &= -\frac{dv_{BE}(T)}{dT} = \frac{E_G(0)}{qT_0} - \frac{v_{BE}(T_0)}{T_0} \\ B &= \frac{E_G(0)}{q} \\ C &= m \frac{k}{q} T \ln \frac{T}{T_0} : \text{terme à négliger car vaut } -21\text{mV à } T = 200\text{K} \\ &0\text{mV à } T = 300, \text{ et } 47\text{mV à } T = 450\text{K} \end{aligned} \right.$$

$$\left| \begin{array}{l} v_{BE}(T) \cong B - AT \\ 200K < T < 300K \end{array} \right.$$



## 2) Références à « Bandgap »

Réalisation : mise en série d'une tension proportionnelle à  $v_{BE}$  et d'une tension proportionnelle à la température dont le coefficient est ajusté au  $-\frac{dv_{BE}}{dT}$

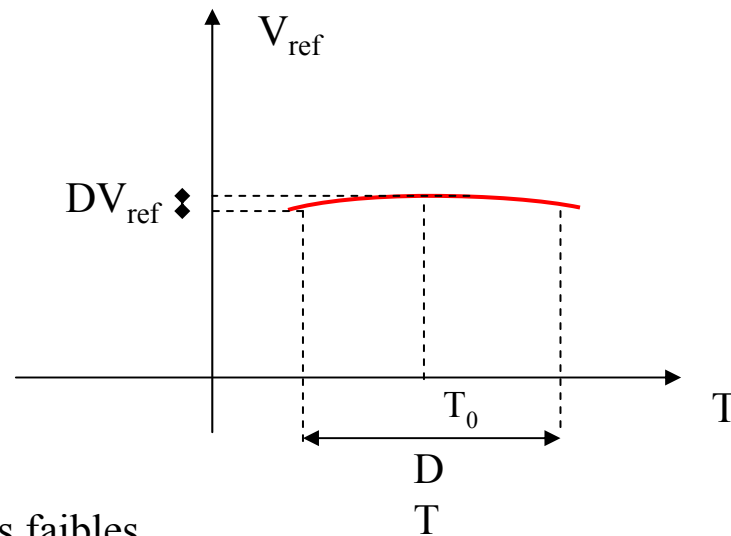
$$\left| \begin{array}{l} V_{ref} = n \times (v_{BE}(T) + AT) \\ \frac{dV_{ref}}{dT} \Big|_{T_0} = 0 \end{array} \right. \quad n : \text{nombre entier}$$

$$V_{\text{ref}} = n(v_{\text{BE}} + AT) = n \times B = n \left( v_{\text{BE}}(T) - v_{\text{BE}}(T_0) \frac{T}{T_0} + \frac{E_G(0)}{q} \frac{T}{T_0} + m \frac{k}{q} T \right)$$

$$V_{\text{ref}} \cong n \times \left( \frac{E_G(0)}{q} + m \frac{k}{q} T_0 \right) = n \times (1,2\text{V} + 0,06\text{V}) \cong n \times 1,26\text{V} \quad \text{si } T_0 = 300\text{K}$$

$V_{\text{ref}}$  très voisine d'un nombre entier de fois de 1,2 V (valeur du gap du silicium) d'où le nom de référence « *Bandgap* »

En réalité :



Variations très faibles

$$\frac{\Delta V_{\text{ref}}}{\Delta T} \text{ très petit} \quad \Rightarrow \quad \text{Source de tension stabilisée en température}$$

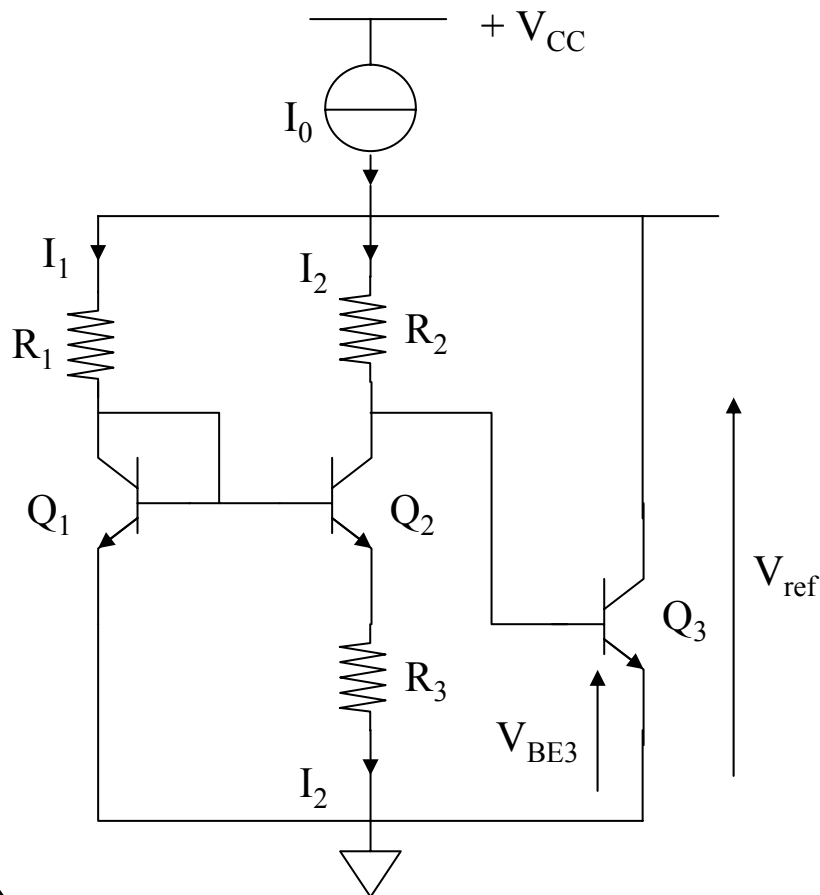
### 3) Réalisations

Réalisation pratique sous la forme :

$$V_{\text{ref}} = n \times V_{\text{BE}} + I U_{\text{T}}$$

avec  $I$  fixé par les éléments du circuit

#### a) Circuit à simple bandgap



*Courants de base négligés ( $\beta \gg 1$ )*

$$V_{\text{ref}} = V_{\text{BE3}} + R_2 I_2 \quad \text{et} \quad R_3 I_2 = V_{\text{BE1}} - V_{\text{BE2}} = U_{\text{T}} \ln \frac{I_1}{I_2}$$

$$V_{\text{BE1}} \approx V_{\text{BE3}} \Rightarrow R_1 I_1 \approx R_2 I_2$$

$$\Rightarrow \frac{I_1}{I_2} \approx \frac{R_2}{R_1} \quad \text{et} \quad I_2 \approx \frac{U_{\text{T}}}{R_3} \ln \frac{R_2}{R_1}$$

$$\Rightarrow V_{\text{ref}} \cong V_{\text{BE3}} + U_{\text{T}} \frac{R_2}{R_3} \ln \frac{R_2}{R_1}$$

De plus il faut que :  $\frac{dV_{\text{ref}}}{dT} = 0$

$$\Rightarrow \frac{dV_{\text{BE3}}}{dT} = -\frac{d}{dT} \left( U_T \frac{R_2}{R_3} \ln \frac{R_2}{R_1} \right)$$

$$\Rightarrow \frac{U_T}{T} \frac{R_2}{R_3} \ln \frac{R_2}{R_1} = -\frac{dV_{\text{BE3}}}{dT}$$

NB:  $\frac{R_2}{R_3}$  indépendant de la température  
(résistances de même technologie)

$\Rightarrow$  Ajuster  $R_1, R_2, R_3$  pour que

$$V_{\text{ref}} = 1,26 \text{ V}$$

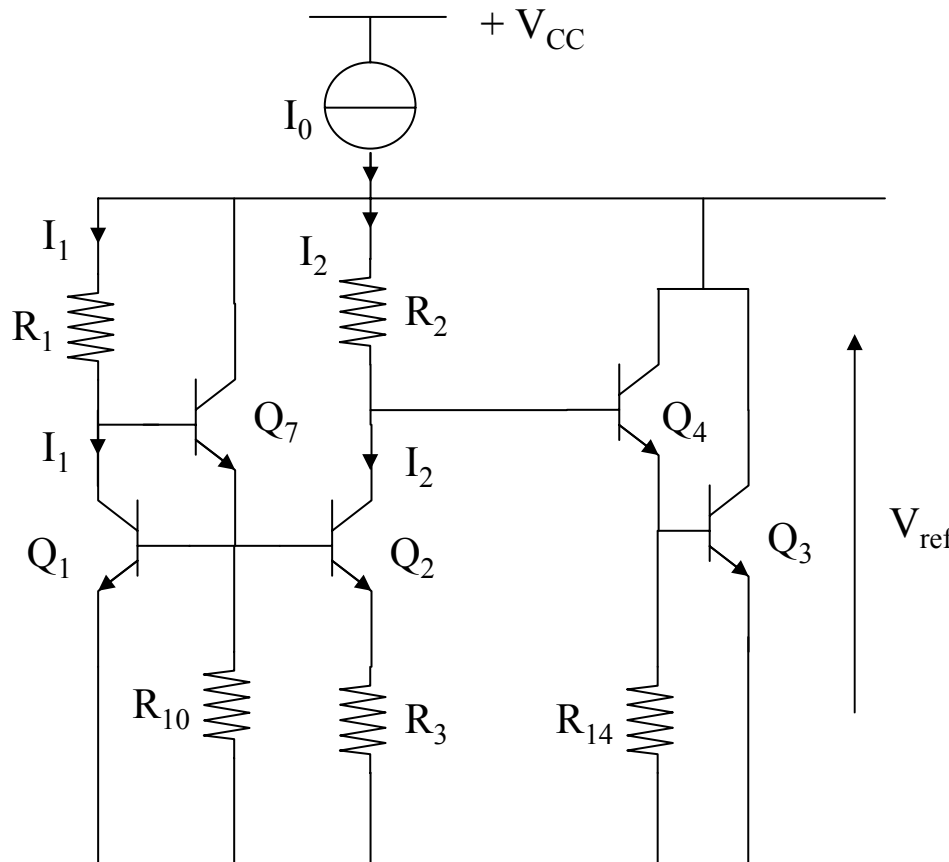
et que

$$\frac{dV_{\text{ref}}}{dT} = 0 \quad \Rightarrow \quad R_1 = R_3 = 1\text{k}\Omega, R_2 = 10\text{k}\Omega,$$

Remarque:

$$R_3 I_2 = U_T \ln \frac{R_2}{R_1} = 0,026 \times 2,3 = 0,06 \text{ V environ } 10\% \text{ de } V_{\text{BE1}} \text{ et } V_{\text{BE2}}$$

## b) Circuit à double bandgap



$$V_{\text{Ref}} = V_{\text{BE3}} + V_{\text{BE4}} + R_2 I_2 = 2V_{\text{BE}} + R_2 I_2$$

$$V_{\text{BE1}} - V_{\text{BE2}} = R_3 I_2$$

$$\Rightarrow U_T \ln \frac{I_1}{I_2} = R_3 I_2$$

$$\text{et } R_1 I_1 + V_{\text{BE1}} + V_{\text{BE7}} = V_{\text{BE3}} + V_{\text{BE4}} + R_2 I_2$$

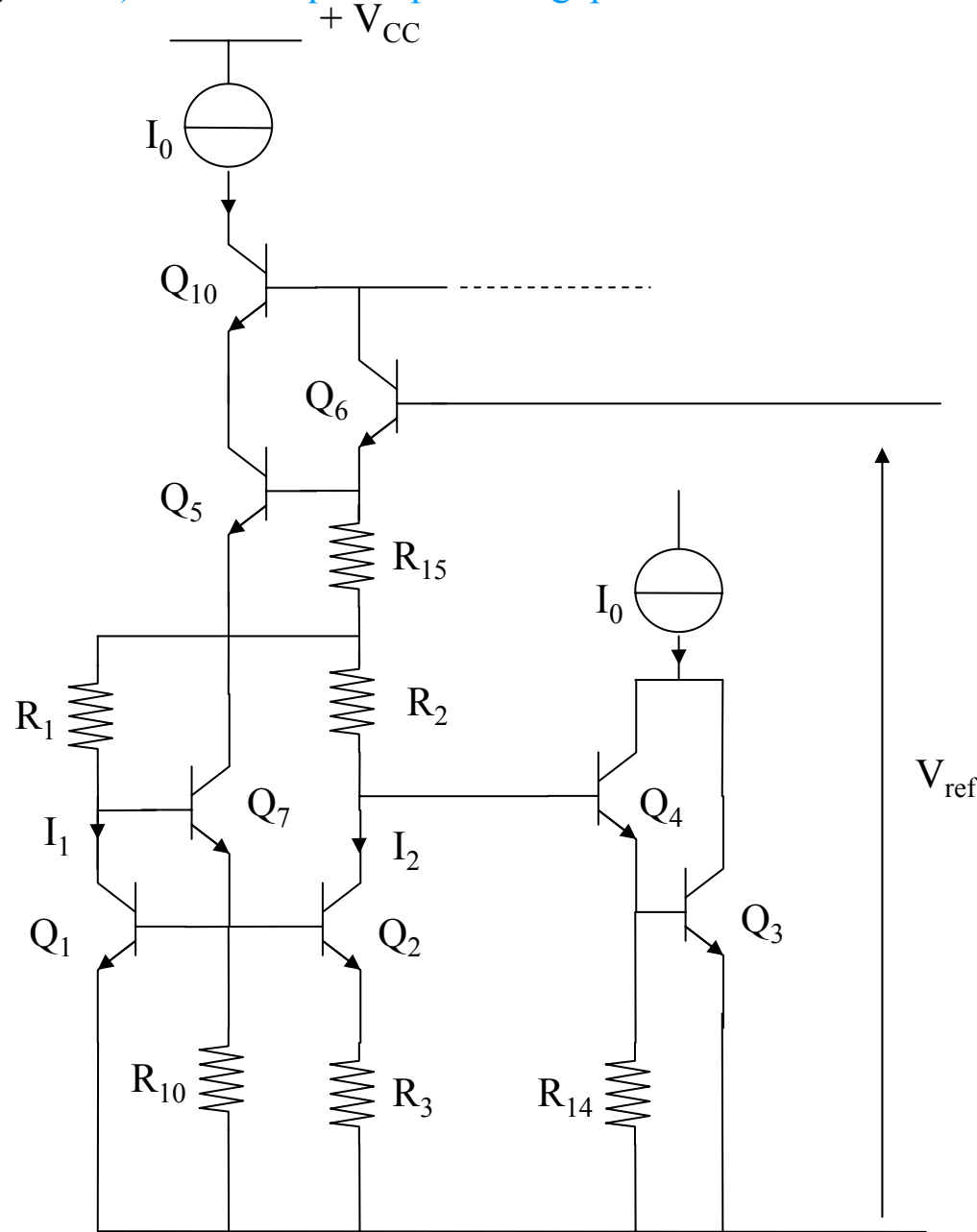
$$\text{or } V_{\text{BE1}} \cong V_{\text{BE7}} \cong V_{\text{BE3}} \cong V_{\text{BE4}}$$

$$R_1 = R_3 = 1\text{k}\Omega \text{ et } R_2 = 16,5\text{k}\Omega$$

Finalemment :

$$V_{\text{Ref}} = 2V_{\text{BE}} + U_T \frac{R_2}{R_3} \ln \frac{R_2}{R_1} \quad \text{et} \quad V_{\text{Ref}} = 2 \times 1,26 = 2,52 \text{ V}$$

c) Circuit à quadruple bandgap



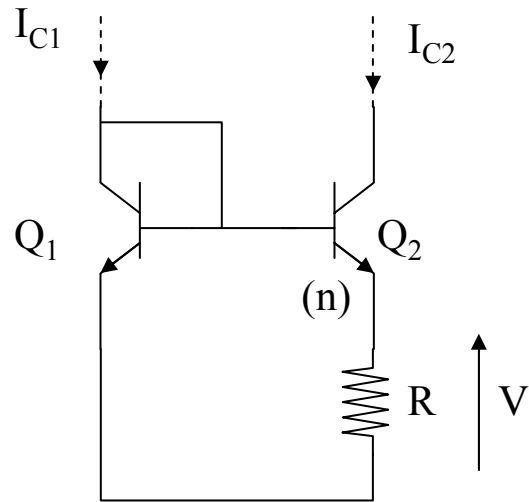
$$R_1 = R_3 = 1\text{k}\Omega \text{ et } R_2 = 27,8\text{k}\Omega$$

$$V_{ref} = 4V_{BE} + \lambda U_T$$

$$V_{ref} = 5,04 \text{ V}$$

Cas du circuit intégré 78XX (Fairchild)

**d) Exemples de circuit réalisant le terme «  $A \times T$  (ou  $\lambda U_T$ ) »**



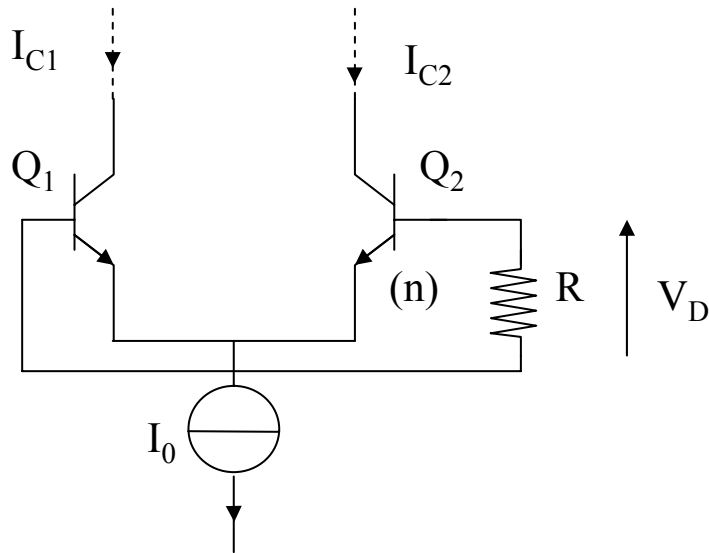
Miroir asymétrique associé à un circuit imposant  $I_{C1} = I_{C2}$   
 $Q_2$  : multiémetteur

$$I_{C1} = I_{C2} \quad V = RI_{C2} = V_{BE1} - V_{BE2}$$

$$V = U_T \left[ \ln \frac{I_{C1}}{I_s} - \ln \frac{I_{C2}}{nI_s} \right]$$

*Voir Circuit AD 590*

$$\Rightarrow \underline{V = U_T \ln(n) = A \times T}$$



Etage différentiel dissymétrique associé à un circuit  
 Imposant  $I_{C1} = I_{C2}$

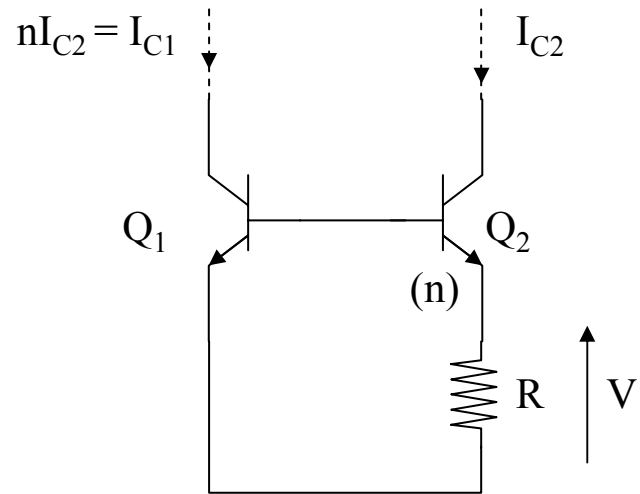
$Q_2$  : multiémetteur

$$V_D = V_{BE1} - V_{BE2}$$

*Voir circuits LM 135, 235, 335*

$$\underline{V_D = U_T \ln(n)}$$

## Miroir à transistors identiques, dissymétrique par R



$$I_{C1} = nI_{C2}$$

$$V = V_{BE1} - V_{BE2}$$

$$V = U_T \ln(n)$$

---

## Partie II : Circuits intégrés MOS (BF)

- Transistors MOS
- Sources de courant MOS
- Etages différentiels MOS
- Etages de sortie MOS
- Amplificateurs MOS

# Transistors MOS

## I- Technologies des transistors MOS

Transistors MOS ou MOSFET

Deux familles de MOSFETs (Métal Oxyde Semiconductor Field Effect Transistor) :

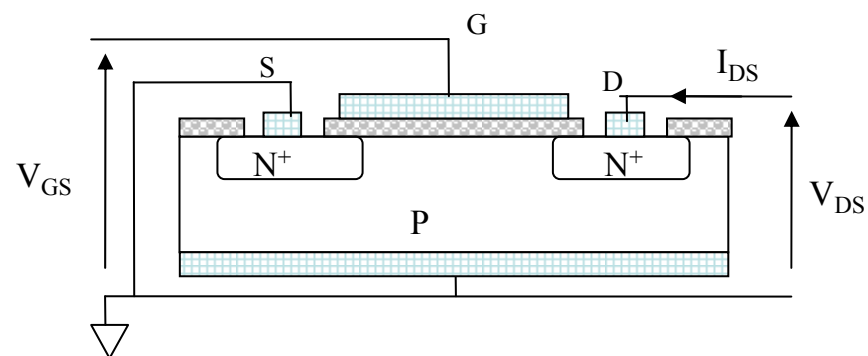
- à enrichissement (ou à inversion),
- à appauvrissement (ou à déplétion)

### 1) Transistors MOS à enrichissement

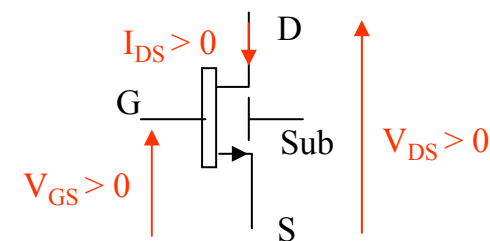
Principe : formation du canal de conduction entre la source et le drain en **inversant** le type de la zone de canal par application d'une tension électrique sur la grille

Deux types de transistors MOS à enrichissement :

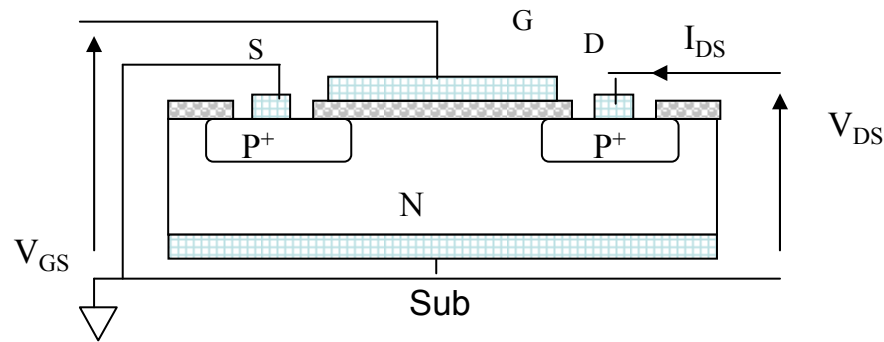
- MOSFET à canal N à enrichissement



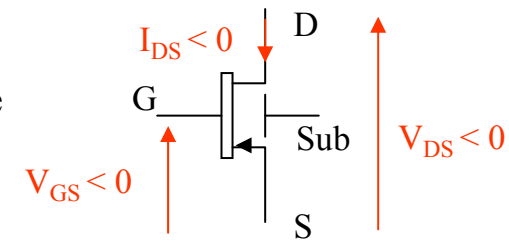
symbole



- MOSFET à canal P à enrichissement



symbole



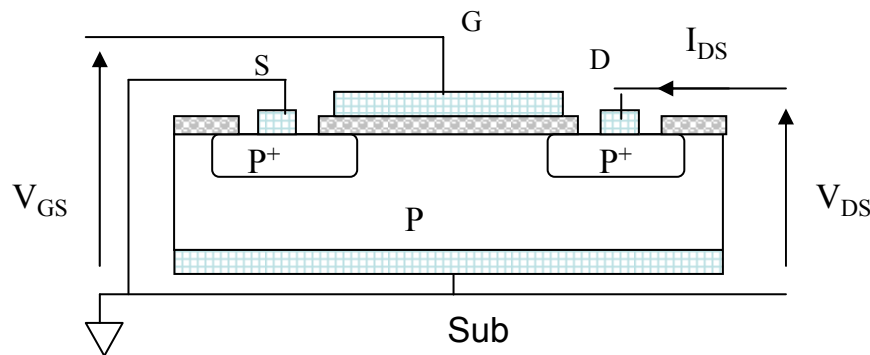
*Note : transistors bloqués sans polarisation de la grille*

**2) Transistor MOS à appauvrissement**

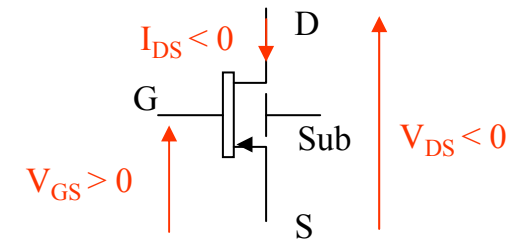
Principe : disparition progressive du canal de conduction entre la source et le drain en **appauvrissant** le type de la zone de canal par application d'une tension électrique sur la grille

Deux types de transistors MOS à enrichissement :

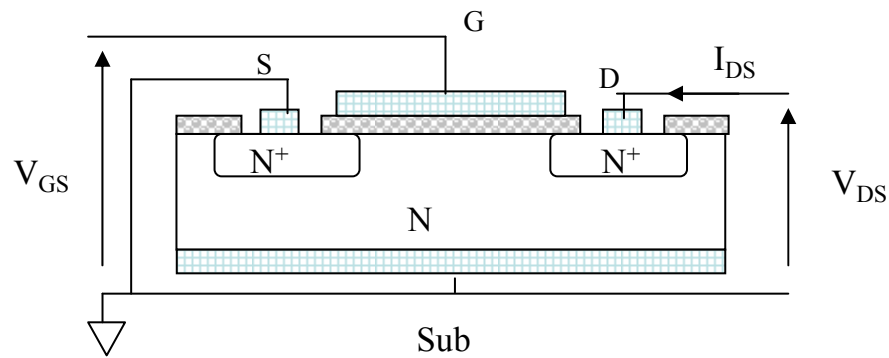
- MOSFET à canal P à appauvrissement



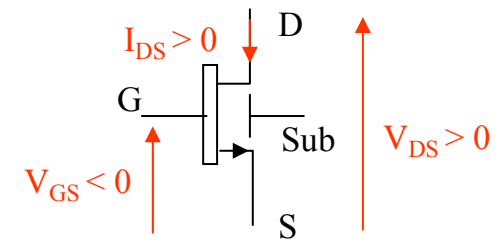
symbole



- MOSFET à canal N à appauvrissement

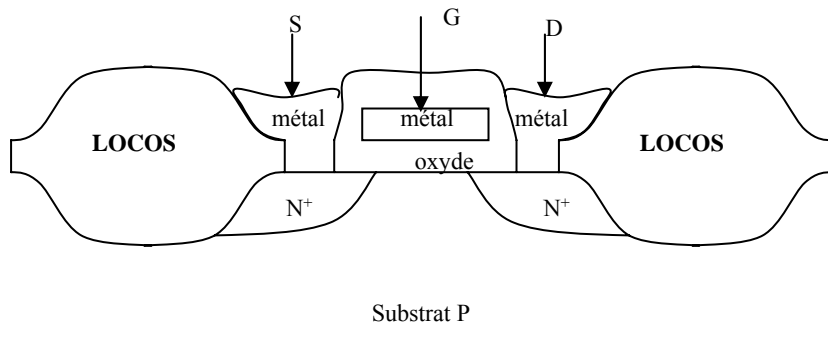


symbole

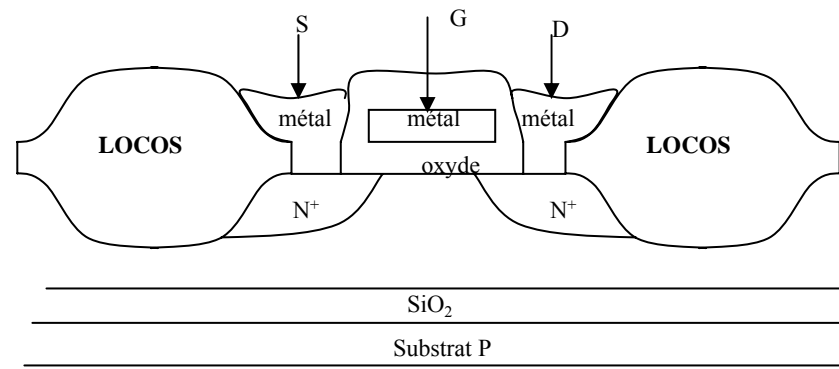


3) Transistors MOS intégrés

Technologie Classique

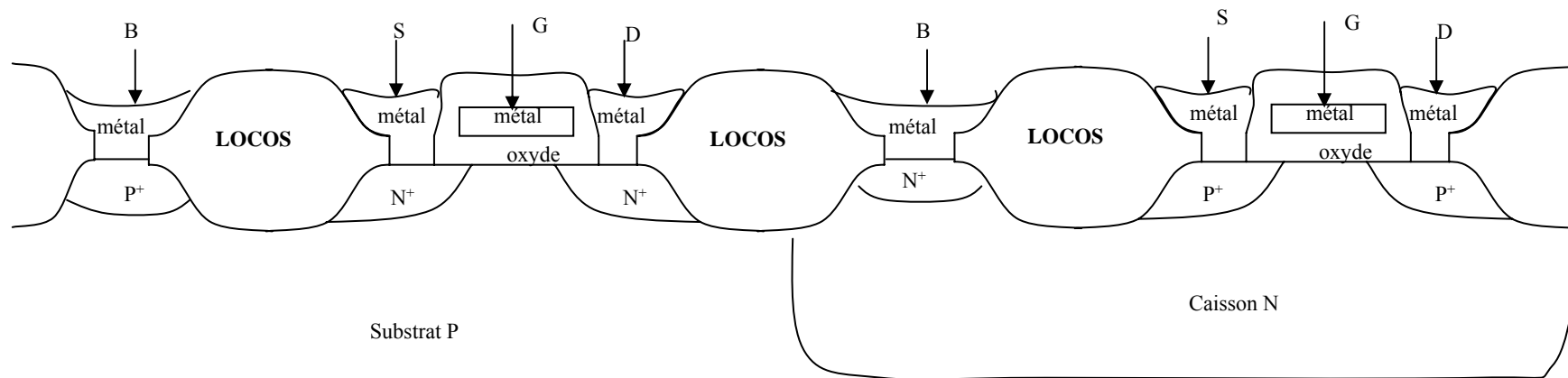


Technologie SOI (Silicon On Insulator)



*LOCOS : zones silicium localement oxydées*

## Technologie CMOS



*B : Bulk (Sub)*

**Transistor N MOS Substrat  
(Substrat à la masse :  $V_{SB}=V_S$ )**

**Transistor P MOS caisson**

## II- Modèle électrique (cas des transistors à enrichissement)

### 1) Conduction

Rappels

$$I_{DS} = \frac{W}{L} \mu C_{OX} \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

W : largeur du canal

L : longueur du canal

$\mu$  : mobilité des porteurs dans le canal

$C_{OX}$  : capacité de l'oxyde de grille par unité de surface

$V_T$  : tension de seuil

– Conduc tan ce :

$$g_d = \left. \frac{\partial i_{DS}}{\partial v_{DS}} \right|_{v_{GS}}$$

– Transconduc tan ce :

$$g_m = \left. \frac{\partial i_{DS}}{\partial v_{gS}} \right|_{v_{dS}}$$

### a) Régime linéaire

$$|v_{GS} - V_T| \ll |v_{DS}| \quad \Rightarrow \quad i_{DS} \cong \frac{W}{L} \mu C_{OX} \left( v_{GS} - V_T - \frac{v_{DS}}{2} \right) v_{DS}$$

On prend 
$$i_{DS} \cong \frac{W}{L} \mu C_{OX} (v_{GS} - V_T) v_{DS}$$

$$g_d = \frac{W}{L} \mu C_{OX} (v_{GS} - V_T) = \frac{i_{DS}}{v_{DS}} \quad g_m = \frac{W}{L} \mu C_{OX} v_{DS} \quad (\text{dépend de } v_{DS})$$

*Le transistor se comporte comme une résistance variable :* 
$$R_{DS}(v_{GS}) = \frac{1}{g_d}$$

### b) Régime saturé

$$|v_{GS} - V_T| \approx |v_{DS}| \quad \Rightarrow \quad i_{DS} \cong \frac{W}{2L} \mu C_{OX} (v_{GS} - V_T)^2$$

$$g_d = 0 \quad g_m = \frac{W}{L} \mu C_{OX} (v_{GS} - V_T) = \frac{2i_{DS}}{(v_{GS} - V_T)}$$

*Le transistor se comporte comme une source de courant d'impédance interne :* 
$$r_{ds} = \frac{1}{g_d} = \infty$$

Note :  $g_m$  dépend aussi des dimensions géométriques  $W$  et  $L$  canal du transistor

En réalité  $r_{ds}$  est finie (effet early)

$$i_{DS} \cong \frac{W}{2L} \mu C_{OX} (v_{GS} - V_T)^2 (1 + \lambda v_{DS}) \quad ; \quad \lambda v_{DS} \ll 1$$

$$\lambda = \frac{1}{V_A} \quad ; \quad V_A : \text{potentiel d'early (effet de canal court)}$$

$$\Rightarrow r_{ds} = \frac{1 + \lambda v_{DS}}{\lambda i_{DS}} \cong \left. \frac{V_A}{i_{DS}} \right|_{v_{GS}}$$

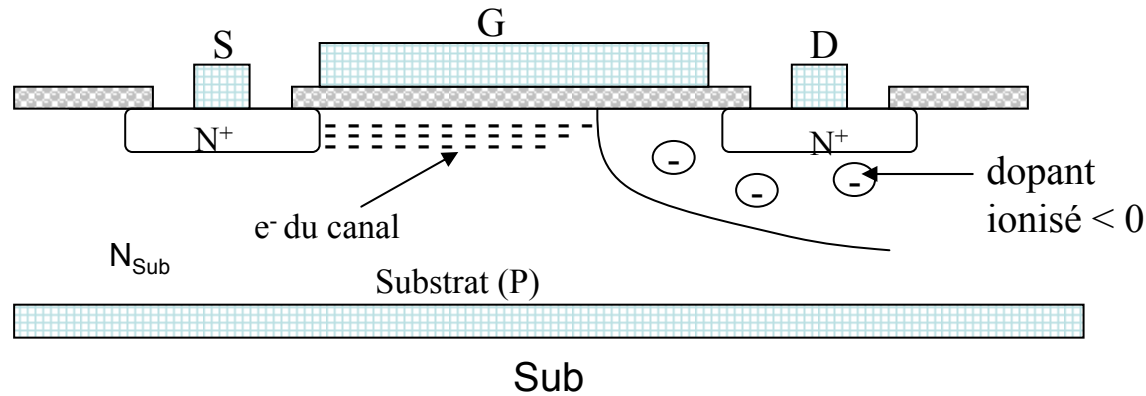
## 2) Effet de polarisation du substrat (« bulk effect »)

Perturbation du fonctionnement normal de transistor lorsque le substrat est polarisé

- Cas des transistors N-MOSFET à **inversion**

« bulk effect » apparaissant lorsque le substrat est polarisé négativement.

Jonction Substrat (P)/Canal+Drain ( $N^+$ ) polarisée en inverse



⇒ Extension de la zone de charge d'espace dans le volume du substrat  
(Effet early plus prononcé)

⇒ Augmentation de la charge fixe ( $< 0$ ) dans la couche active, compensant la charge  $< 0$   
due aux électrons du canal induite par la tension de grille

⇒ Diminution de la concentration des électrons dans le canal et donc du courant

⇒ Augmentation de la tension de seuil du transistor

$$V_T \approx V_{T0} + \frac{1}{C_{OX}} \sqrt{\frac{2q\epsilon_{Si}N_{Sub}}{V_{SSub} + 2\Phi_F}} V_{SSub}$$

- N'apparaît pas si  $V_{SSub} = 0$   
(transistors issus de la technologie SOI)

- Phénomène aussi observable dans les transistors P-MOSFETs

- Facteur de l'effet de polarisation du substrat :

Définition :

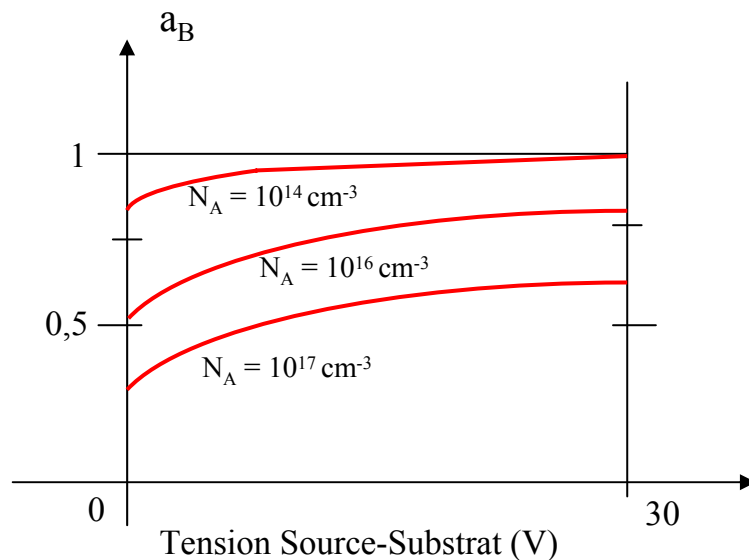
$$\lambda_B = \frac{g_{mb}}{g_m} : \text{facteur incrémental de l'effet de polarisation du substrat}$$

$g_{mb}$  : transconductance de la jonction substrat-(Canal+drain)

$$g_{mb} = \frac{I_{sub}}{nU_T} ; \quad I_{sub} : \text{courant sous le seuil}$$

On pose :

$$\alpha_B = \frac{1}{1 + \lambda_B} : \text{facteur de polarisation du substrat}$$

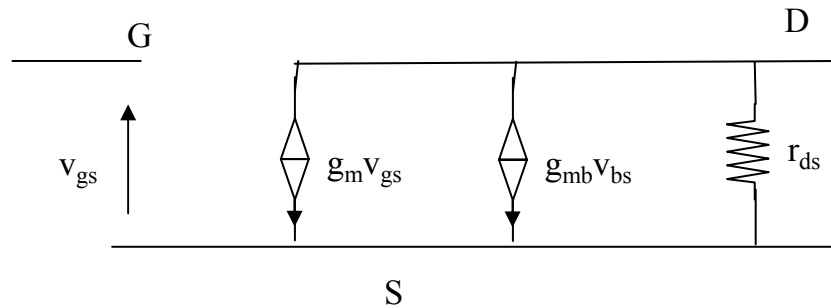


Effet de polarisation du substrat important à fort taux de dopage du substrat

*Notes : taux de dopage généralement faible pour les transistors à inversion  $\Rightarrow l_B \ll 1$  et  $\alpha_B \sim 1$*

*Effet plus prononcé dans les transistors à déplétion*

### 3) Représentation électrique en petits signaux



$v_{bs}$  : différence de potentiel entre la source et le substrat

*Note : plus d'effet en petits signaux si Source et Substrat reliés*

- Cas des transistors à inversion

Taux de dopage du substrat faible

$$a_B \sim 1 \quad \Rightarrow \quad g_{mb} \ll g_m$$

et

$$v_{gs} \sim v_{bs} \quad \Rightarrow \quad g_{mb} v_{bs} \ll g_m v_{gs}$$

⇒ Effet qui pourra être négligé dans les transistors MOS à inversion utilisés en fonctionnement normal

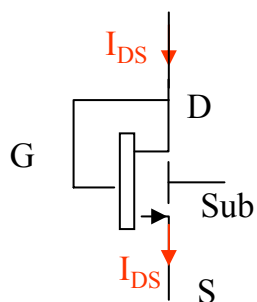
- Effet notable dans les montages de type **suiveur** (drain commun, étages de sortie...) pour lesquels les niveaux de courants sont faibles (transistors bloqués ou à la limite de la conduction)

## Sources de courant MOS

Cadre du cours : utilisation de transistors N MOS à inversion en régime saturé

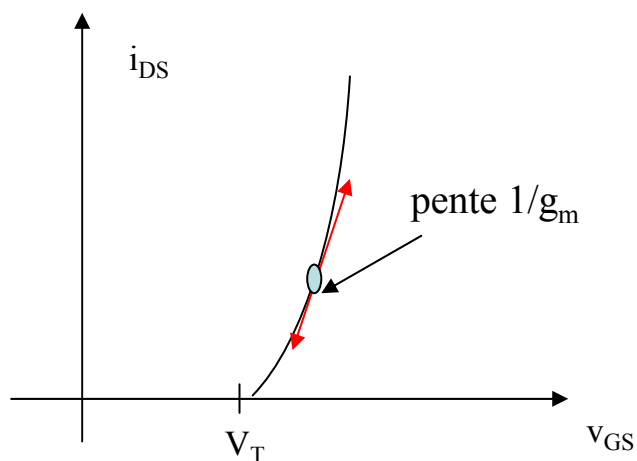
Résultats transposables pour les circuits MOS avec des transistors P MOS à inversion

### I- Transistor connecté en diode



$$V_{GS} = V_{DS}$$

$$i_{DS} = \frac{W}{2L} \mu C_{OX} (v_{GS} - V_T)^2$$

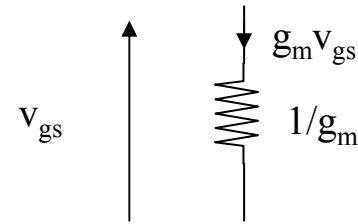


$$r = \frac{dv_{GS}}{di_{DS}} = \frac{1}{g_m} : \text{résistance dynamique}$$

$$r = \frac{L}{W \mu C_{OX} (V_{GS} - V_T)}$$

note :  $r$  dépend de  $W$  et  $L$  et  $V_{GS}$

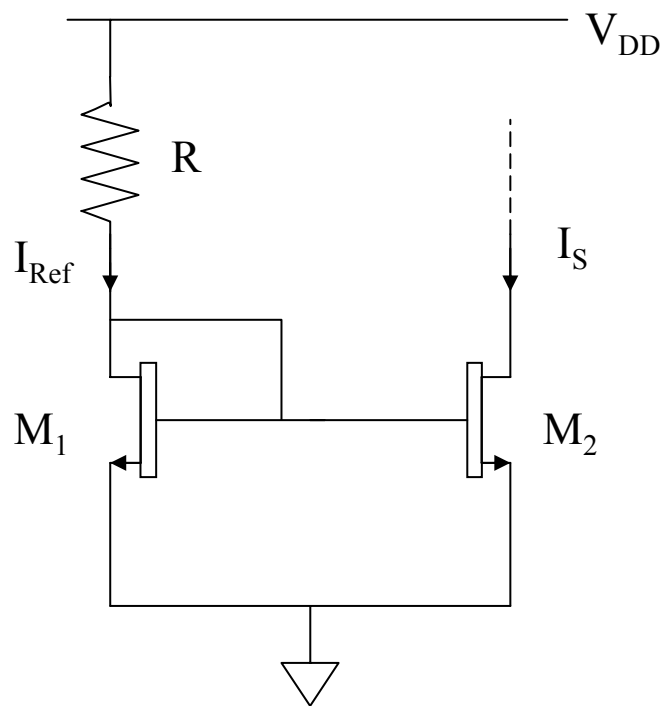
Représentation en petits signaux



Utilisations : diviseurs de tension, inverseurs...

## II- Miroirs de courant (« body effect » négligé)

### 1) Miroir simple



$M_1$  et  $M_2$  : même technologie mais dimensions géométriques différentes

$$V_{GS1} = V_{GS2} \quad \text{et}$$

$$\begin{cases} I_{\text{Ref}} = \left(\frac{W}{2L}\right)_1 \mu C_{\text{OX}} (V_{GS1} - V_T)^2 \\ I_S = \left(\frac{W}{2L}\right)_2 \mu C_{\text{OX}} (V_{GS2} - V_T)^2 \end{cases}$$

$$\Rightarrow \frac{I_{\text{Ref}}}{I_S} = \frac{\left(\frac{W}{2L}\right)_1}{\left(\frac{W}{2L}\right)_2}$$

Remarques :

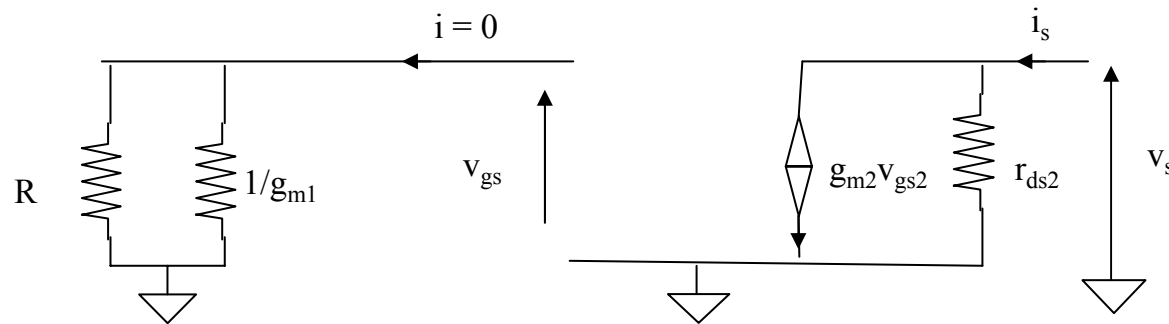
– si  $\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2$  alors  $I_{\text{ref}} = I_S$  (Miroir)

– Si effet early et si  $\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2$  alors  $\frac{I_{\text{ref}}}{I_S} = \frac{1 + \lambda V_{\text{DS1}}}{1 + \lambda V_{\text{DS2}}}$

⇒ Miroir sensible à l'effet early

si  $V_{\text{DS1}} = V_{\text{DS2}}$  alors  $I_{\text{ref}} \approx I_S$

- Etude en petits signaux

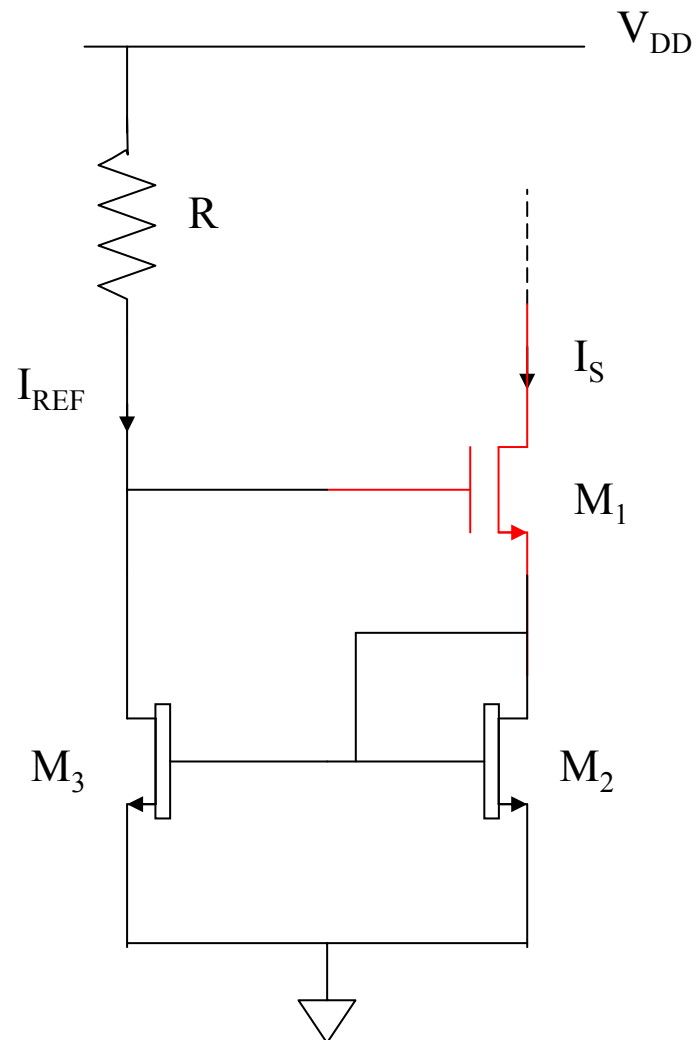


Pas de courant à travers  $R//1/g_m \Rightarrow v_{\text{gs}} = 0$

$$\Rightarrow Z_s = \frac{v_s}{i_s} = r_{\text{ds2}} = \frac{V_A}{I_S}$$

## 2) Structures améliorées

### $\alpha$ - Sources de WILSON



Structure de base

$M_1, M_2, M_3$  : même technologie mais géométries différentes

Effet early négligé

$$\begin{cases} V_{GS3} = V_{GS2} \\ I_{Ref} = I_{D3} \\ I_{D2} = I_S = I_{D1} \end{cases}$$

$$\Rightarrow \frac{I_{Ref}}{I_S} = \frac{\left(\frac{W}{L}\right)_3}{\left(\frac{W}{L}\right)_2}$$

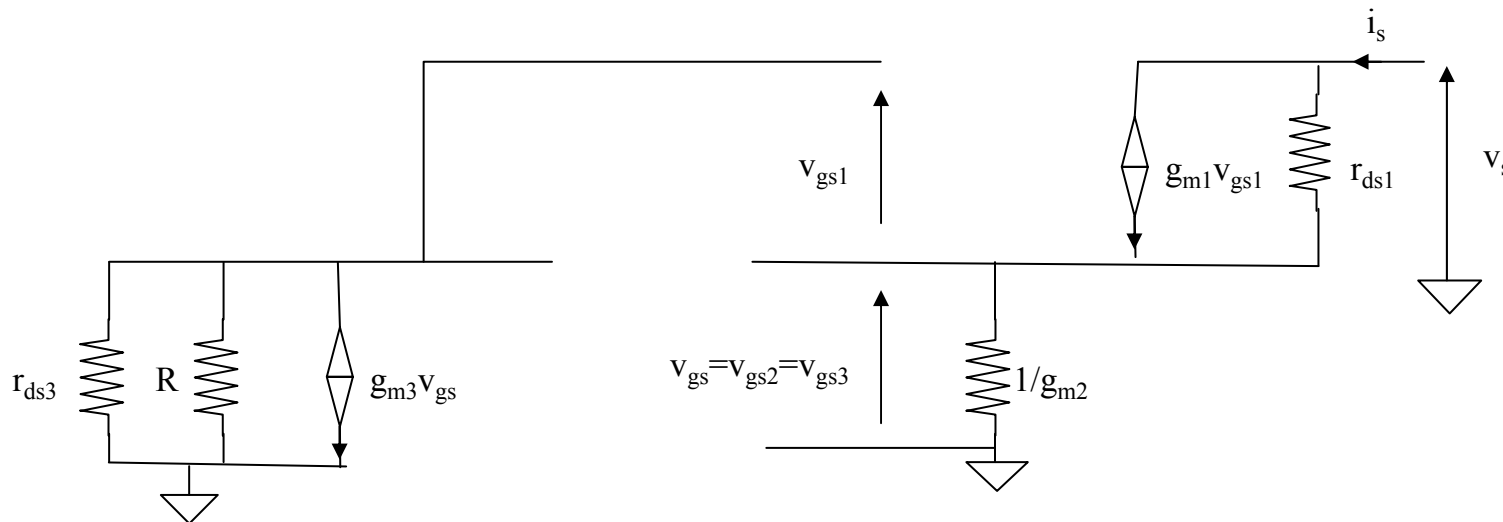
– Effet early

$$\frac{I_{\text{Ref}}}{I_S} = \frac{\left(\frac{W}{L}\right)_3 (1 + \lambda V_{\text{DS3}})}{\left(\frac{W}{L}\right)_2 (1 + \lambda V_{\text{DS2}})}$$

$V_{\text{DS3}} = V_{\text{DS2}} + V_{\text{GS1}} \Rightarrow V_{\text{DS3}} \neq V_{\text{DS2}} \Rightarrow I_{\text{Ref}} \neq I_S$  même si tous les  $\left(\frac{W}{L}\right)$  sont égaux

$\Rightarrow$  Source de Wilson plus sensible à l'effet early

- Etude en petits signaux



$$R // r_{ds3} = r'_{ds3}$$

$$\begin{cases} i_s = \frac{v_s - v_{gs}}{r_{ds1}} + g_{m1} v_{gs1} \\ i_s = g_{m2} v_{gs} \end{cases} \quad \text{et} \quad -r'_{ds3} g_{m3} v_{gs} = v_{gs1} + v_{gs} \quad \Leftrightarrow \quad v_{gs1} = -(1 + r'_{ds3} g_{m3}) v_{gs}$$

$$\Rightarrow \quad i_s = \frac{v_s}{r_{ds1}} - \frac{v_{gs}}{r_{ds1}} - g_{m1} (1 + r'_{ds3} g_{m3}) v_{gs} = \frac{v_s}{r_{ds1}} - \frac{i_s}{g_{m2}} \left[ \frac{1}{r_{ds1}} + g_{m1} (1 + r'_{ds3} g_{m3}) \right]$$

$$i_s \left[ 1 + \frac{1}{g_{m2}} \left( \frac{1}{r_{ds1}} + g_{m1} + g_{m1} r'_{ds3} g_{m3} \right) \right] = \frac{v_s}{r_{ds1}}$$

$$\frac{1}{r_{ds1}} \ll g_{m1}$$

$$\Rightarrow \quad i_s \left[ 1 + \frac{1}{g_{m2}} (g_{m1} + g_{m1} r'_{ds3} g_{m3}) \right] \cong \frac{v_s}{r_{ds1}}$$

$$V_{GS2} = V_{GS3} \Rightarrow g_{m2} = g_{m3} \quad \text{si} \quad \left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_3$$

$$i_s \left( 1 + \frac{g_{m1}}{g_{m2}} + g_{m1} r'_{ds3} \right) \cong \frac{v_s}{r_{ds1}}$$

$$\Rightarrow Z_s = \frac{v_s}{i_s} \cong r_{ds1} \left( 1 + \frac{g_{m1}}{g_{m2}} + g_{m1} r'_{ds3} \right) > r_{ds1}$$

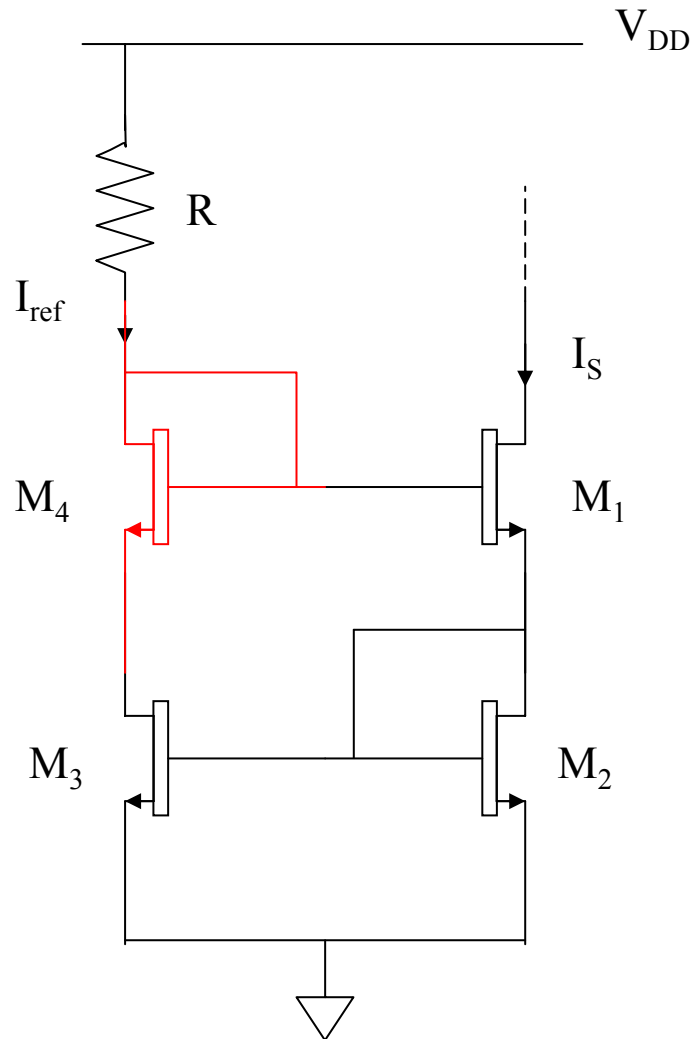
Remarque :

$$\text{si} \left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_3 \quad \text{alors} \quad V_{GS2} = V_{GS3} \cong V_{GS1} \quad (\lambda V_{DSi} \ll 1)$$

$$Z_s \cong r_{ds1} (2 + g_{m1} r'_{ds3}) \cong r_{ds1} g_{m1} r'_{ds3} \gg r_{ds1}$$

$\Rightarrow$  impédance interne plus grande que pour le miroir

- Structure améliorée



$$\begin{cases} V_{GS3} = V_{GS2} \\ I_{Ref} = I_{D4} = I_{D3} \\ I_S = I_{D1} = I_{D2} \end{cases}$$

$$\Rightarrow \frac{I_{Ref}}{I_S} = \frac{\left(\frac{W}{L}\right)_3}{\left(\frac{W}{L}\right)_2} = \frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_1} \frac{(V_{GS4} - V_T)^2}{(V_{GS1} - V_T)^2}$$

$$\Leftrightarrow (V_{GS1} - V_T)^2 = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_3} \times \frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_1} \times (V_{GS4} - V_T)^2$$

$$\Rightarrow V_{GS1} - V_T = \sqrt{\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_3} \times \frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_1}} \times (V_{GS4} - V_T)$$

$$V_{GS1} - V_T = \sqrt{\frac{\left(\frac{W}{L}\right)_2 \times \left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_3 \times \left(\frac{W}{L}\right)_1}} \times (V_{GS4} - V_T) = \alpha (V_{GS4} - V_T)$$

$$\alpha = \sqrt{\frac{\left(\frac{W}{L}\right)_2 \times \left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_3 \times \left(\frac{W}{L}\right)_1}}$$

$$\Rightarrow V_{GS1} = \alpha V_{GS4} + V_T(1 - \alpha) \quad \text{et} \quad V_{DS3} + V_{GS4} = V_{DS2} + V_{GS1} \quad \Rightarrow \quad V_{DS3} + V_{GS4} = V_{DS2} + \alpha V_{GS4} + V_T(1 - \alpha)$$

$$\Rightarrow V_{DS3} = V_{DS2} + (1 - \alpha)(V_T - V_{GS4})$$

$$-\alpha = 1 \text{ c'est - à - dire } \left(\frac{W}{L}\right)_2 \times \left(\frac{W}{L}\right)_4 = \left(\frac{W}{L}\right)_1 \times \left(\frac{W}{L}\right)_3$$

$$\Rightarrow V_{GS1} = V_{GS4} \quad ; \quad \frac{I_{Ref}}{I_S} = \frac{\left(\frac{W}{L}\right)_3}{\left(\frac{W}{L}\right)_2} = \frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_1} \quad ; \quad V_{DS3} = V_{DS2}$$

$$\text{Note : valable aussi si } \left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4$$

- Effet early

$$\frac{I_{\text{Ref}}}{I_S} = \frac{\left(\frac{W}{L}\right)_3 (1 + \lambda V_{\text{DS3}})}{\left(\frac{W}{L}\right)_2 (1 + \lambda V_{\text{DS2}})}$$

si  $\alpha = 1$  ou si  $\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4$  alors  $V_{\text{DS3}} = V_{\text{DS2}} \Rightarrow$  pas d'effet early

$\Rightarrow$  *Structure moins sensible à l'effet early*

- Inconvénient :

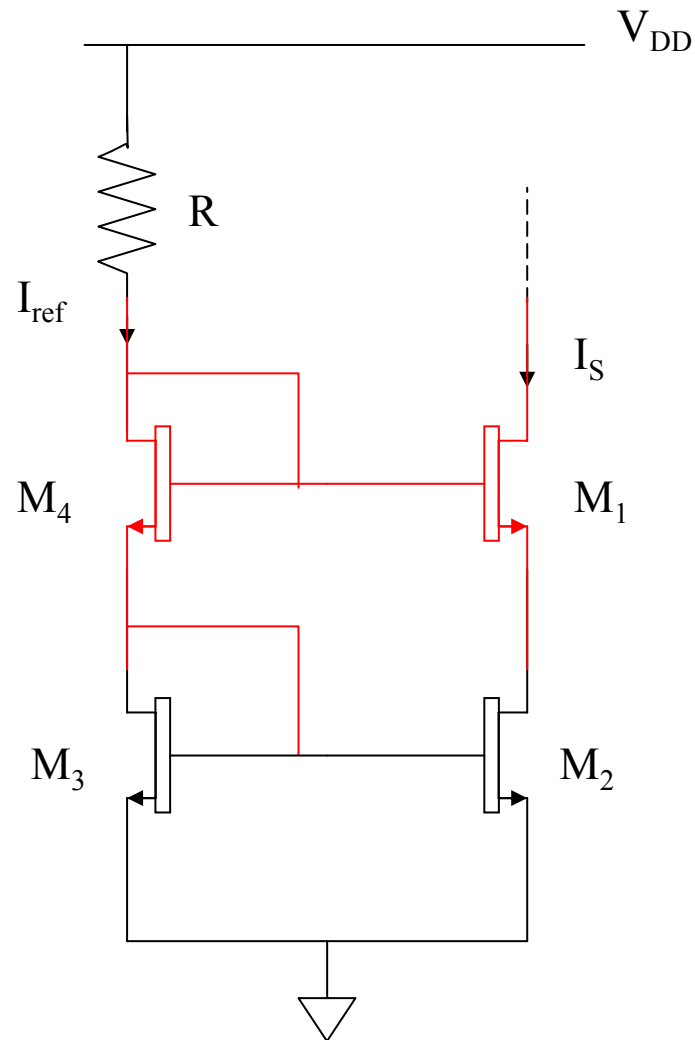
Amplitude du signal de sortie plus faible  $v_{\text{Smin}} = V_{\text{GS3}} + V_{\text{DS1sat}} = V_T + V_{\text{DSsat3}} + V_{\text{DS1sat}} \approx V_T + 2V_{\text{DSsat}}$

- En petits signaux :

$$Z_s \sim r_{\text{ds1}} g_{\text{m1}} (r_{\text{ds3}} // R) \gg r_{\text{ds1}} \quad (\text{à vérifier})$$

Résultat identique à celui de la source de Wilson de base

## $\beta$ - Source cascode



Transistors issus de la même technologie  
mais géométries différentes

- Effet early négligé

$$V_{GS3} = V_{GS2}$$

$$I_{Ref} = I_{D4} = I_{D3}$$

$$I_S = I_{D1} = I_{D2}$$

$$\Rightarrow \frac{I_{Ref}}{I_S} = \frac{\left(\frac{W}{L}\right)_3}{\left(\frac{W}{L}\right)_2} = \frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_1} \frac{(V_{GS4} - V_T)^2}{(V_{GS1} - V_T)^2}$$

- Effet early

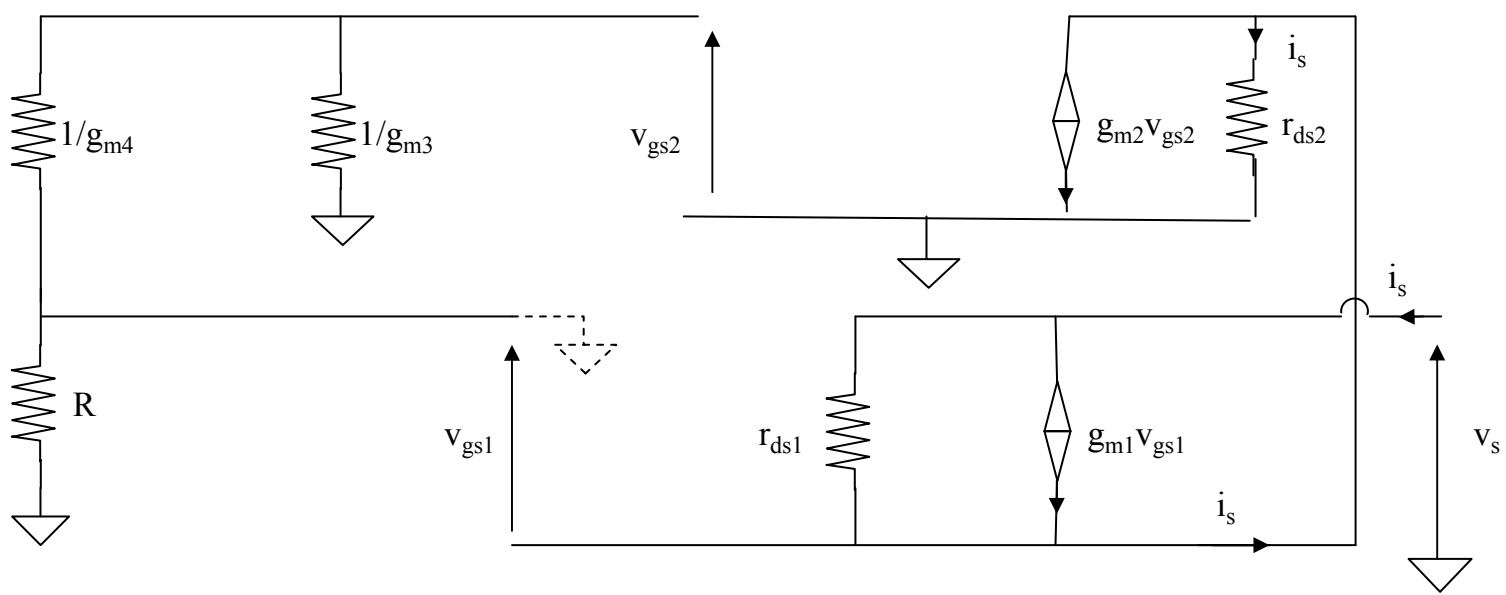
$$\frac{I_{Ref}}{I_S} = \frac{\left(\frac{W}{L}\right)_3}{\left(\frac{W}{L}\right)_2} \frac{(1 + \lambda V_{DS3})}{(1 + \lambda V_{DS2})}$$

$$V_{DS3} = V_{DS2} + (1 - \alpha)(V_T - V_{GS4})$$

$$\alpha = \sqrt{\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_3} \times \frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_1}}$$

Même raisonnement que précédemment et résultats identiques

- Etude en petits signaux



Pas de courant à travers R,  $1/g_{m4}$ ,  $1/g_{m3}$   $\Rightarrow v_{gs2} = 0$

$$i_s = g_{m1} v_{gs1} + i_{rds1} \quad \text{et} \quad v_{rds1} = v_s + v_{gs1}$$

$$\Rightarrow i_s = g_{m1} v_{gs1} + \frac{v_s + v_{gs1}}{r_{ds1}}$$

De plus  $r_{ds2} i_s + v_{gs1} = 0 \Leftrightarrow v_{gs1} = -r_{ds2} i_s$

$$\Rightarrow i_s = -g_{m1} r_{ds2} i_s + \frac{v_s}{r_{ds1}} - \frac{r_{ds2}}{r_{ds1}} i_s \Leftrightarrow i_s \left( 1 + g_{m1} r_{ds2} + \frac{r_{ds2}}{r_{ds1}} \right) = \frac{v_s}{r_{ds1}}$$

$$\Rightarrow Z_s = r_{ds1} \left[ 1 + r_{ds2} \left( g_{m1} + \frac{1}{r_{ds1}} \right) \right] > r_{ds1}$$

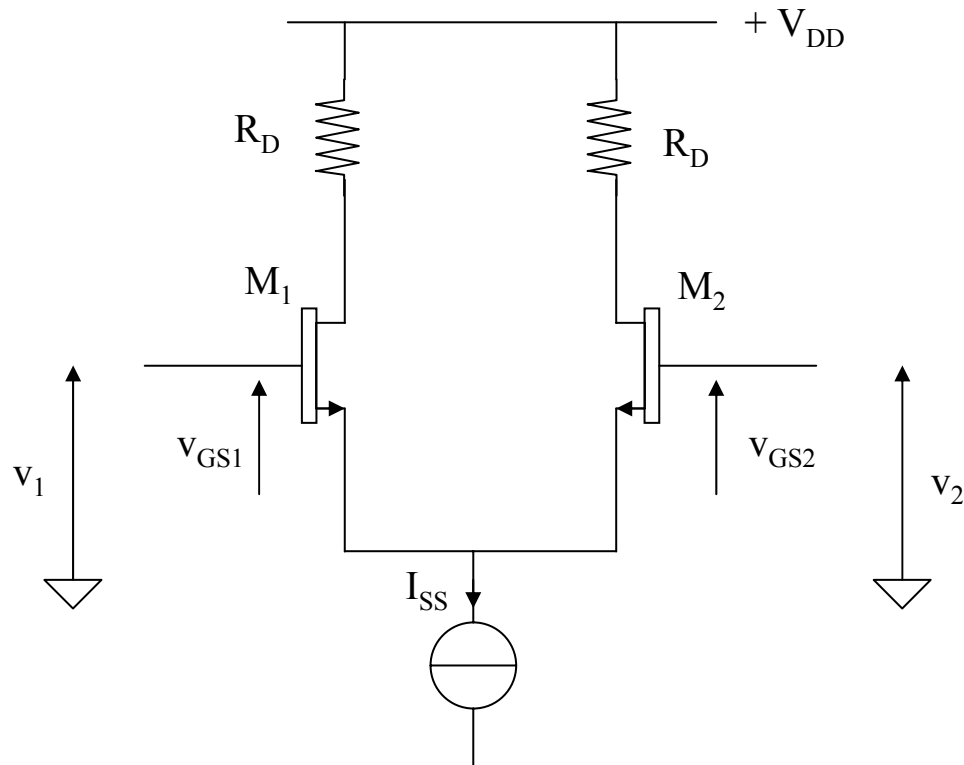
$$g_{m1} \gg \frac{1}{r_{ds1}}$$

$$\Rightarrow Z_s \cong r_{ds1} (1 + g_{m1} r_{ds2}) \cong r_{ds1} g_{m1} r_{ds2} \gg r_{ds1}$$

## Etages différentielles MOS

### I- Structure (« bulk effect » négligé)

#### 1) Polarisation



- $M_1, M_2$  : transistors identiques (issus de la même technologie avec la même géométrie)
- Effet early négligé

$$\begin{cases} i_{D1} = \frac{W}{2L} C_{OX} \mu (v_{GS1} - V_T)^2 \\ i_{D2} = \frac{W}{2L} C_{OX} \mu (v_{GS2} - V_T)^2 \end{cases}$$

$$\text{on pose } \begin{cases} v_D = v_1 - v_2 = v_{GS1} - v_{GS2} \\ v_{MC} = \frac{v_{GS1} + v_{GS2}}{2} \end{cases}$$

$$\Rightarrow \begin{cases} v_{GS1} = \frac{v_D}{2} + v_{MC} \\ v_{GS2} = -\frac{v_D}{2} + v_{MC} \end{cases}$$

$$i_D = i_{D1} - i_{D2} = \frac{W}{2L} \mu C_{OX} (v_{GS1} - v_{GS2})(v_{GS1} + v_{GS2} - 2V_T)$$

$$i_D = \frac{W}{2L} \mu C_{OX} v_D (2v_{MC} - 2V_T) = \frac{W}{L} \mu C_{OX} v_D (v_{MC} - V_T)$$

or  $I_{SS} = i_{D1} + i_{D2} = \frac{W}{2L} \mu C_{OX} [(v_{GS1} - V_T)^2 + (v_{GS2} - V_T)^2]$

$$\Rightarrow I_{SS} = \frac{W}{2L} \mu C_{OX} [v_{GS1}^2 - 2v_{GS1} V_T + V_T^2 + v_{GS2}^2 - 2v_{GS2} V_T + V_T^2]$$

$$I_{SS} = \frac{W}{2L} \mu C_{OX} \left[ \frac{v_D^2}{4} + v_D v_{MC} + v_{MC}^2 - 2V_T v_{MC} + 2V_T^2 + \frac{v_D^2}{4} - v_D v_{MC} + v_{MC}^2 \right]$$

$$I_{SS} = \frac{W}{2L} \mu C_{OX} \left[ \frac{v_D^2}{2} + 2(v_{MC} - V_T)^2 \right]$$

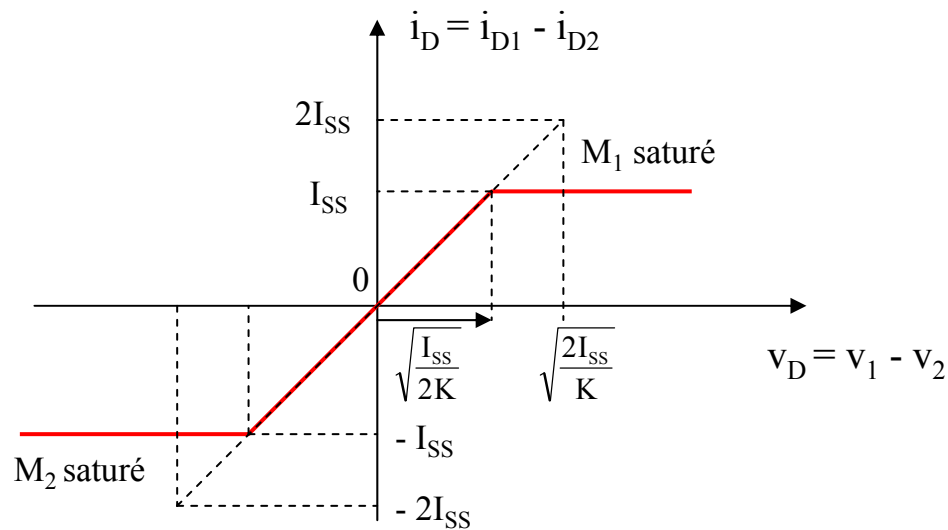
On pose  $K = \frac{W}{2L} \mu C_{OX}$

$$\Rightarrow \frac{I_{SS}}{K} - \frac{v_D^2}{2} = 2(v_{MC} - V_T)^2 \quad \Rightarrow \quad (v_{MC} - V_T) = \sqrt{\frac{I_{SS}}{2K} - \frac{v_D^2}{4}} \quad \text{si} \quad |v_D| \leq \sqrt{\frac{2I_{SS}}{K}}$$

$$\text{si } |v_D| \leq \sqrt{\frac{2I_{SS}}{K}} \quad i_D = 2Kv_D \sqrt{\frac{I_{SS}}{2K} - \frac{v_D^2}{4}} = Kv_D \sqrt{\frac{2I_{SS}}{K} - v_D^2}$$

ou bien

$$\text{si } |v_D| \leq \sqrt{\frac{2I_{SS}}{K}} \quad i_D \cong Kv_D \sqrt{\frac{2I_{SS}}{K}} = v_D \sqrt{2KI_{SS}}$$



- Région de linéarité dépendante de  $I_{SS}$  (courant de polarisation de la paire différentielle) et de  $K$ , et donc de la géométrie ( $W/L$ )

- Région de linéarité plus grande que dans le cas d'une paire différentielle à transistors bipolaires

Remarque :

Paire différentielle symétrique :

$$I_{D1} = I_{D2} = \frac{I_{SS}}{2} \quad \Rightarrow \quad K(V_{GS1} - V_T)^2 = K(V_{GS2} - V_T)^2 = \frac{I_{SS}}{2}$$

$$\Rightarrow \quad V_{GS1} - V_T = V_{GS2} - V_T = \sqrt{\frac{I_{SS}}{2K}} \quad \Rightarrow \quad V_{GS1} = V_{GS2}$$

## 2) Transconductance

$$G_m = \frac{di_D}{dv_D} \cong \sqrt{2KI_{SS}} = \sqrt{\frac{W}{L}\mu C_{OX}I_{SS}} = \frac{W}{L}\mu C_{OX}(v_{GS1ou2} - V_T) = g_{m1} = g_{m2}$$

$$\Rightarrow \quad i_D \cong G_m v_D$$

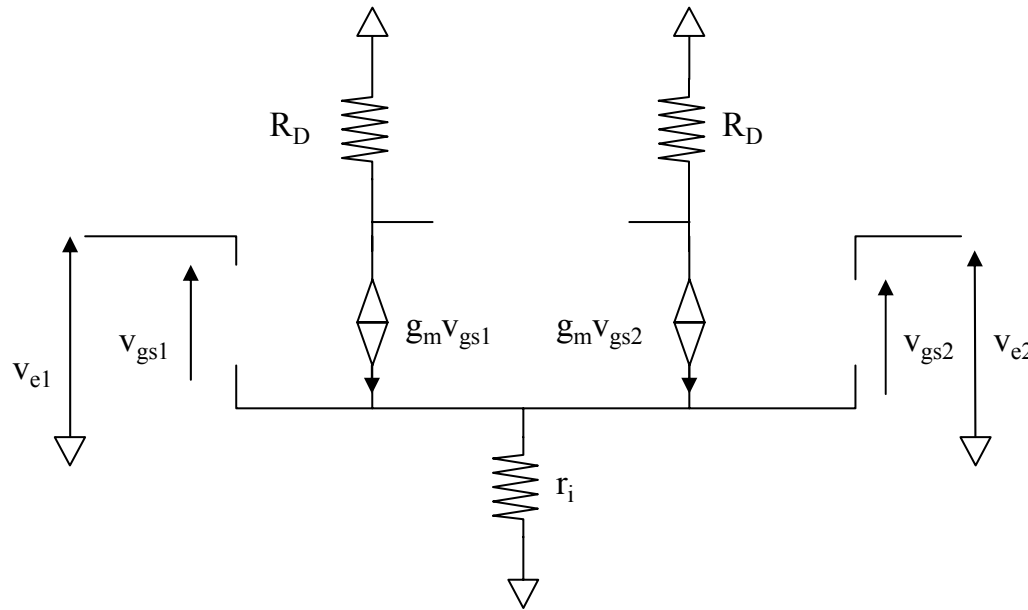
Transconductance de la paire différentielle est égale à celle de chaque transistor la constituant

Remarque :

$g_{m1}$  et  $g_{m2}$  plus petites que pour les transistors bipolaires.

## II- Etude en petits signaux

### 1) Structure de base



Paire symétrique

Effet early négligé

$$\begin{cases} v_{e1} = \frac{v_d}{2} + v_{mc} \\ v_{e2} = -\frac{v_d}{2} + v_{mc} \end{cases} \Leftrightarrow \begin{cases} v_{e1} - v_{e2} = v_d = v_{gs1} - v_{gs2} \text{ (tension de mode différentiel)} \\ \frac{v_{e1} + v_{e2}}{2} = v_{mc} \text{ (tension de mode commun)} \end{cases}$$

$$\begin{cases} v_{e1} = r_i (g_m v_{gs1} + g_m v_{gs2}) + v_{gs1} \cong (r_i g_m + 1) v_{gs1} + r_i g_m v_{gs2} \\ v_{e2} = r_i (g_m v_{gs1} + g_m v_{gs2}) + v_{gs2} \cong r_i g_m v_{gs1} + (r_i g_m + 1) v_{gs2} \end{cases}$$

$$v_d = v_{gs1} - v_{gs2}$$

$$v_{mc} = \left( r_i g_m + \frac{1}{2} \right) v_{gs1} + \left( r_i g_m + \frac{1}{2} \right) v_{gs2}$$

$$\Rightarrow \begin{cases} v_{gs1} = \frac{\left( r_i g_m + \frac{1}{2} \right) v_d + v_{mc}}{2r_i g_m + 1} = \frac{v_d}{2} + \frac{v_{mc}}{2r_i g_m + 1} \\ v_{gs2} = \frac{-\left( r_i g_m + \frac{1}{2} \right) v_d + v_{mc}}{2r_i g_m + 1} = -\frac{v_d}{2} + \frac{v_{mc}}{2r_i g_m + 1} \end{cases}$$

$$v_{gs1} + v_{gs2} = \frac{2}{2r_i g_m + 1} v_{mc} \quad ; \quad v_{gs1} - v_{gs2} = v_d$$

- Sorties asymétriques :

$$v_{D1} = -R_D i_{d1} = -R_D g_m v_{gs1} = -\frac{R_D g_m}{2} v_d - \frac{R_D g_m}{2r_i g_m + 1} v_{mc}$$

$$v_{D1} = A_{D1} v_d + A_{MC1} v_{mc}$$

$$A_{D1} = -\frac{R_D g_m}{2} ; A_{MC1} = -\frac{R_D g_m}{2r_i g_m + 1}$$

$$v_{D2} = -R_D i_{d2} = -R_D g_m v_{gs2} = \frac{R_D g_m}{2} v_d - \frac{R_D g_m}{2r_i g_m + 1} v_{mc}$$

$$v_{D2} = A_{D2} v_d + A_{MC2} v_{mc}$$

$$A_{D2} = \frac{R_D g_m}{2} ; A_{MC2} = -\frac{R_D g_m}{2r_i g_m + 1}$$

$$\text{RRCM1} = 20 \log \left| \frac{A_{D1}}{A_{MC1}} \right| = 20 \log \frac{2r_i g_m + 1}{2}$$

$$\text{RRCM2} = 20 \log \left| \frac{A_{D2}}{A_{MC2}} \right| = 20 \log \frac{2r_i g_m + 1}{2} = \text{RRCM1}$$

$A_{D1} < 0, A_{D2} > 0 \quad \Rightarrow \quad v_{s1} \text{ et } v_{s2} \text{ en opposition de phase}$

$A_{MC1} < 0, A_{MC2} < 0 \quad \Rightarrow \quad v_{s1} \text{ et } v_{s2} \text{ en phase, et en opposition de phase}$   
avec  $v_{e1}$  et  $v_{e2}$

*Résultats identiques à ceux de la paire différentielle bipolaire*

- Sortie symétrique

$$v_s = v_{s2} - v_{s1} = -R_C g_m v_d \quad ; \quad A_D = -R_C g_m \quad ; \quad A_{MC} = 0$$

RRMC  $\rightarrow \infty$  !

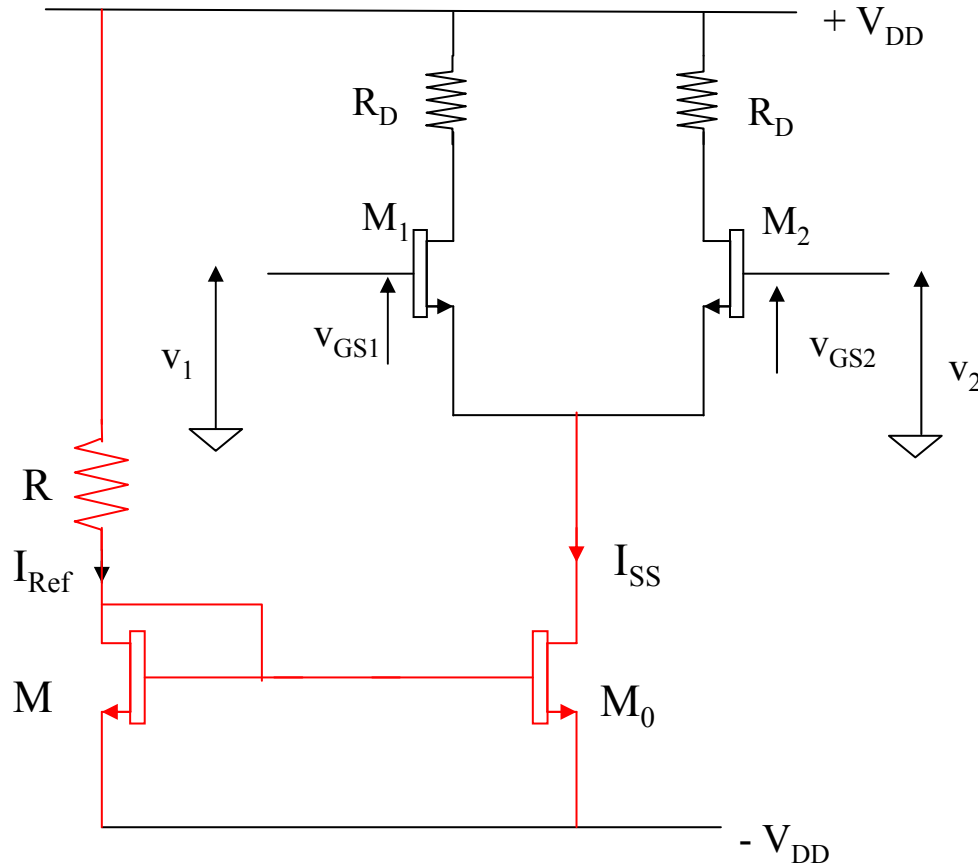
En réalité  $g_{m1} \approx g_{m2} \quad \Rightarrow \quad \text{RRMC élevé mais fini !}$

Mode en sortie symétrique plus intéressant.

- Conditions pour réaliser un bon amplificateur différentiel

les mêmes que celles pour un amplificateur différentiel bipolaire (alimentation en courant  $I_{SS}$  par un miroir)

- Exemple de réalisation concrète



$$g_m = \frac{I_{SS}}{(V_{GS1ou2} - V_T)} = \sqrt{2KI_{SS}}$$

$\rho$  : résistance interne du miroir (M, M0)

$$\rho = r_{ds} = \frac{V_A}{I_{SS}} \gg \frac{1}{g_m}$$

En sorties asymétriques :

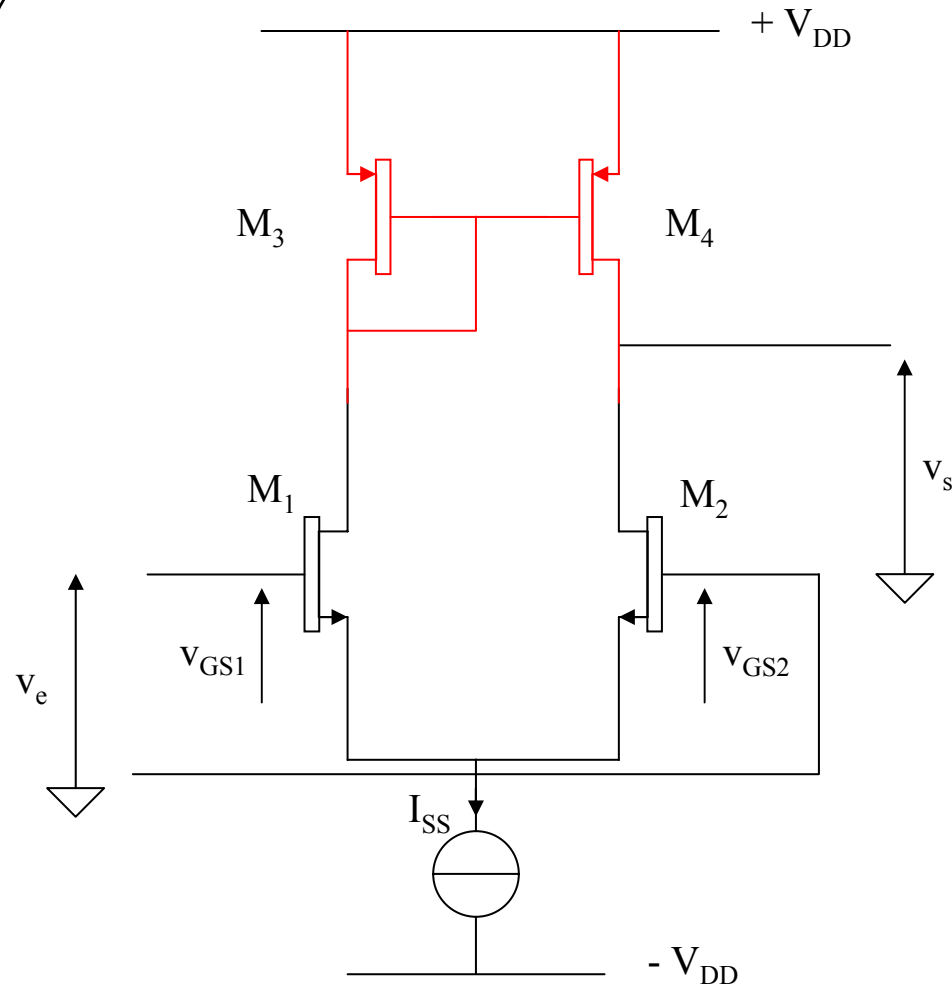
$$\left| \begin{aligned} A_{D1} &= -\frac{R_D g_m}{2} = -\frac{R_D}{2} \sqrt{2KI_{SS}} \\ A_{MC1} &\cong -\frac{R_D}{2\rho} \quad (\rho g_m \gg 1) \end{aligned} \right.$$

$$\Rightarrow \text{RRMC1} \cong 20 \log(\rho g_m) = 20 \log \left( V_A \sqrt{\frac{2K}{I_{SS}}} \right)$$

$$\text{RRMC1} \cong 20 \log \left( \frac{V_A}{V_{GS1ou2} - V_T} \right)$$

plus élevé

## 2) Paire différentielle avec charge active



$M_3, M_4$  : miroir PMOS  
Transistors identiques (même géométrie)

$M_1, M_2$  : paire différentielle NMOS  
Transistors identiques (même géométrie)

$$v_{GS3} = v_{GS4} \quad \Rightarrow \quad i_{D3} = i_{D4}$$

et

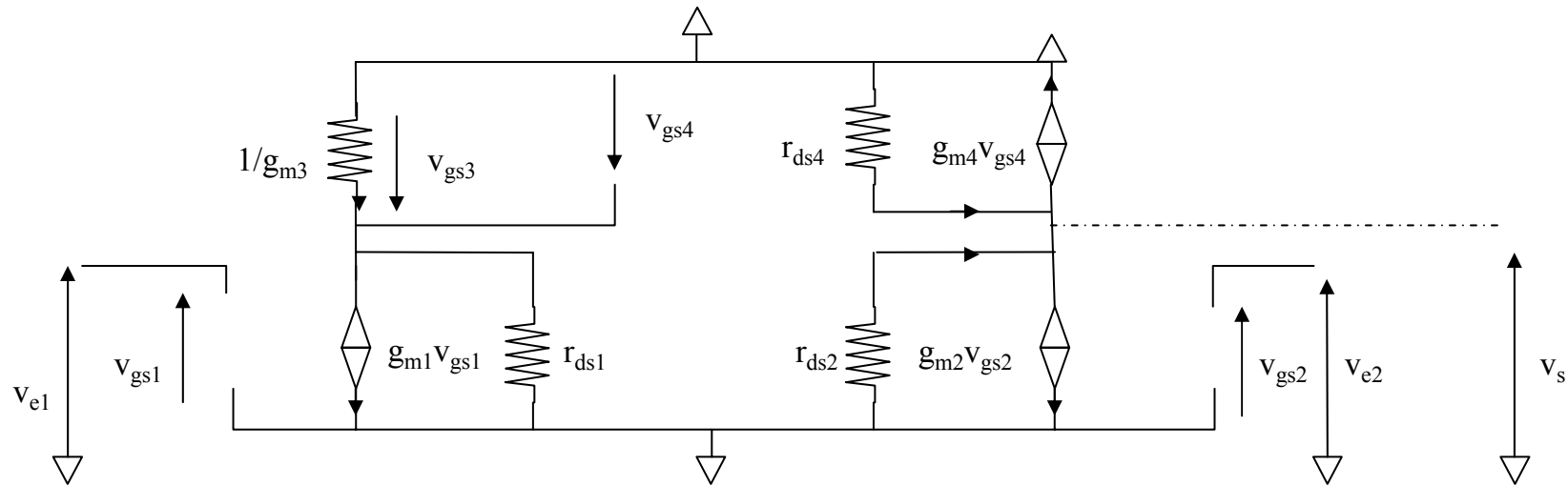
$$i_{D1} = i_{D3} = i_{D4} = i_{D2} = I_{SS}/2$$

*Note : circuit réalisé en technologie CMOS*

- En petits signaux

$$i_{D1} = i_{D2} \quad \Rightarrow \quad V_{GS1} = V_{GS2} \quad \Rightarrow \quad g_{m1} = g_{m2}$$

$$V_{GS3} = V_{GS4} \quad \Rightarrow \quad g_{m3} = g_{m4}$$



$$g_{m2}V_{gs2} - \frac{v_s}{r_{ds4}} - \frac{v_s}{r_{ds2}} + g_{m4}V_{gs4} = 0 \quad \Rightarrow \quad v_s \left( \frac{1}{r_{ds2}} + \frac{1}{r_{ds4}} \right) = g_{m2}V_{gs2} + g_{m4}V_{gs4}$$

or

$$-g_{m3}V_{gs3} \approx g_{m1}V_{gs1} = -g_{m3}V_{gs4} \quad \Rightarrow \quad v_s \left( \frac{1}{r_{ds2}} + \frac{1}{r_{ds4}} \right) = g_{m2}V_{gs2} - g_{m4} \frac{g_{m1}}{g_{m3}} V_{gs1}$$

$$\text{et } \frac{g_{m3}}{g_{m4}} = 1, \quad g_{m1} = g_{m2}$$

$$V_d = V_{e1} - V_{e2} = V_{gs1} - V_{gs2}$$

$$\Rightarrow v_s \left( \frac{1}{r_{ds2}} + \frac{1}{r_{ds4}} \right) = -g_{m2} V_d \quad \Leftrightarrow \quad \frac{v_s}{v_d} = -g_{m2} \frac{r_{ds2} r_{ds4}}{r_{ds2} + r_{ds4}}$$

$g_{m1} = g_{m2} = g_m = \sqrt{2KI_{SS}}$  : transconductance de la paire différentielle ( $M_1, M_2$ )

$$\Rightarrow \frac{v_s}{v_d} = -2 \sqrt{\frac{2K}{I_{SS}}} \frac{V_{AN} V_{AP}}{V_{AN} + V_{AP}}$$

*Gain différentiel à vide*

$\frac{v_s}{v_d}$  dépend de :

- K et donc du  $\frac{W}{L}$  de  $M_1$  et  $M_2$
- $I_{SS}$  et donc du choix de polarisation

$\frac{v_s}{v_d}$  plus faible que dans le cas d'un étage bipolaire car  $g_m = \sqrt{2KI_{SS}}$  plus faible

## Etages de sortie MOS

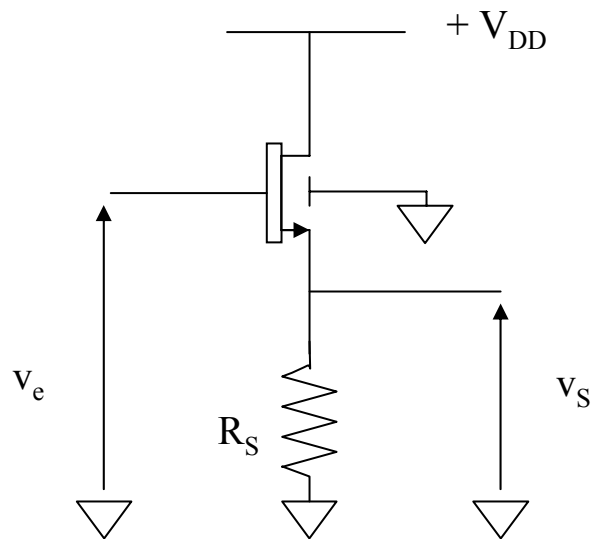
Intérêt :

- Réduire la consommation au repos mais pouvant fournir un courant important dans la charge

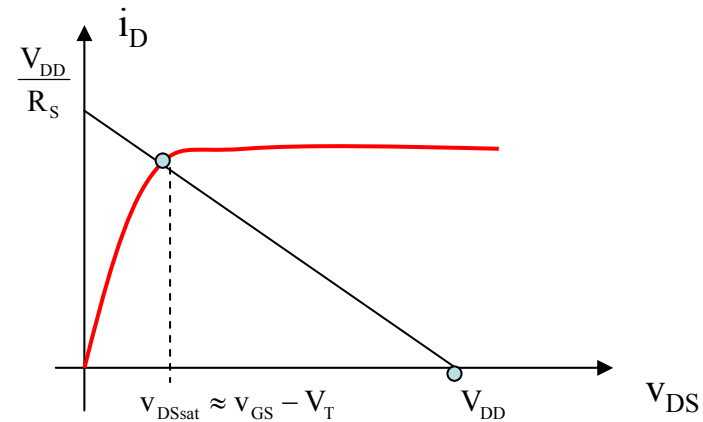
### I- Montages source-suiveurs (drain commun)

Substrat relié à la masse (minimise le « bulk effect »)

1) Montage à un transistor



Montage drain commun  
Transistor en régime de saturation



$$i_D = \frac{W}{2L} \mu C_{OX} (v_{GS} - V_T)^2$$

$$i_D = \frac{V_{DD} - v_{DS}}{R_S}$$

$$v_s = v_e - v_{GS}$$

$$v_{GS} - V_T \leq v_{DS} \leq V_{DD}$$

$$v_{S\max} = R_S i_{D\max} = V_{DD} - v_{DS\text{sat}}$$

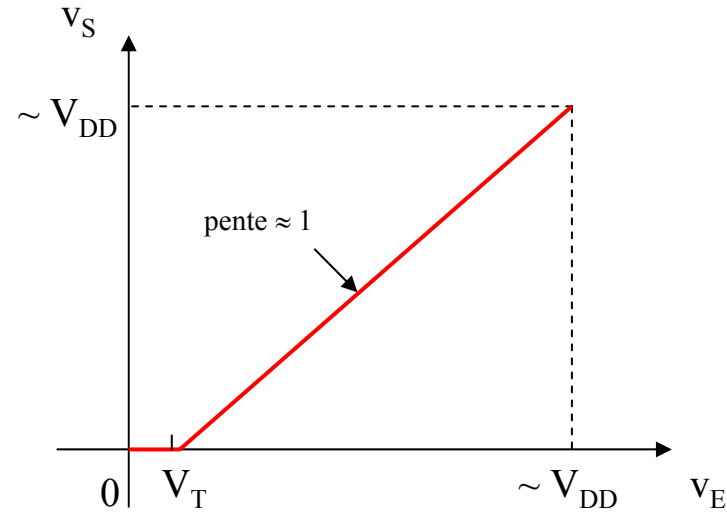
$$v_{S\max} \cong V_{DD} - v_{GS} + V_T \cong V_{DD}$$

et

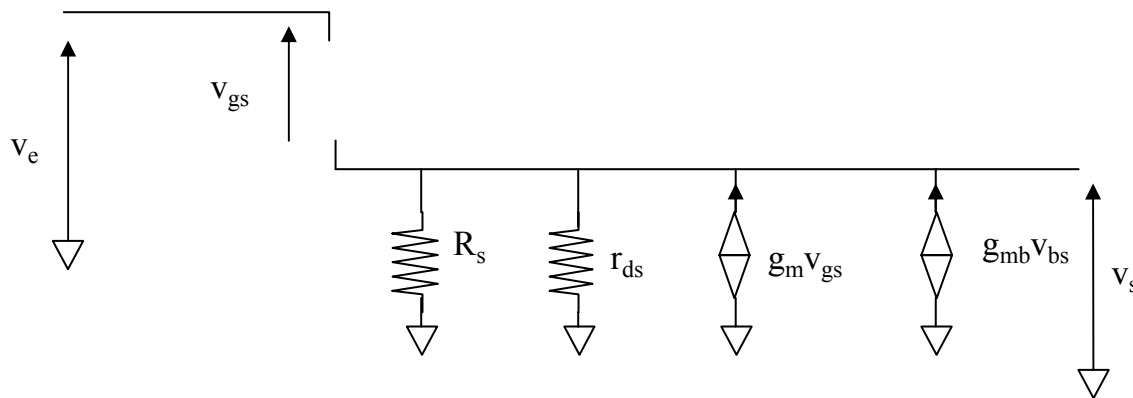
$$v_{S\min} = R_S i_{D\min} \cong 0$$

$$v_E = v_S + v_{GS}$$

$$\Rightarrow \begin{cases} v_{E\min} = v_{GS} \approx V_T \\ v_{E\max} = V_{DD} + V_T \approx V_{DD} \end{cases}$$



- Etude en petits signaux



Effet de polarisation du substrat non négligé

$$v_s = -v_{bs}$$

1 – Gain en tension :

$$\begin{cases} v_s = (R_s // r_{ds})(g_m v_{gs} + g_{mb} v_{bs}) \\ v_e = v_s + v_{gs} \end{cases} \Rightarrow v_s [1 + (R_s // r_{ds})g_{mb}] = g_m (R_s // r_{ds})(v_e - v_s)$$

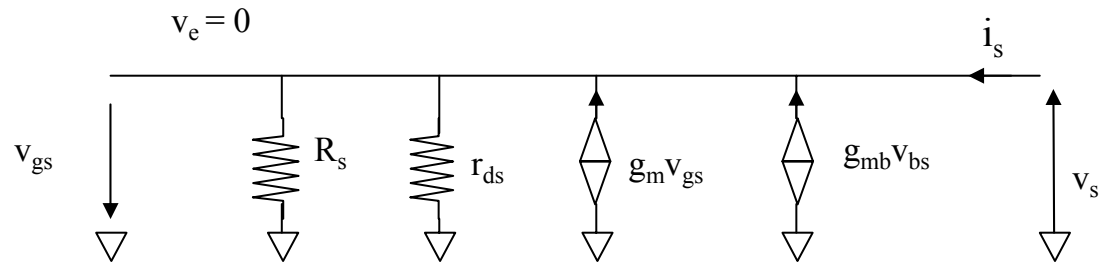
$$\Rightarrow v_s [1 + (R_s // r_{ds})(g_m + g_{mb})] = (R_s // r_{ds})g_m v_e$$

$$\frac{v_s}{v_e} = \frac{(R_s // r_{ds})g_m}{1 + (R_s // r_{ds})(g_m + g_{mb})}$$

Si  $g_{mb} \ll g_m$  ("body effect" négligé) et  $r_{ds} \rightarrow \infty$  (effet early négligé) alors

$$\frac{v_s}{v_e} \cong \frac{(R_s // r_{ds})g_m}{1 + (R_s // r_{ds})g_m} \cong \frac{R_s g_m}{1 + R_s g_m} \approx 1$$

## 2 – Impédance de sortie



$$\begin{cases} v_s = -v_{gs} \\ i_s + (g_m + g_{mb})v_{gs} = \frac{v_s}{r_{ds} // R_s} \end{cases} \Rightarrow i_s = v_s \left[ g_m + g_{mb} + \frac{1}{r_{ds} // R_s} \right]$$

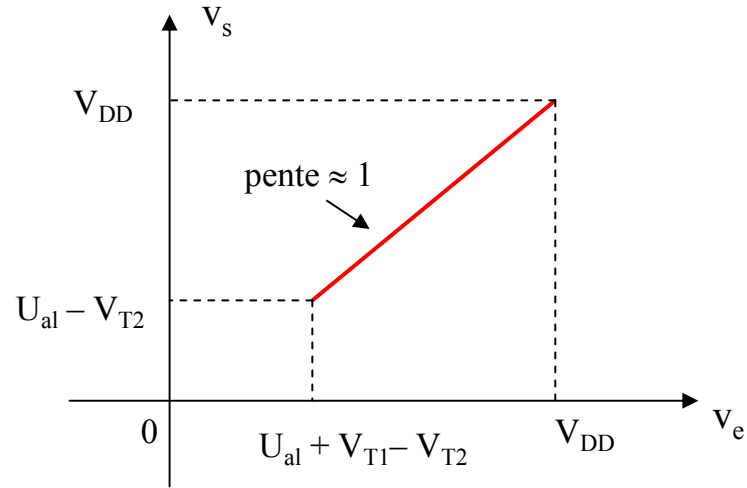
$$\Rightarrow Z_s = \frac{v_s}{i_s} = \frac{1}{g_m + g_{mb} + \frac{1}{r_{ds} // R_s}}$$

Si effet early de polarisation de substrat négligés ( $g_{mb} \ll g_m$  et  $r_{ds} \gg R_s$ ) alors

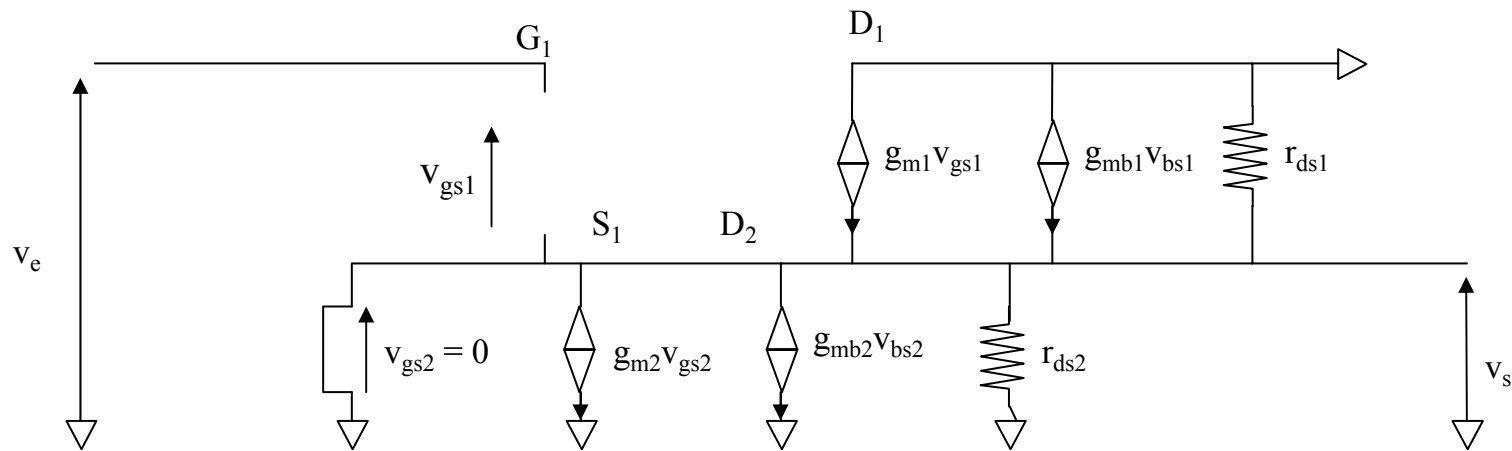
$$Z_s \cong \frac{1}{g_m + \frac{1}{R_s}} \cong \frac{R_s}{1 + R_s g_m} \approx \frac{1}{g_m}$$



D'où

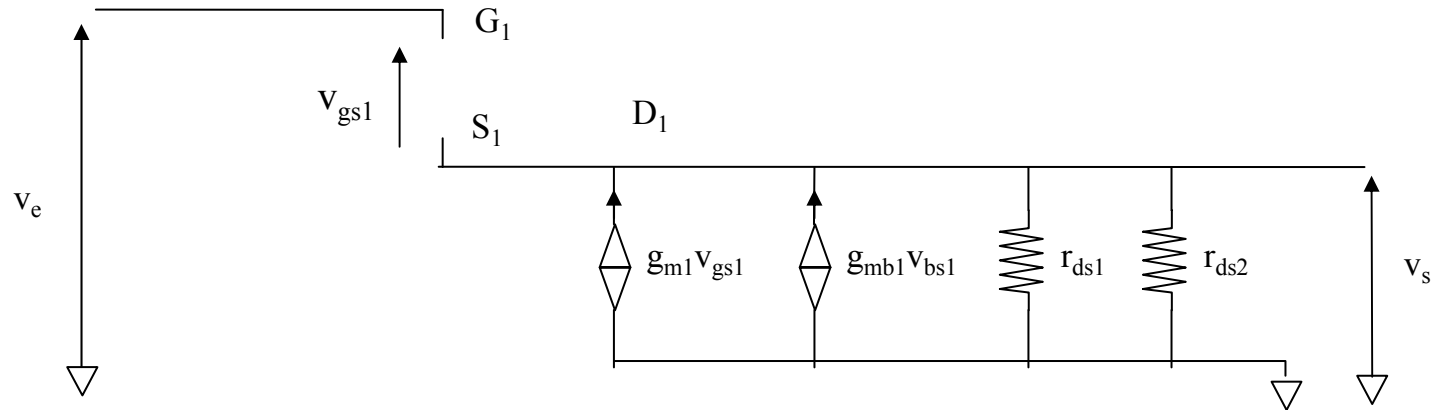


- Etude en petits signaux



$v_{gs2} = 0 = v_{bs2}$  (source à la masse comme le substrat)

D'où



$$v_{bs1} = -v_s \quad ; \quad v_e = v_s + v_{gs1} \quad ; \quad (r_{ds1} // r_{ds2})(g_{m1} v_{gs1} + g_{m1b} v_{bs1}) = v_s$$

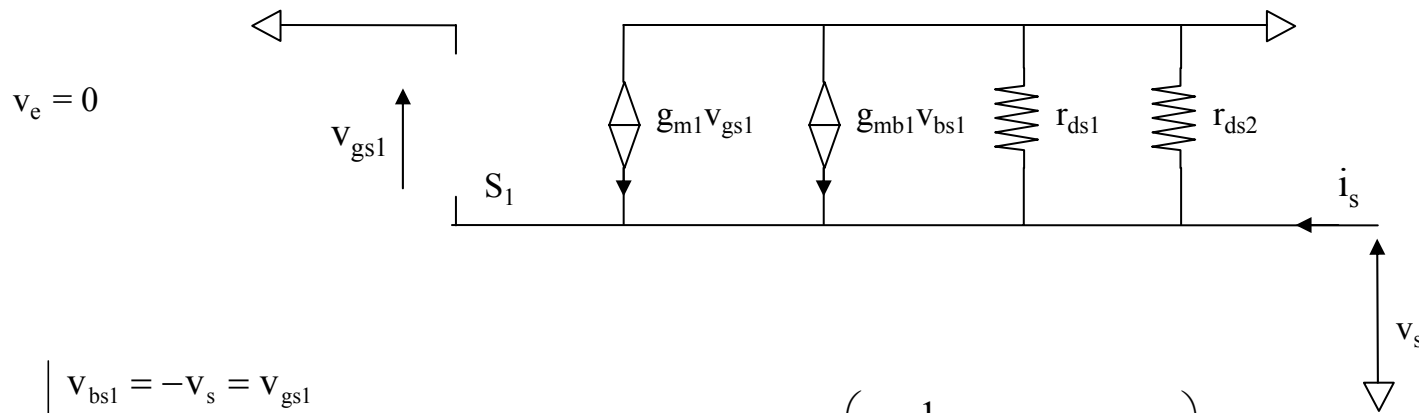
$$\Rightarrow (r_{ds1} // r_{ds2}) g_{m1} v_e = v_s [1 + (g_{m1b} + g_{m1})(r_{ds1} // r_{ds2})]$$

$$\Rightarrow \frac{v_s}{v_e} = \frac{(r_{ds1} // r_{ds2}) g_{m1}}{1 + (g_{m1b} + g_{m1})(r_{ds1} // r_{ds2})} \cong \frac{g_{m1}}{g_{m1} + g_{m1b}}$$

Si effet de polarisation du substrat négligé alors:  $g_{m1b} \ll g_{m1}$

$$\Rightarrow \frac{v_s}{v_e} \approx 1$$

- Impédance de sortie



$$\begin{cases} v_{bs1} = -v_s = v_{gs1} \\ i_s + g_{m1}v_{gs1} + g_{mb1}v_{bs1} = \frac{v_s}{r_{ds2} // r_{ds1}} \end{cases} \Rightarrow i_s = v_s \left( \frac{1}{r_{ds2} // r_{ds1}} + g_{m1} + g_{mb1} \right)$$

$$\Rightarrow Z_s = \frac{1}{\frac{1}{r_{ds2} // r_{ds1}} + g_{m1} + g_{mb1}} \approx \frac{1}{g_{m1} + g_{mb1}}$$

Si  $g_{mb1} \ll g_{m1}$  (effet de polarisation du substrat négligé) alors :

$$Z_s \approx \frac{1}{g_{m1}}$$



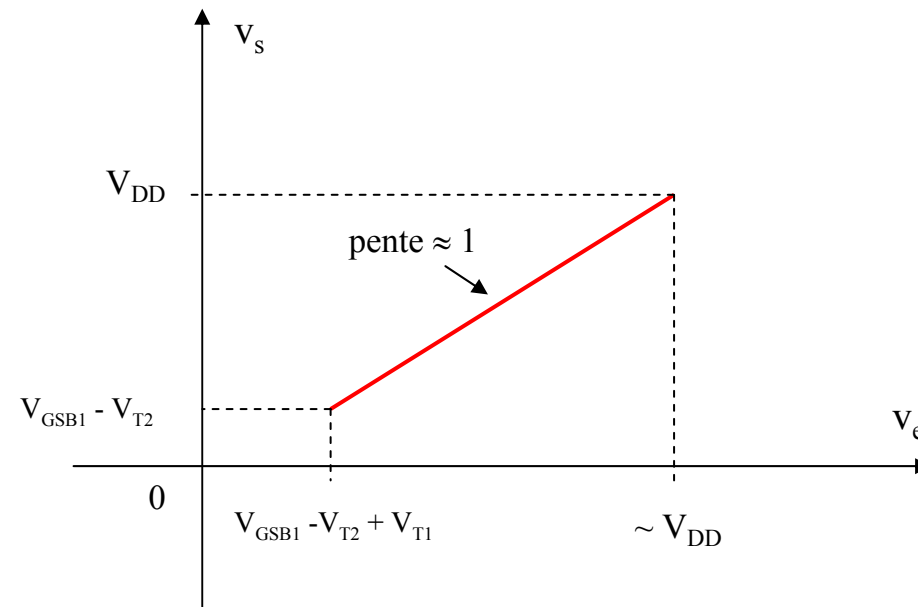
$$v_{s\max} = V_{DD} - V_{DS1\text{sat}} \approx V_{DD} - V_{GS1} + V_{T1} \approx V_{DD}$$

$$v_{s\min} = V_{DS2\text{sat}} \approx V_{GS2} - V_{T2} \approx V_{GSB1} - V_{T2}$$

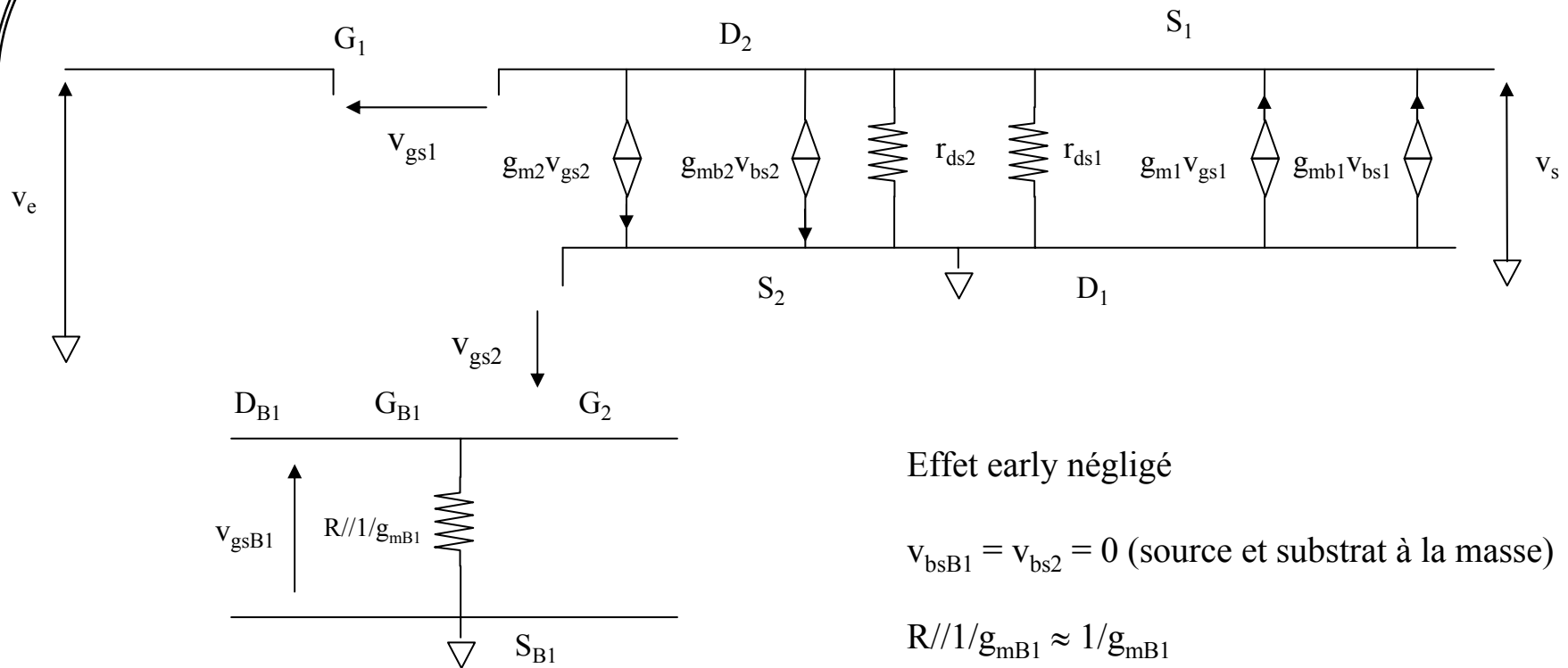
$$v_{e\min} = v_{s\min} + V_{GS1\min} = V_{GSB1} - V_{T2} + V_{T1}$$

$$v_{e\max} = v_{s\max} + V_{GS1} = V_{DD} + V_T \approx V_{DD}$$

D'où



- Etude en petits signaux



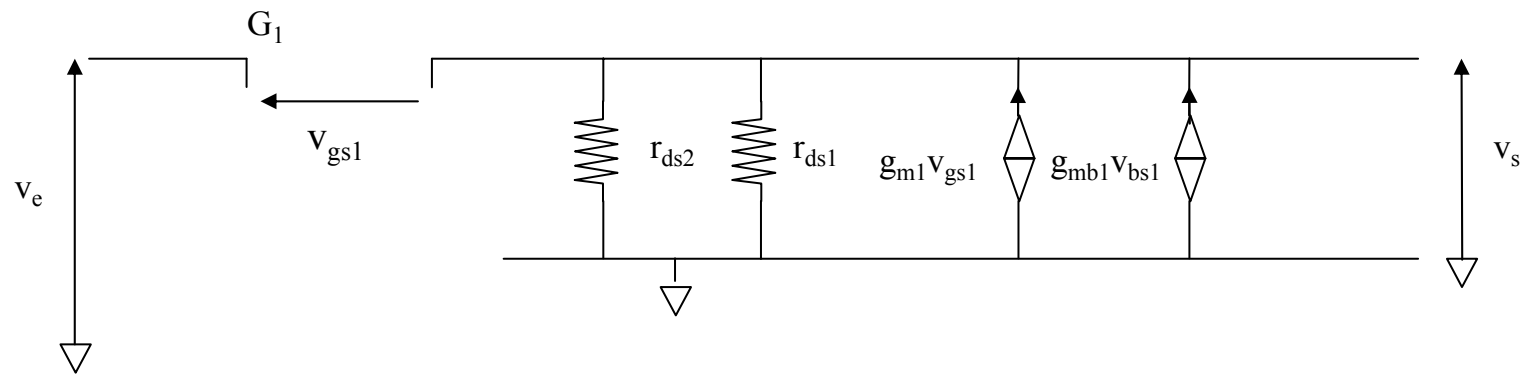
Effet early négligé

$v_{bsB1} = v_{bs2} = 0$  (source et substrat à la masse)

$R // 1/g_{mB1} \approx 1/g_{mB1}$

$\Rightarrow v_{gs2} \approx 0 = v_{bs2}$

D'où



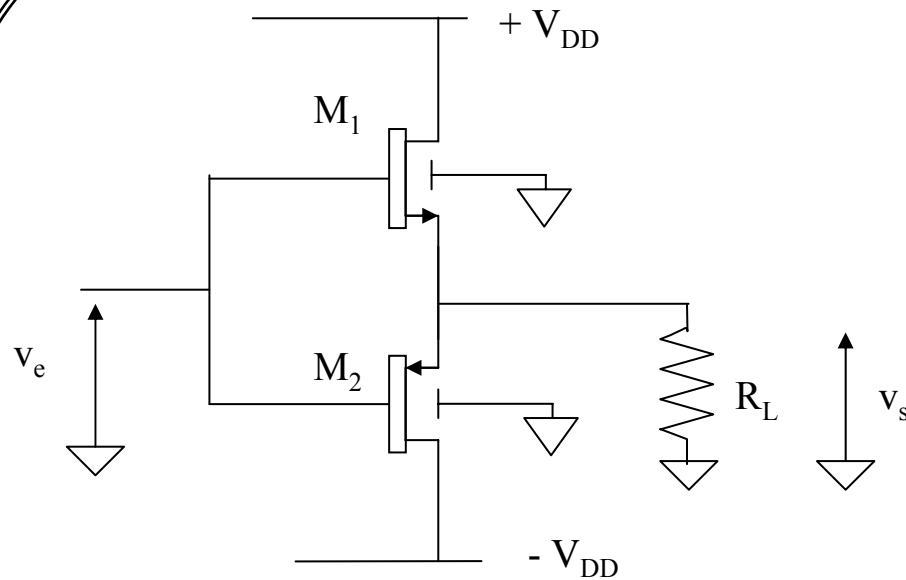
Même cas de figure que pour le montage à deux transistors

$$\frac{v_s}{v_e} \cong \frac{g_{m1}}{g_{m1} + g_{m1b}}; Z_s \cong \frac{1}{g_{m1} + g_{m1b}}$$

Si "body effect" négligé

$$\frac{v_s}{v_e} \cong 1; Z_s \cong \frac{1}{g_{m1}}$$

## II- Etage Classe B : paire complémentaire



$M_1$  : N MOSFET

$M_2$  : P MOSFET

$M_1$  et  $M_2$  paire complémentaire  
fonctionnement en classe B (bloqués)

$$-v_e > 0$$

$M_1$  fonctionne,  $M_2$  bloqué

⇒

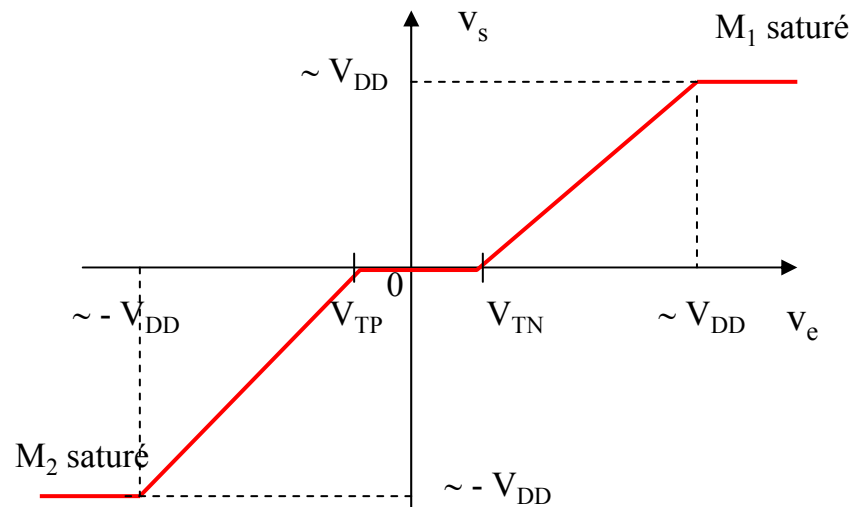
$$v_s = v_e - V_{GS1}$$

$$-v_e < 0$$

$M_2$  fonctionne,  $M_1$  bloqué

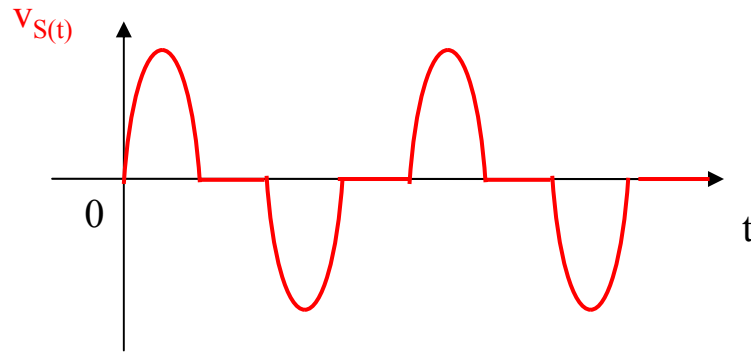
⇒

$$v_s = v_e + |V_{GS2}|$$



Inconvénient : distorsion de croisement

Inconvénient : distorsion de croisement (décalage de  $v_{TN} - v_{TP}$  entre le signal de sortie et d'entrée au voisinage de zéro)



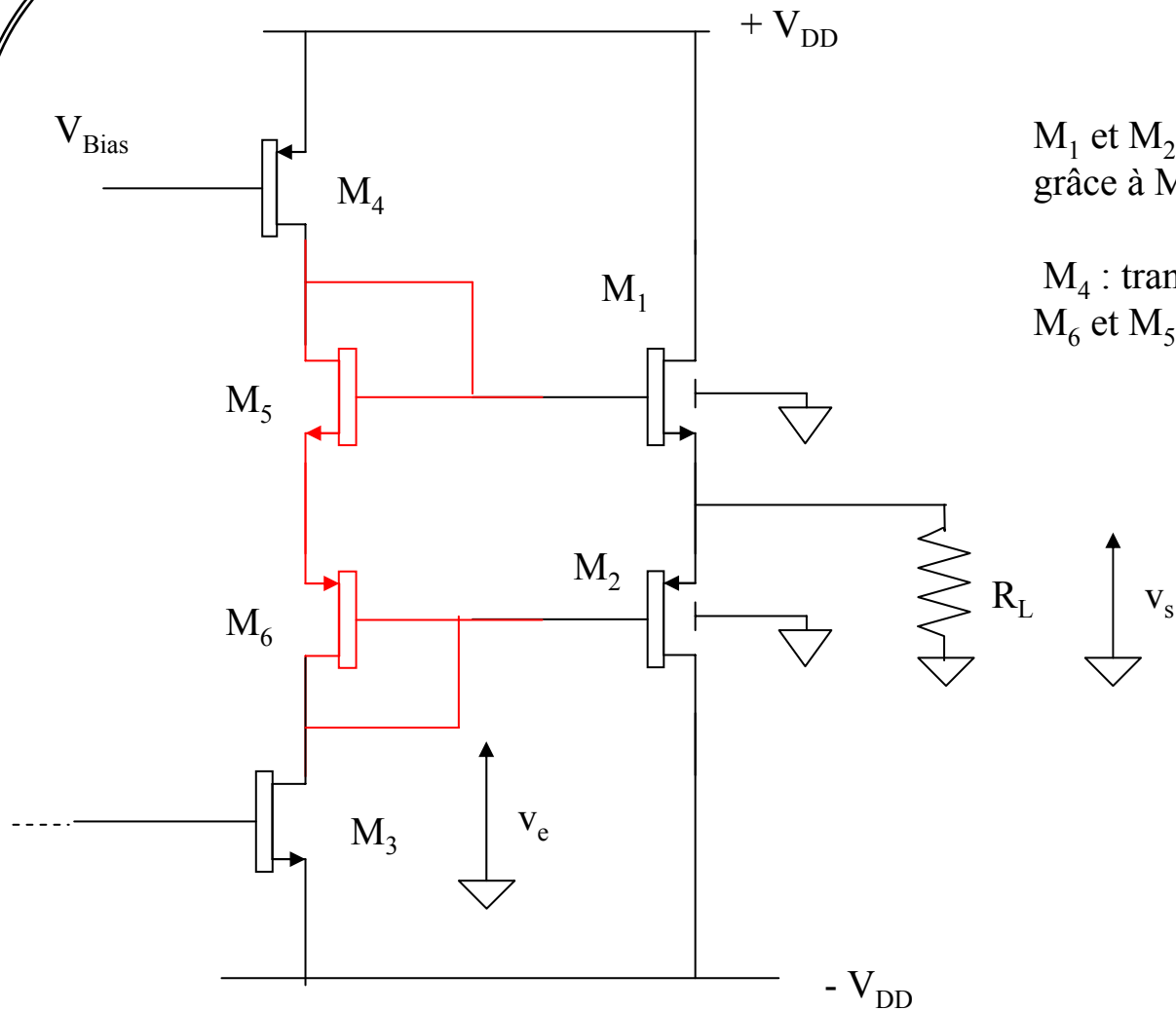
Diminution de l'effet de distorsion du signal de sortie lorsque l'amplitude de sortie augmente (en évitant la saturation des transistors)

En petits signaux :

Si  $|v_E| > \max(|v_{TN}|, |v_{TP}|)$   $M_1$  et  $M_2$  fonctionnent en suiveur (drain commun)

$\Rightarrow$  • Gain en tension  $\frac{v_s}{v_e} \approx 1$

### III- Etage classe AB



$M_1$  et  $M_2$  à la limite de la conduction grâce à  $M_5$  et  $M_6$

$M_4$  : transistor alimentant en courant  $M_6$  et  $M_5$

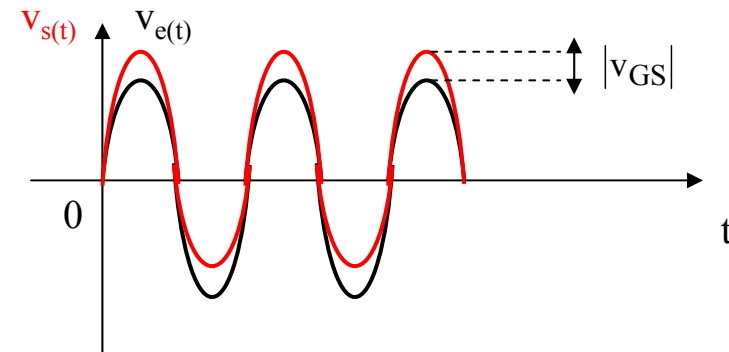
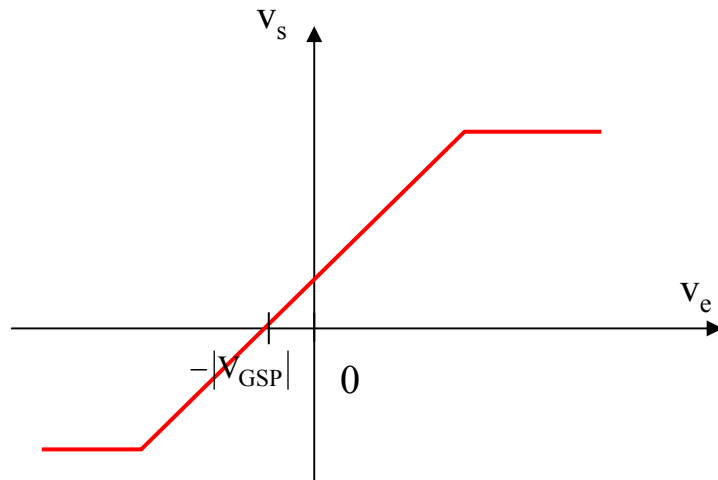
Montage source commune (inverseur)

Paire complémentaire (AB) drain commun (suiveur)

$M_5$  et  $M_6$  permettent de polariser  $M_1$  et  $M_2$  à la limite de la conduction

$$-v_e > 0, M_2 \text{ bloqué, } M_1 \text{ conduit} \quad \Rightarrow \quad v_s = v_e - v_{GS6} + v_{GS5} - v_{GS1} \approx v_e + |v_{GSP}|$$

$$-v_e < 0, M_3 \text{ bloqué, et } M_2 \text{ conduit} \quad \Rightarrow \quad v_s = v_e - v_{GS2} = v_e + |v_{GSP}|$$



Avantage : suppression de la distorsion de croisement

Si  $|v_{GS}| \geq |v_T|$  alors  $M_1$  et  $M_2$  conduisent et l'étage fonctionne en drain commun (suiveur)

- $\Rightarrow$
- gain en tension  $\approx 1$
  - impédance de sortie  $\approx \frac{1}{g_m}$  (plus élevée que pour un étage bipolaire)

# Amplificateurs MOS

## I- Introduction

Amplificateurs opérationnels MOS moins performants que les amplificateurs opérationnels bipolaires

Causes :

- bruit basse fréquence ( $1/f$ ) plus élevé,
- transconductance d'un transistor MOS plus faible que celle d'un transistor bipolaire
  - ⇒
    - résistance de sortie plus élevée
    - gain en boucle ouverte au mieux égal au dixième de celui d'un amplificateur opérationnel bipolaire



Utilisation plus restreinte des amplificateurs opérationnel MOS

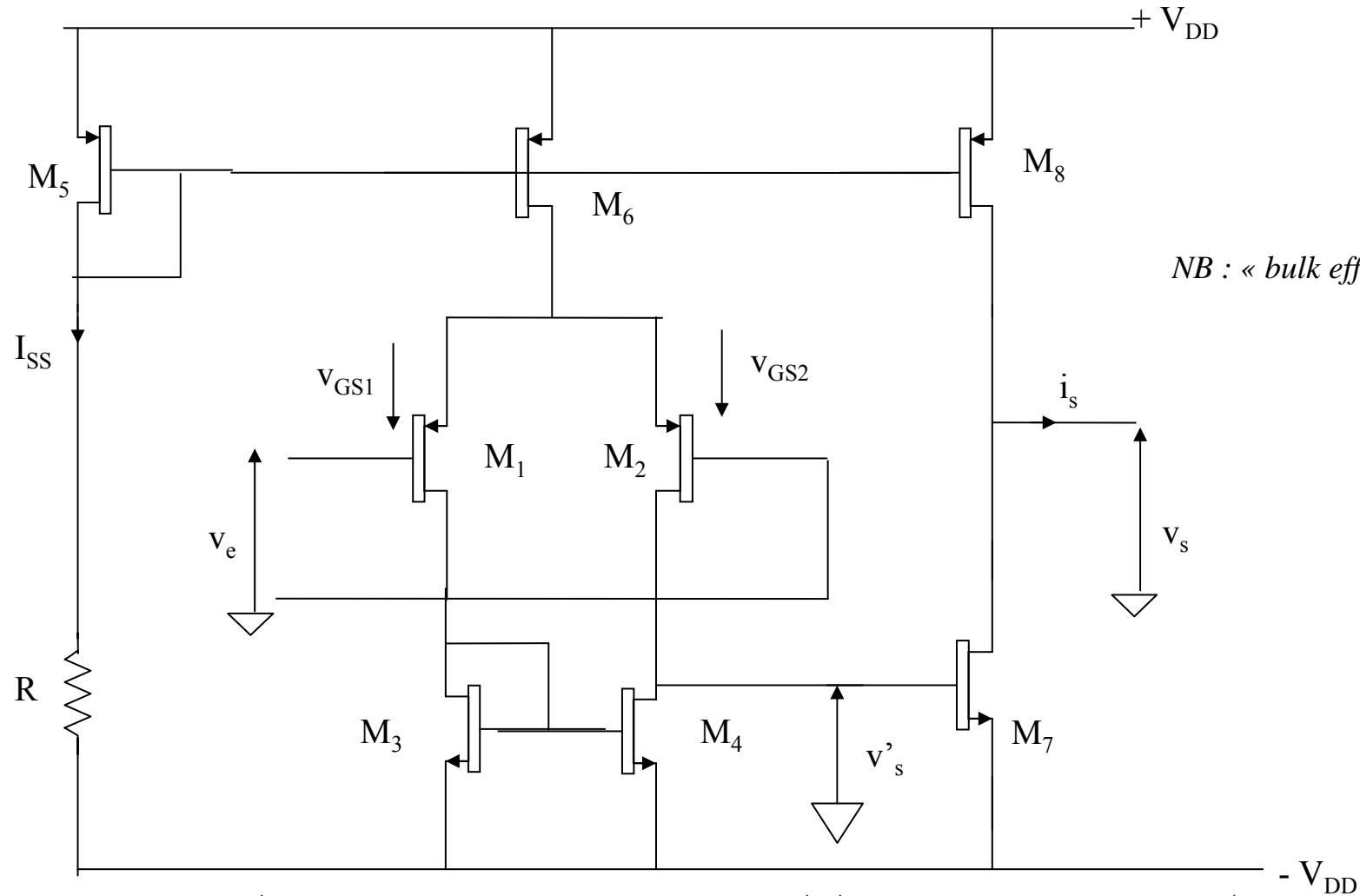
Usage le plus courant d'un amplificateur MOS : **amplificateur transconductance** (OTA : Operational Transconductance Amplifier)

Raison : Grande impédance d'entrée des circuits MOS et impédance de sortie plus élevée par rapport aux circuits bipolaires

⇒ Utilisation en source de courant

## II- Amplificateur transconductance (OTA)

Structure typique à deux étages



Etage d'entrée : paire différentielle  
avec charge active : étage de gain

Etage de sortie: étage de gain  
source commune (classe A) : inverseur

150

## 1) Polarisation ( $V_{G1}=V_{G2}=0$ )

On prend  $|I_{DSk}| = \left(\frac{W}{L}\right)_k \frac{\mu_k C_{OX}}{2} (V_{GSk} - V_{Tk})^2 = \left(\frac{W}{L}\right)_k K_k (V_{GSk} - V_{Tk})^2$

Transistors issus de la même technologie

- Transistors à canal N :  $\mu_k = \mu_n$  ( $K_k = K_n$ ) et  $V_{Tk} = V_{Tn}$
- Transistors à canal P :  $\mu_k = \mu_p$  ( $K_k = K_p$ ) et  $V_{Tk} = V_{Tp}$

- Circuit de polarisation ( $M_5, M_6, M_8, R$ )

( $M_5, M_6$ ) miroir de courant PMOS : alimentation en courant de l'étage d'entrée

( $M_5, M_8$ ) : miroir de courant PMOS : alimentation en courant de l'étage de sortie

Transistors identiques (même géométrie) :  $\left(\frac{W}{L}\right)_5 = \left(\frac{W}{L}\right)_6 = \left(\frac{W}{L}\right)_8$

- Courant de polarisation

$$I_{SS} = \frac{2V_{DD} + V_{TP}}{R}$$

$$V_{GS5} = V_{GS6} = V_{GS8}$$

$\Rightarrow$

$$I_{DS5} = I_{DS6} = I_{DS8} = I_{SS}$$

$$V_{DS5} = V_{GS5} \quad \text{et} \quad |V_{GS5} - V_{TP}| = \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_5 K_p}}$$

$$\text{or} \quad V_{GS5} < V_{TP} < 0$$

$\Rightarrow$

$$V_{DS5} = V_{GS5} = V_{GS6} = V_{GS8} = V_{TP} - \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_5 K_p}}$$

$$V_{DS6} = -V_{DD} - V_{GS1} \quad (V_{G1}=0)$$

De même  $V_{GS1} = V_{TP} - \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_1 2K_p}}$  (car  $I_{DS1}=I_{SS}/2$  voir après)

$$V_{DS6} = -V_{DD} - V_{TP} + \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_1 2K_p}}$$

- Etage d'entrée

$M_3, M_4$  : miroir NMOS (charge active)  
Transistors identiques (même géométrie)  $\left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4$

$$V_{GS3} = V_{GS4} \quad \Rightarrow \quad I_{DS3} = I_{DS4}$$

$M_1, M_2$  : paire différentielle PMOS

Transistors identiques (même géométrie) :  $\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2$

$$\Rightarrow I_{DS1} = I_{DS3} = I_{DS4} = I_{DS2} = I_{SS}/2$$

$$V_{DS1} = V_{GS1} - V_{DD} + V_{GS3} \quad \Rightarrow$$

$$(V_{G1} = V_{G2} = 0)$$

$$V_{DS1} = V_{TP} - \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_1 2K_p}} - V_{DD} + V_{TN} + \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_3 2K_n}}$$

$$V_{DS2} = V_{GS2} - V_{DD} + V_{GS4} \Rightarrow V_{DS2} = V_{TP} - \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_2 2K_p}} - V_{DD} + V_{TN} + \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_4 2K_n}}$$

$(V_{G1}=V_{G2}=0)$

or  $\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2$  et  $\left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4 \Rightarrow V_{DS1} = V_{DS2}$

$$V_{DS3} = V_{GS3} = V_{TN} + \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_3 K_n}} = V_{GS4}$$

De plus  $V_{DS4} = V_{GS3} - V_{DS1} + V_{DS2} \Rightarrow V_{DS4} = V_{GS3} = V_{DS3}$

- Etage de sortie :

$M_8$  : transistor alimentant en courant  $M_7$  (monté en source commune)

$$I_{DS7} = I_{DS8} = I_{SS} \quad \text{et} \quad V_{GS8} = V_{GS5} = V_{TP} - \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_5 K_p}}$$

$$V_{GS7} = V_{DS4} = V_{TN} + \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_3 K_n}}$$

NB : Il faut que  $\left(\frac{W}{L}\right)_3 = \left(\frac{W}{2L}\right)_7$  pour que la polarisation

de la paire différentielle soit symétrique ( $V_{GS1} = V_{GS2}$ ) <sup>153</sup>

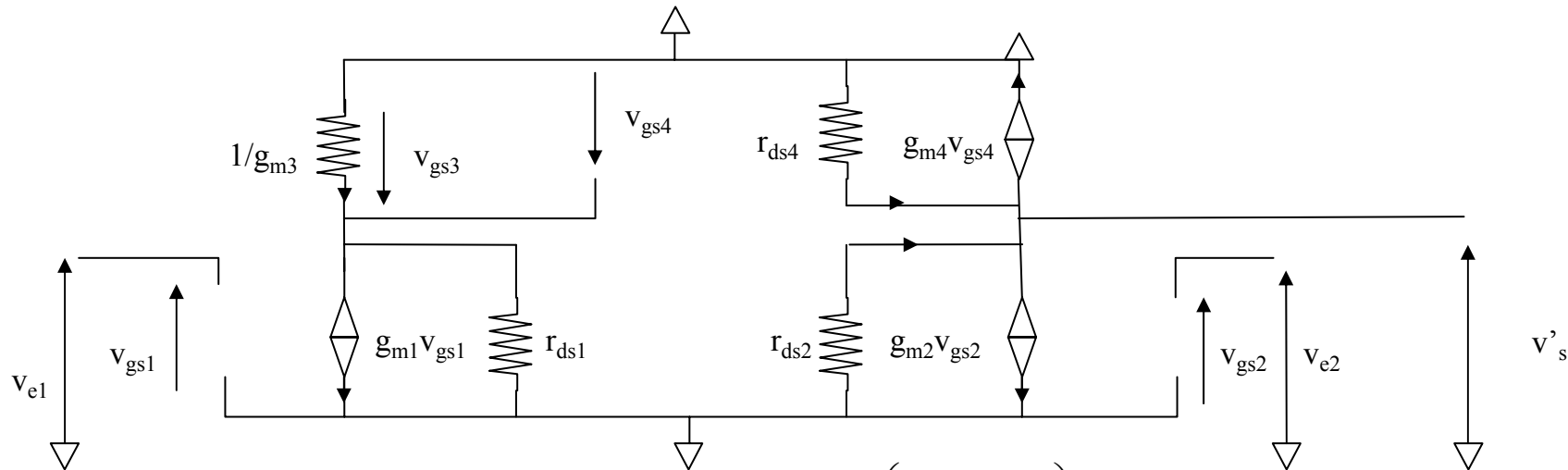
## 2) Etude en petits signaux (BF)

« Body effect » négligé

- Etage d'entrée (mode différentiel)

$$I_{DS1} = I_{DS2} \quad \Rightarrow \quad V_{GS1} = V_{GS2} \quad \Rightarrow \quad g_{m1} = g_{m2}$$

$$V_{GS3} = V_{GS4} \quad \Rightarrow \quad g_{m3} = g_{m4}$$



$$g_{m2}V_{gs2} - \frac{v'_s}{r_{ds4}} - \frac{v'_s}{r_{ds2}} + g_{m4}V_{gs4} = 0 \quad \Rightarrow \quad v'_s \left( \frac{1}{r_{ds2}} + \frac{1}{r_{ds4}} \right) = g_{m2}V_{gs2} + g_{m4}V_{gs4}$$

or

$$-g_{m3}V_{gs3} \approx g_{m1}V_{gs1} = -g_{m3}V_{gs4} \quad \Rightarrow \quad v'_s \left( \frac{1}{r_{ds2}} + \frac{1}{r_{ds4}} \right) = g_{m2}V_{gs2} - g_{m4} \frac{g_{m1}}{g_{m3}} V_{gs1}$$

$$\text{et } \frac{g_{m3}}{g_{m4}} = 1 \quad , \quad g_{m1} = g_{m2}$$

- Gain en tension de l'étage d'entrée

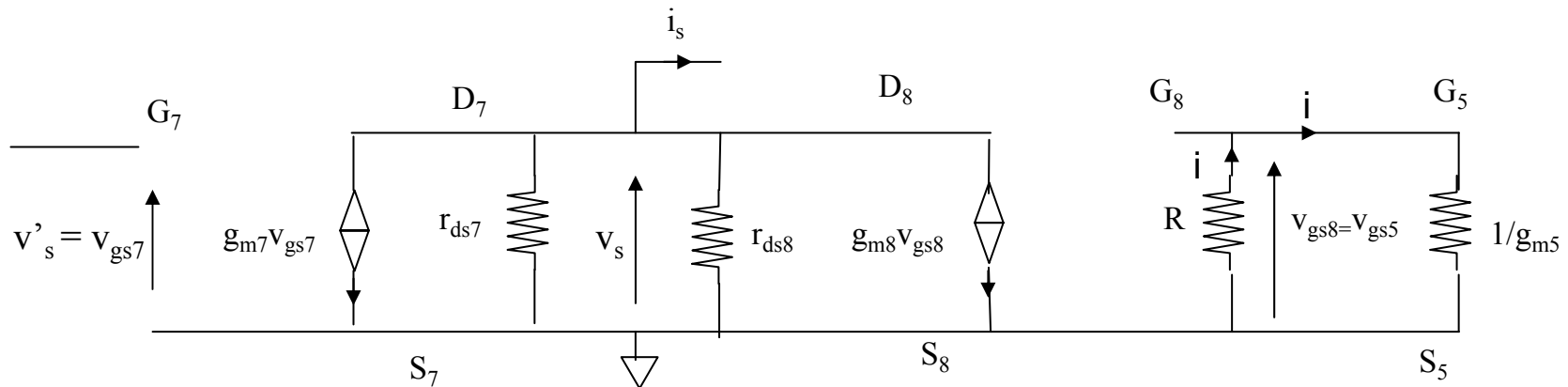
$$v_e = v_{e1} - v_{e2} = v_{gs1} - v_{gs2} \Rightarrow v'_s \left( \frac{1}{r_{ds2}} + \frac{1}{r_{ds4}} \right) = -g_{m2} v_e \Leftrightarrow \frac{v'_s}{v_e} = -g_{m2} \frac{r_{ds2} r_{ds4}}{r_{ds2} + r_{ds4}}$$

$g_{m1} = g_{m2} = g_m = \sqrt{2KI_{SS}}$  : transconductance de la paire différentielle ( $M_1, M_2$ )

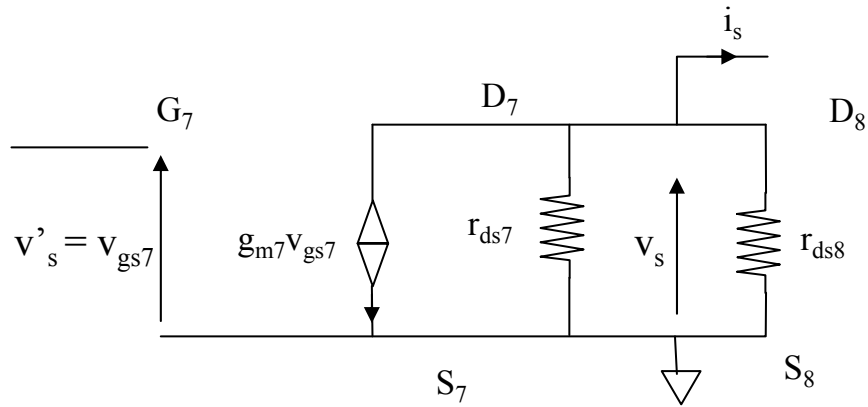
$$\Rightarrow \frac{v'_s}{v_e} = -g_{m2} \frac{r_{ds2} r_{ds4}}{r_{ds2} + r_{ds4}} = -2 \sqrt{\frac{2K}{I_{SS}}} \frac{V_{AN} V_{AP}}{V_{AN} + V_{AP}}$$

(impédance d'entrée de l'étage de sortie supposée infinie)

- Etage de sortie



$$\frac{i}{g_{m5}} + Ri = 0 \Rightarrow i = 0 \Rightarrow v_{gs8} = 0$$



- Courant en sortie

$$i_s \cong -\frac{v_s}{r_{ds7}} - \frac{v_s}{r_{ds8}} - g_{m7}v_{gs7} - g_{m8}v_{gs8} \quad \text{or} \quad v_{gs8} = 0 \quad \text{et} \quad \frac{v_s}{r_{ds7}} \text{ et } \frac{v_s}{r_{ds8}} \ll g_{m7}v_{gs7}$$

$$\Rightarrow i_s \cong -g_{m7}v_{gs7} \quad \text{et} \quad v_{gs7} = v'_s = -g_m(r_{ds2} // r_{ds4})v_e \quad (\text{gain en tension étage d'entrée})$$

$$\Rightarrow \begin{cases} i_s \cong G_m v_e \\ G_m = g_{m7}(r_{ds2} // r_{ds4})g_m \end{cases} \quad G_m : \text{transconductance}$$

- Impédance de sortie

$$v_e = 0 \quad \Rightarrow \quad v'_s = 0 = v_{gs7}$$

$$Z_s \approx r_{ds7} // r_{ds8}$$

Impédance de sortie du montage source commune de  $M_7$   
chargé par la résistance de sortie de  $M_8$

$Z_s$  élevée  $\Rightarrow$  application en source de courant

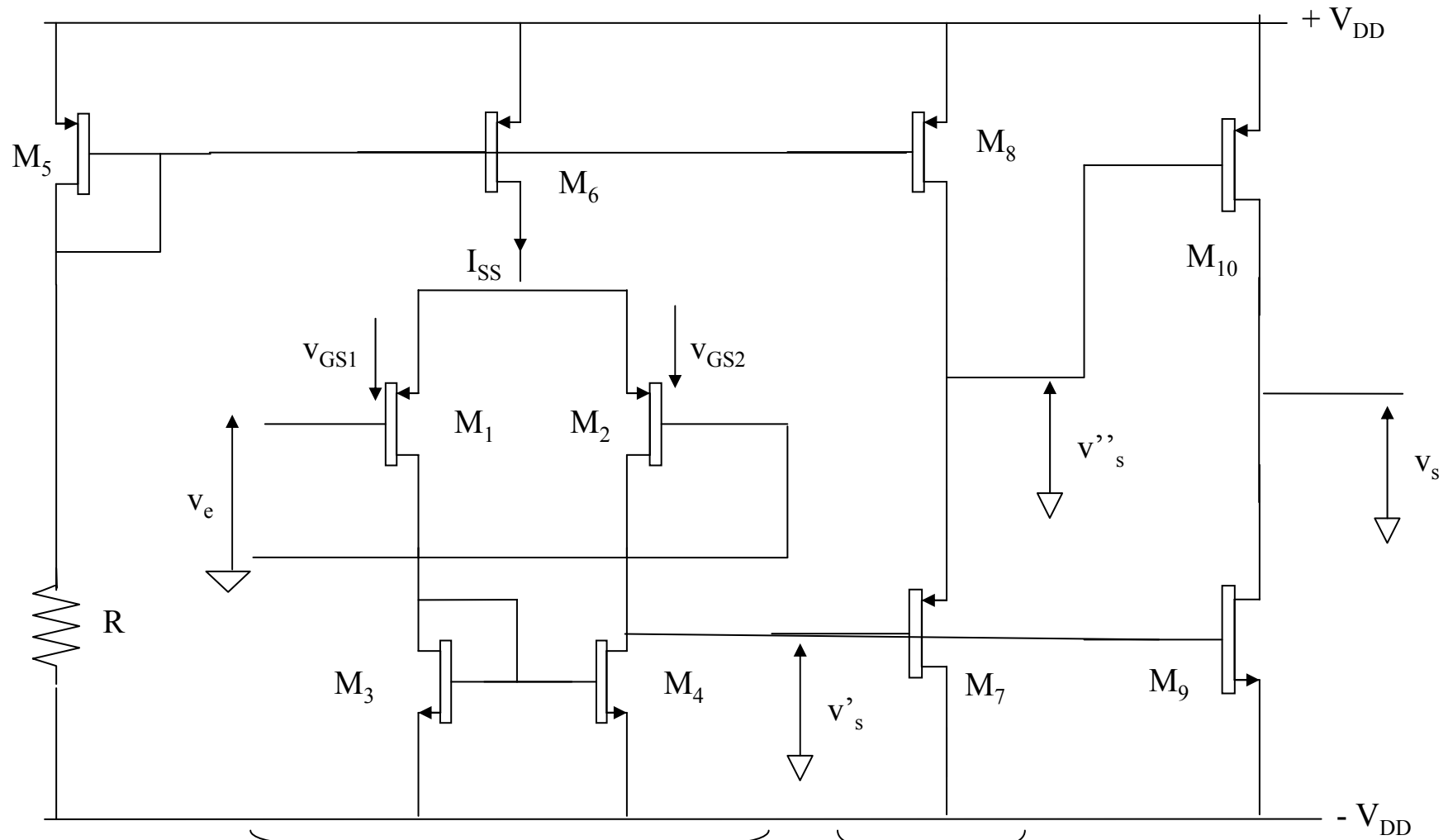
- Gain en tension (à vide)

$$\frac{v_s}{v_e} = \frac{v_s}{v'_s} \times \frac{v'_s}{v_e}$$

$$v_s = -(r_{ds7} // r_{ds8}) g_{m7} v_{gs7} = -(r_{ds7} // r_{ds8}) g_{m7} v'_s \quad (M_7 \text{ en source commune})$$

$$\Rightarrow \frac{v_s}{v_e} \cong g_m (r_{ds4} // r_{ds2}) (r_{ds7} // r_{ds8}) g_{m7} = G_m Z_s$$

## Autre type de structure OTA



Etage d'entrée : paire différentielle  
avec charge active : étage de gain

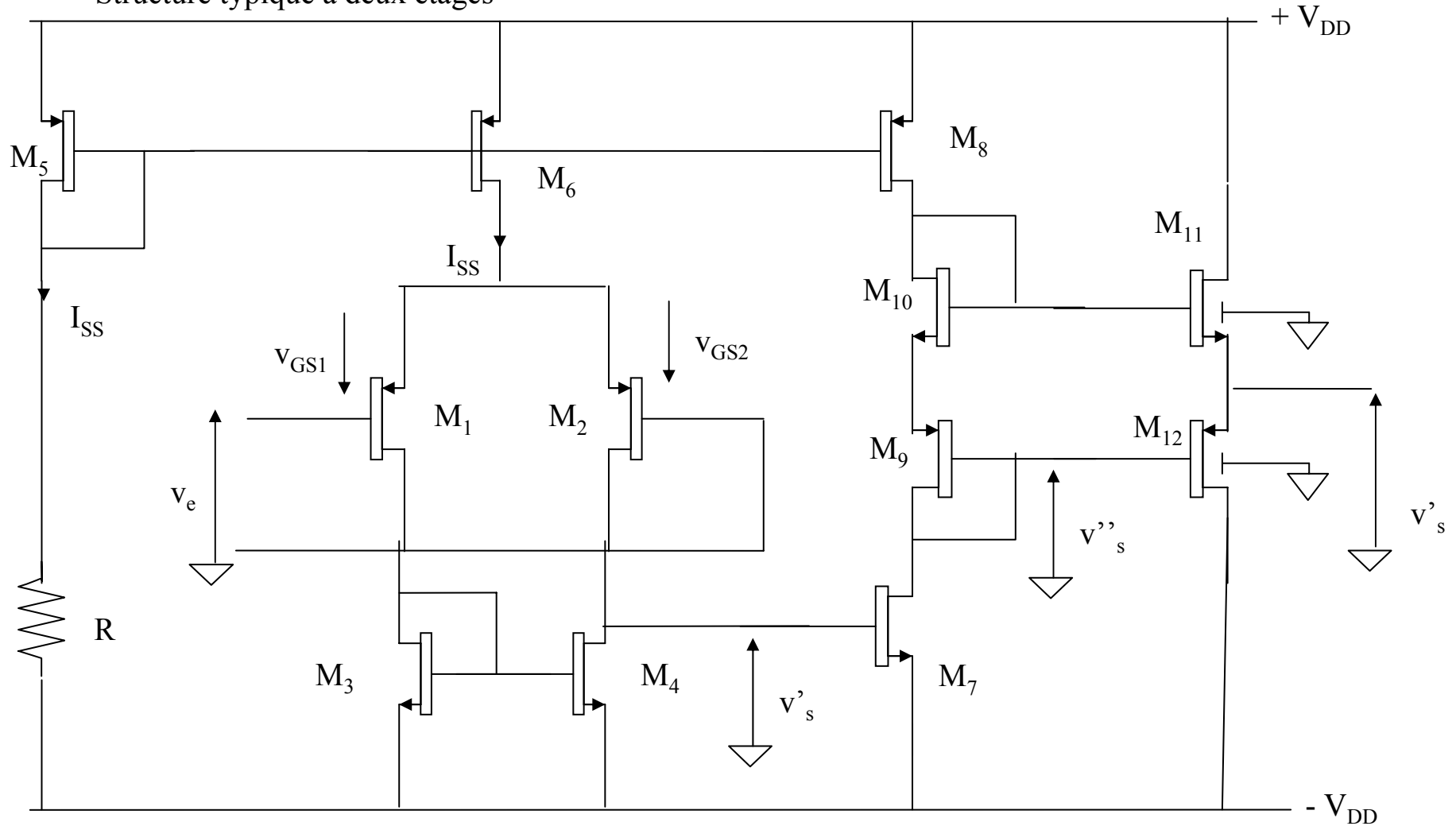
Etage suiveur  
drain commun  
(classe AB)

Etage inverseur  
source commune  
(classe AB)

### III- Amplificateur opérationnel MOS

NB : « bulk effect » négligé

Structure typique à deux étages



Etage d'entrée : paire différentielle avec charge active

Etage de sortie: source commune (inverseur) + paire complémentaire (classe AB) 159

## 1) Polarisation

- *Circuit de polarisation* ( $M_5, M_6, M_8, R$ )

( $M_5, M_6$ ) miroir de courant PMOS : alimentation en courant de l'étage d'entrée

( $M_5, M_8$ ) : miroir de courant PMOS : alimentation en courant de l'étage de sortie

Courant de polarisation :

$$I_{SS} = \frac{2V_{DD} + V_{TP}}{R}$$

- *Etage d'entrée*

$M_3, M_4$  : miroir NMOS (charge active)

Transistors identiques (même géométrie)

$$V_{GS3} = V_{GS4} \quad \Rightarrow \quad I_{DS3} = I_{DS4}$$

$M_1, M_2$  : paire différentielle PMOS

Transistors identiques (même géométrie)

$$I_{DS1} = I_{DS3} = I_{DS4} = I_{DS2} = I_{SS}/2$$

- Etage de sortie :

$M_{11}$  et  $M_{12}$  (drain commun) à la limite de la conduction grâce à  $M_9$  et  $M_{10}$

$M_8$  : transistor alimentant en courant  $M_9$  et  $M_{10}$ .

$M_9$  et  $M_{10}$  servant à la suppression de distorsion de croisement

$$I_{D7} = I_{D9} = I_{D10} = I_{D8} = I_{SS}$$

⇒

$$\begin{cases} V_{GS10} = V_{DS10} = V_{TN} + \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_{10} 2K_N}} \\ V_{GS9} = V_{DS9} = V_{TP} - \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_9 2K_P}} \end{cases}$$

$$V_{GS11} - V_{DS8} = +V_{DD} \quad \text{et} \quad V_{GS12} - V_{DS7} = -V_{DD}$$

$$\Rightarrow \quad V_{DS7} = V_{DD} + V_{TP} - \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_{12} 2K_P}} \quad \text{et} \quad V_{DS8} = -V_{DD} + V_{TN} + \sqrt{\frac{I_{SS}}{\left(\frac{W}{L}\right)_{11} 2K_n}}$$

De plus,

$$v''_s > 0, M_{12} \text{ bloqué, } M_{11} \text{ conduit} \quad \Rightarrow \quad v_s = v''_s - v_{GS9} + v_{GS10} - v_{GS11} \approx v''_s + v_{TP}$$

$$v''_s < 0, M_{11} \text{ bloqué, et } M_{12} \text{ conduit} \quad \Rightarrow \quad v_s = v''_s - v_{GS12} = v''_s + v_{TP}$$

## 2) Etude en petits signaux

- Gain en tension (à vide)

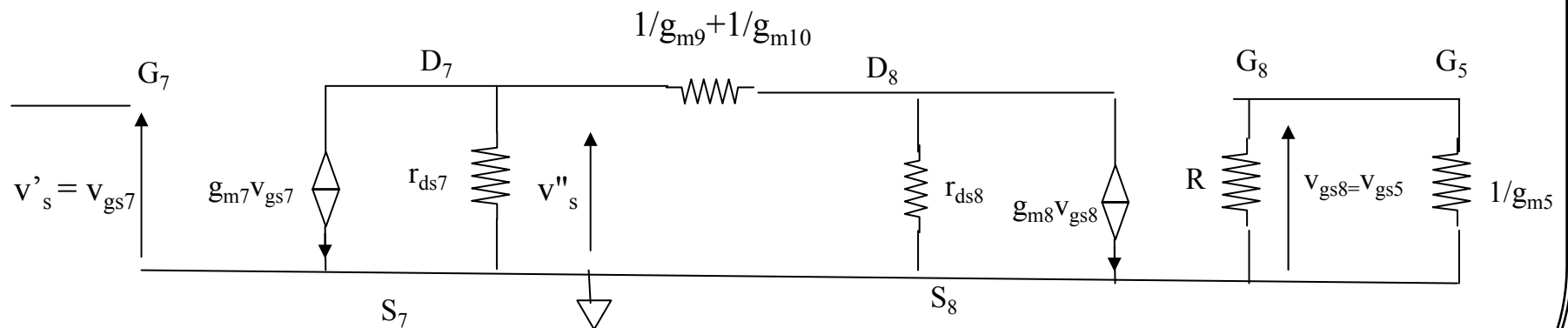
$$\frac{v_s}{v_e} = \frac{v_s''}{v_s} \times \frac{v_s'}{v_s} \times \frac{v_s'}{v_e}$$

$$\frac{v_s''}{v_s} \approx 1 \text{ (étage de sortie drain commun)}$$

$g_{m1} = g_{m2} = g_m = \sqrt{2KI_{SS}}$  : transconductance de la paire différentielle ( $M_1, M_2$ )

$$\Rightarrow \frac{v_s'}{v_e} = -(r_{ds4} // r_{ds2}) g_m = -2 \sqrt{\frac{2K}{I_{SS}}} \frac{V_{AN} V_{AP}}{V_{AN} + V_{AP}} \text{ Gain en tension de la paire différentielle } (M_1, M_2) \text{ (Voir OTA)}$$

$M_7$  montage inverseur (source commune) chargé par  $M_9, M_{10}, M_8$  :



Or  $v_{gs8} = 0$  (voir OTA) et  $1/g_{m9} + 1/g_{m10} \ll r_{ds8}$

$$\Rightarrow \begin{cases} v_s'' \approx -(r_{ds7} // r_{ds8}) g_{m7} v_{gs7} \\ v_s' = v_{gs7} \end{cases}$$

$$\frac{v_s''}{v_s'} \approx -(r_{ds7} // r_{ds8}) g_{m7}$$

$$\Rightarrow \frac{v_s}{v_e} \approx \frac{v_s'}{v_e} \times \frac{v_s''}{v_s'} \approx (r_{ds4} // r_{ds2}) g_m (r_{ds8} // r_{ds7}) g_{m7}$$

- Impédance de sortie

$$Z_s \approx \frac{1}{g_{m11 \text{ ou } 12}}$$

Impédance de sortie du montage suiveur (drain commun)

(plus élevée que pour un ampli bipolaire mais **faible**)

⇒ Utilisation en **source de tension**