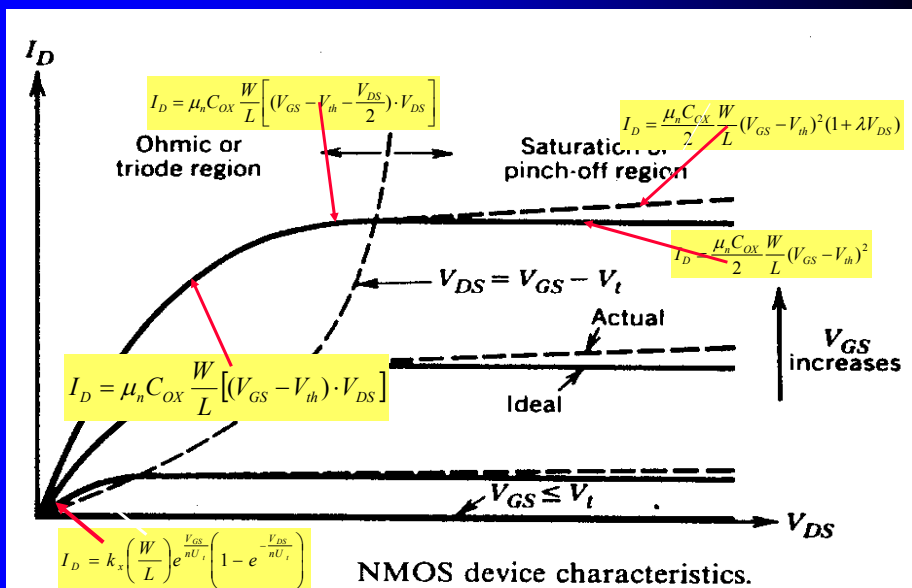


Modélisation du transistor MOS

Modélisation petit signaux
 Calcul manuel
 Dimensionnement
 Approche simplifiée

Master IGIS, spécialité Microélectronique
 Cours de R. Grisel

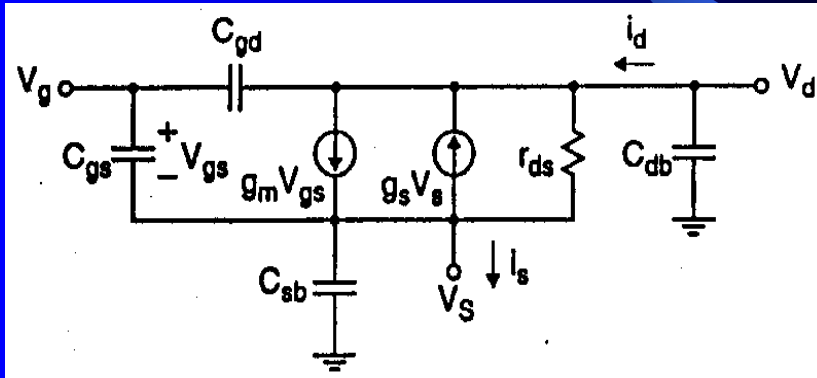
Récapitulation



NMOS device characteristics.

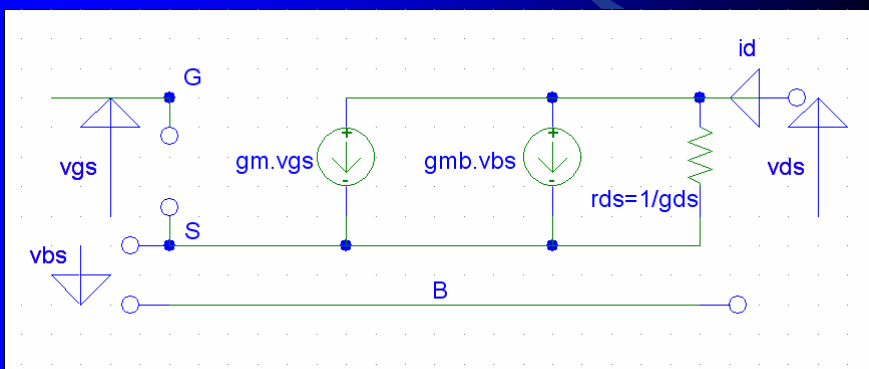
Modélisation petits signaux en régime saturé

permet de modéliser le comportement du MOS en présence de petites variations sur la source, la grille ou le drain.



Modélisation petits signaux en régime saturé : basses fréquences

Les capacités ne sont pas prises en compte



Modélisation petits signaux en régime saturé : basses fréquences

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_S, V_D}$$

Transconductance du mos

$$g_{ds} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_G, V_S} = \frac{1}{r_{ds}}$$

Résistance de sortie du mos

$$-g_{mb} = \left. \frac{\partial I_{DS}}{\partial V_{SB}} \right|_{V_G, V_D}$$

Effet de substrat du mos

La variation du courant
de drain dans le MOS

$$\Delta I_D = g_m \cdot \Delta V_G - g_{mb} \cdot \Delta V_S + g_{ds} \cdot \Delta V_D$$

Transconductance du transistor : g_m

Représente l'action des variations de la
tension V_{GS}

$$\begin{aligned} g_m &= \frac{\partial I_{DS}}{\partial V_{GS}} = \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_{th}) \\ &= \frac{2 I_{DS}}{(V_{GS} - V_{th})} \\ &= \sqrt{2 \mu_n C_{OX} \frac{W}{L} I_D} \end{aligned}$$

Pour la technologie 0.8 μm des exemples, $\mu_n C_{OX} = 103,6 \mu\text{A/V}^2$

Effet de substrat du transistor : g_s g_{mb} g_{mbs}

Permet de répercuter les variations de la tension V_{BS} sur la valeur de la tension de seuil

$$g_{mb} = \frac{\partial I_D}{\partial V_{SB}} = \frac{\partial I_D}{\partial V_{in}} \cdot \frac{\partial V_{in}}{\partial V_{SB}}$$

$$\frac{\partial I_D}{\partial V_{in}} = -\mu_n C_{OX} \frac{W}{L} (V_{GS} - V_{in}) = -g_m$$

$$\frac{\partial V_{in}}{\partial V_{SB}} = \frac{\gamma}{2\sqrt{V_{SB} + |2\Phi_F|}}$$

$$g_{mb} = \frac{\partial I_{DS}}{\partial V_{BS}} = \frac{\gamma g_m}{2\sqrt{V_{SB} + |2\Phi_F|}}$$

$$\frac{g_{mb}}{g_m} = \chi \quad (\approx 0.1 \text{ à } 0.3). \quad g_{mb} \text{ est souvent négligé devant } g_m$$

À prendre en compte si V_{sb} AC est non nulle

Résistance de sortie du transistor : r_{ds}

représente la résistance de sortie du transistor et modélise l'effet de modulation de la longueur du canal

$$\frac{1}{r_{ds}} = g_{ds} = \frac{\partial I_{DS}}{\partial V_{DS}} \cong \lambda I_D$$

$$I_D = \frac{\mu_n C_{OX}}{2} \frac{W}{L} (V_{GS} - V_{in})^2 (1 + \lambda V_{DS})$$

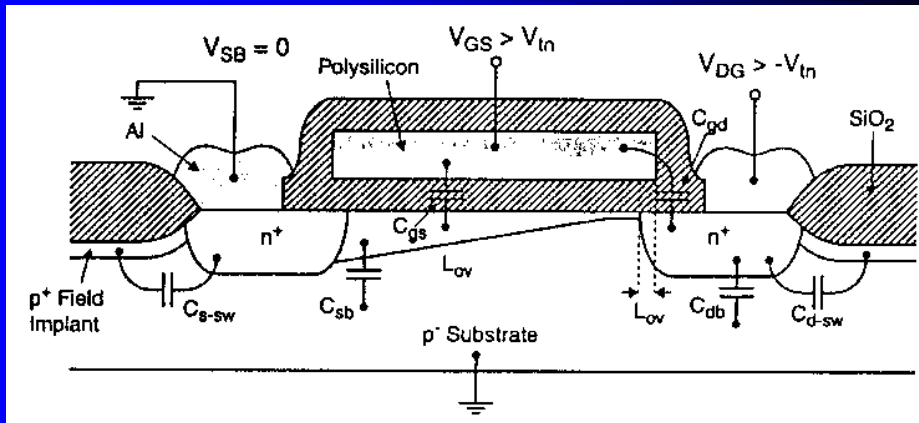
Effet de modulation de canal court

$$I_D = \frac{\mu_n C_{OX}}{2} \frac{W}{L} (V_{GS} - V_{in})^2$$

Courant de saturation

La résistance de sortie dépend du paramètre technologique λ dont la valeur est mal contrôlée (mesurée pratiquement)
 $V_A = 1/\lambda$ est la tension Early (d'après l'appellation BJT)

Modélisation petits signaux en régime saturé : hautes et moyennes fréquences



Les capacités C_{s-sw} et C_{d-sw} sont généralement négligeables (sauf dans le cas d'une région fortement dopée p^+ sous l'oxyde).

Seule C_{GS} (canal + « overlap ») est intrinsèque au fonctionnement du composant, les autres sont des capacité « parasites »

Modèle capacitif de Meyer standard (Source et Drain de dimension nulle)

$$C_{gs} = \frac{\partial Q_G}{\partial V_{gs}} = \frac{2}{3} C_{ox} \left(1 - \frac{V_{gd_t}^2}{(V_{gs_t} + V_{gd_t})^2} \right) = \frac{2}{3} C_{ox} \left(1 - \left(\frac{V_{gs} - V_{TH} - V_{ds}}{2(V_{gs} - V_{TH}) - V_{ds}} \right)^2 \right)$$

$$C_{gd} = \frac{\partial Q_G}{\partial V_{gd}} = \frac{2}{3} C_{ox} \left(1 - \frac{V_{gs_t}^2}{(V_{gs_t} + V_{gd_t})^2} \right) = \frac{2}{3} C_{ox} \left(1 - \left(\frac{V_{gs} - V_{TH}}{2(V_{gs} - V_{TH}) - V_{ds}} \right)^2 \right)$$

$$C_{gb} = \frac{\partial Q_G}{\partial V_{gb}} = 0$$

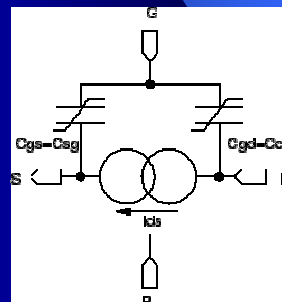
$C_{ox} = C_{ox}'WL$	$V_{gs_t} = V_{gs} - V_{TH}$	$V_{gd_t} = V_{gd} - V_{TH}$
	$V_{gc_t} = V_{gc} - V_{TH}$	

Pour le régime ohmique, on notera qu'à $V_{ds}=0$

$$C_{gs} = C_{gd} = 0,5 C_{ox}$$

Pour le régime saturé, avec $V_{gst}=0$, le modèle donne :

$$C_{gs} = \frac{2}{3} C_{ox} \quad C_{gd} = 0 \quad \text{et} \quad C_{gb} = 0$$



Les capacités et SPICE level 1

$$C_{AP} = COX L_{eff} W_{phys}$$

L_{eff} = Longueur effective de canal, W_{phys} = largeur physique

$$PHI = 2V_t \text{Log}\left(\frac{N_{SUB}}{n_i}\right) \quad \text{PHI est le potentiel de surface}$$

$$1) \quad V_{gs} - V_{TH} \leq 0 \quad \Rightarrow \quad C_{gb} = -C_{AP} \frac{V_{gs} - V_{TH}}{PHI} \quad C_{gd} = 0 \quad C_{gs} = \frac{C_{AP}}{1,5} \left(2 \frac{V_{gs} - V_{TH}}{PHI} + 1\right)$$

$$2) \quad V_{gs} - V_{TH} > 0 \quad \text{et} \quad V_{ds} < V_{dsat} \quad \text{Forte inversion et régime ohmique}$$

$$C_{gb} = 0 \quad C_{gd} = \frac{C_{AP}}{1,5} \left(1 - \left(\frac{V_{dsat} - V_{ds}}{2(V_{dsat} - V_{bs}) - V_{ds}}\right)^2\right) \quad C_{gs} = \frac{C_{AP}}{1,5} \left(1 - \left(\frac{V_{dsat} - V_{ds}}{2(V_{dsat} - V_{bs}) - V_{ds}}\right)^2\right)$$

$$3) \quad V_{gs} - V_{TH} \geq 0 \quad \text{et} \quad V_{ds} \geq V_{dsat} \quad \text{Forte inversion et régime saturé}$$

$$C_{gb} = 0 \quad C_{gs} = \frac{C_{AP}}{1,5} \quad C_{gd} = 0$$

Définitions

Du point de vue électrique la longueur à considérer pour le fonctionnement intrinsèque du transistor MOS est la distance entre les deux zones de diffusion formant la source et le drain. Cette longueur effective est différente de la longueur dessinée L du concepteur, du fait de l'erreur de gravure notée XL et du débordement des zones diffusées sous la grille notée LD . On définit donc une longueur effective de canal :

$$L_{eff} = L + XL - 2LD$$

Pour la détermination de la largeur effective de grille, on doit considérer l'erreur de gravure XW et une seconde erreur, connue sous le terme "effet de bec d'oiseau" due à une déformation latérale WD de la surface active au niveau de la transition entre l'oxyde mince de grille et l'oxyde épais localisé. La largeur effective de canal est ainsi donnée par :

$$W_{eff} = W + XW - 2WD$$

$$L_{phys} = L + XL \quad \text{et} \quad W_{phys} = W + XW$$

parfois utilisées pour la détermination des capacités de jonction sont appelées respectivement longueur et largeur physique du transistor.



Classification des modèles (intrinsèques)

Première génération : Ils sont essentiellement basés sur les lois universelles de la physique des semi-conducteurs. Les représentants types sont les modèles de niveaux 1, 2 et 3 de type SPICE Berkeley. Si le niveau 1 est maintenant totalement obsolète, les niveaux 2 et 3 continuent à être utilisés pour la simulation électrique des circuits numériques. Ils sont connus pour être susceptibles de présenter des discontinuités entre les différentes zones de fonctionnement notamment pour les transistors submicroniques et ils modélisent très mal la conductance de sortie et le fonctionnement en faible inversion. Ils sont peu à peu abandonnés. Le niveau 3 qui est un modèle partiellement empirique donne généralement de meilleurs résultats que le niveau 2 souvent considéré comme un modèle "académique".

Deuxième génération : Par rapport à la génération précédente, un grand nombre de paramètres électriques empiriques sont introduits pour prendre en compte les effets de canal court et étroit, essayer de résoudre les problèmes de convergence et améliorer le fonctionnement en faible inversion. Contrairement au niveau 2 et 3 pour lesquels quelques effets de dépendances géométriques sont directement codés dans le modèle, les modèles de deuxième génération utilisent une structure de calcul additionnelle contenant les dépendances géométriques. Dans cette structure additionnelle, L_{eff} et W_{eff} étant respectivement la longueur et la largeur effective de canal, chaque paramètre X sujet à des dépendances géométriques est considéré sous la forme composite suivante :

$$X = X_0 + \frac{LX}{L_{eff}} + \frac{WX}{W_{eff}} + \frac{FX}{W_{eff}L_{eff}}$$

Cette technique, utilisable sous forme discrète pour les modèles de première génération avec certains simulateurs, est connue sous l'anglicisme de "binning". Schématiquement, faire du "binning" sur un modèle consiste à diviser l'espace des valeurs possibles pour L et W en plusieurs régions adjacentes et d'affecter pour chaque région un modèle différent. La continuité entre les régions est supposée être assurée par la forme composite des paramètres sujets au "binning". Les représentants types de cette génération de modèle sont BSIM1 et BSIM2 développés à l'université de Berkeley. Leur caractère essentiellement empirique rendant très compliquée l'extraction des paramètres, ces modèles ont très vite été abandonnés et supplantés par les modèles de troisième génération.

Classification des modèles (intrinsèques) (suite)

Troisième génération : Du fait de la réduction des tensions d'alimentation et de la forte demande en terme de circuits électroniques basse consommation, les concepteurs des dispositifs actifs analogiques ont tendance autant que faire ce peut, d'une part à fixer les points de fonctionnement des transistors entre la zone ohmique et saturée, et d'autre part à travailler au voisinage de la faible inversion (inversion dite modérée) pour optimiser la dynamique des signaux. Or, dans ces zones de transition, les modèles précédents s'avèrent totalement inappropriés pour une évaluation fiable des performances des circuits réalisés. Ceci a donné naissance dans les années 1990 à une troisième génération de modèles. Ces modèles sont de nouveau basés sur les lois de la physique des semi-conducteurs et sont caractérisés par une équation unique quelque soit la zone de fonctionnement. Le raccordement entre les différentes zones de fonctionnement est assuré par l'utilisation intensive de fonctions de lissage. Par principe, ces modèles compacts sont continus pour eux même et leurs dérivées. Les deux représentants types sont BSIM3v3 développé à l'université de Berkeley et MM9 développé à Philips Eindhoven. Le code SPICE et le manuel étant mis gratuitement à la disposition des utilisateurs sur le réseau par Berkeley (<http://www.eecs.berkeley.edu/>), BSIM3v3 est rapidement devenu de fait le modèle standard utilisé actuellement en conception micro-électronique. Depuis l'an 2000, BSIM4, un nouveau modèle offrant quelques améliorations, principalement en terme de bruit et de modélisation extrinsèque par rapport à BSIM3v3, est proposé par Berkeley.

Schéma équivalent petit signal moyennes fréquences (Meyer standard)

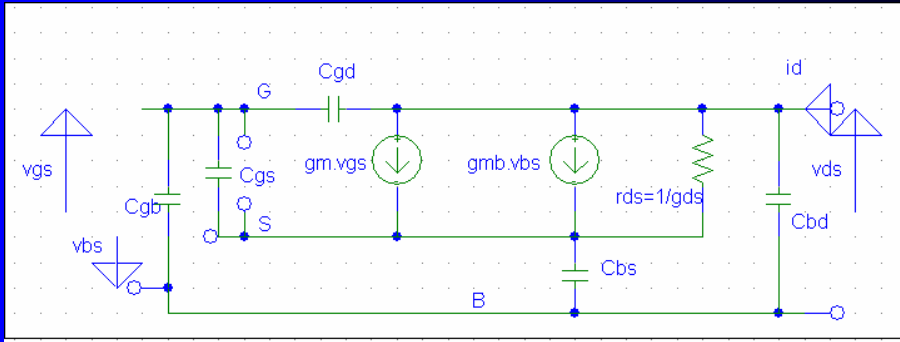


Schéma équivalent avec S=B

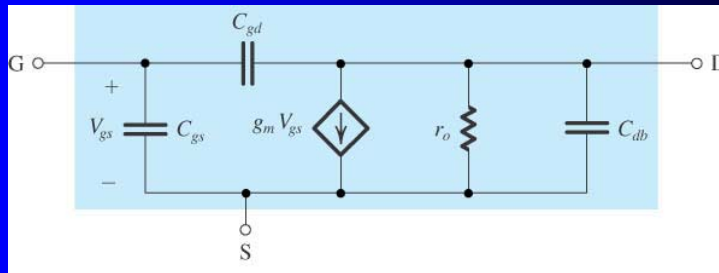


Schéma équivalent avec C_{db} négligeable

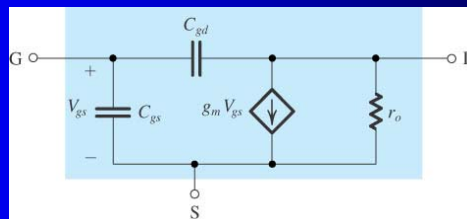
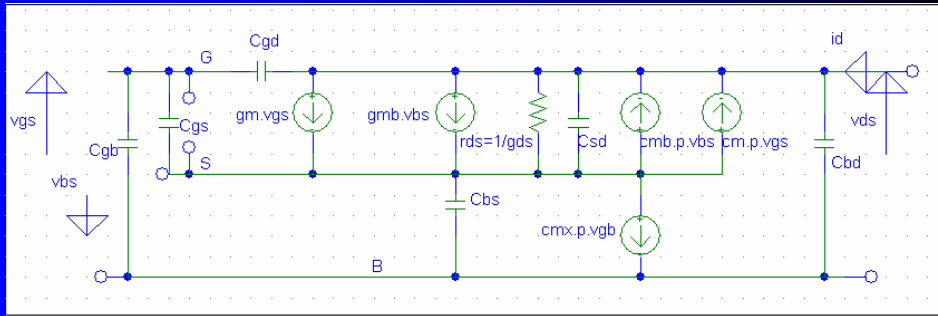


Schéma équivalent capacitif complet



Récapitulation :

TRIODE : V_{ds} faible, canal uniforme, la capacité totale est $W \cdot L \cdot C_{OX}$, et modélisée par répartition équitable entre le drain et la source (bon modèle pour V_{ds} de niveau correct)

$$C_{gd} = C_{gs} = \frac{1}{2} W L C_{OX}$$

SATURATION : Pincement au niveau du Drain, C_{gd} est supposée nulle, la valeur de C_{gs} provient des calculs précédents

$$C_{gs} \cong \frac{2}{3} W L C_{OX}$$

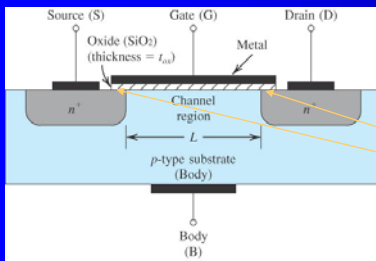
$$C_{gd} = 0$$

BLOCCAGE : Pas de canal de conduction, donc $C_{gs}=C_{gd}=0$, cependant on modélise l'effet capacitif de la grille en affectant la valeur $W.L.COX$ à la capacité « Grille-Bulk ».

$$C_{gs} = C_{gd} = 0$$

$$C_{gb} = W L C_{OX}$$

Capacité additionnelle : Les diffusions source et drain s'étendent légèrement sous la grille (voir la figure), si on appelle L_{OV} , la longueur de chevauchement (« Overlap »), il faut tenir compte de la capacité de chevauchement COV qui doit être ajoutée aux valeurs de C_{gs} et C_{gd} dans les formules précédentes, typiquement $L_{OV}=0,05L$ à $0,1L$



$$C_{OV} = W L_{OV} C_{OX}$$

Capacités de jonction

dues aux jonctions PN inverse entre les diffusions source et drain et le substrat (B), ce sont des formules classiques de jonction PN :

$$C_{sb} = \frac{C_{sb0}}{\sqrt{1 + \frac{V_{SB}}{V_0}}}$$

Capacité Source – Substrat (Bulk), C_{sb0} est la valeur à $V_{SB}=0$, V_{SB} la tension inverse et V_0 le potentiel interne de la jonction (0,6 à 0,8V)

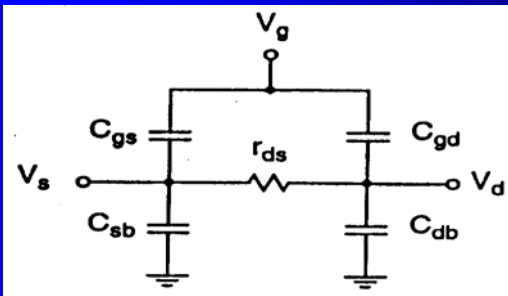
$$C_{db} = \frac{C_{db0}}{\sqrt{1 + \frac{V_{DB}}{V_0}}}$$

Capacité Drain – Substrat (Bulk), C_{db0} est la valeur à $V_{DB}=0$, V_{DB} la tension inverse et V_0 le potentiel interne de la jonction (0,6 à 0,8V)

Exemple de calcul

- Soit un transistor MOS, canal N, pour lequel on a les valeurs suivantes :
- $t_{ox}=10 \text{ nm}$; $L=1 \text{ }\mu\text{m}$; $W=10 \text{ }\mu\text{m}$; $L_{OV}=0,05 \text{ }\mu\text{m}$; $C_{sb0}=C_{db0}=10\text{fF}$; $V_0=0,6\text{V}$, $V_{SB}=1\text{V}$; $V_{DS}=2\text{V}$;; calculez les capacités quand le transistor est en saturation.

Modélisation petits signaux : régime ohmique



$$\begin{aligned} V_{gs} &> V_{th} \\ V_{ds} &< V_{gs} - V_{th} \end{aligned}$$

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{th}) - \frac{V_{DS}}{2} \right] \cdot V_{DS}$$

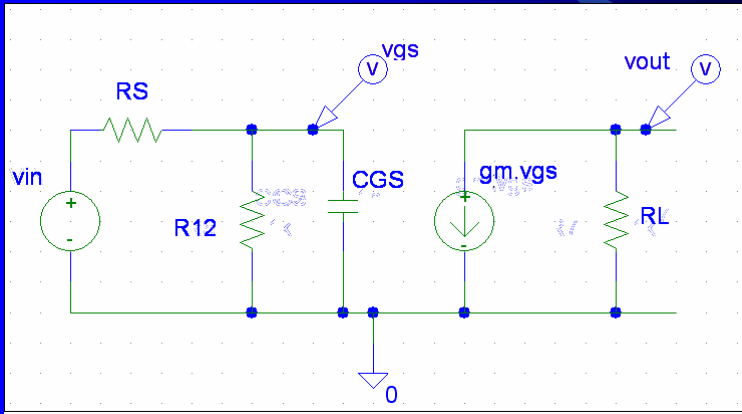
$$\frac{1}{r_{ds}} = g_{ds} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th} - V_{DS})$$

$$\frac{1}{r_{ds}} = g_{ds} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) \quad \text{— Si } V_{ds} \text{ faible}$$

Le transistor est équivalent à une résistance commandée en tension.

Effet de Cgs sur la bande passante

- Considérons un ampli à charge passive donnant le schéma équivalent suivant



- La gain A_v du montage (v_{out}/v_{in}) correspond à l'expression suivante ($R'_s=RS/R12$):

$$A_v = \frac{A_{v0}}{1 + j\left(\frac{f}{f_{c1}}\right)} \text{ avec } f_{c1} = \frac{1}{2 \cdot \pi \cdot R'_s \cdot C_{gs}}$$

- Ce qui conduit à l'atténuation caractéristique des filtres passe-bas du premier ordre (pôle f_{c1}).
- L'impédance d'entrée devient $R12 // C_{gs}$, elle est purement capacitive en haute fréquence et conduit au pôle donné ci-dessus
- L'impédance de sortie reste résistive (R_L ds le cas présent)

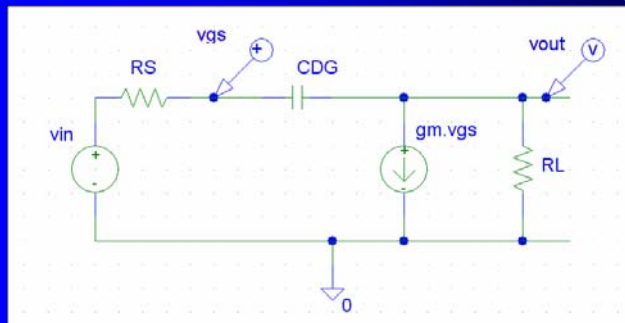
Effet de Cds sur la bande passante

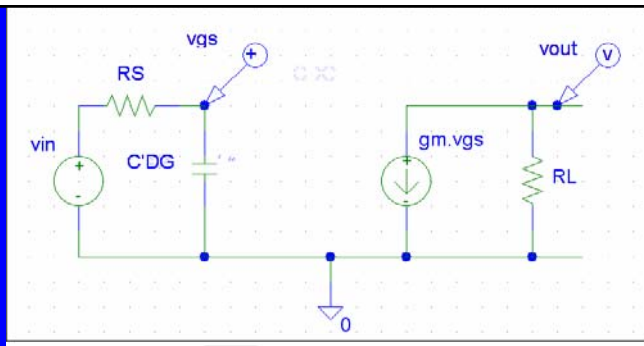
- Si on reprend l'ampli à charge passive avec uniquement l'influence de Cds, on obtient, avec une analyse similaire au cas précédent un pôle avec une fréquence de coupure f_{c2} :
- L'impédance d'entrée est résistive
- L'impédance de sortie correspond à un circuit RC //.

$$f_{c2} = \frac{1}{2.\pi.R'_L.C_{ds}}$$

Effet de Cdg sur la bande passante

- Cdg est une capacité de liaison entre l'entrée et la sortie, elle introduit donc une contre-réaction (« feedback »), le circuit équivalent simplifié (toujours pour l'ampli à charge passive) est donné ci-dessous et sa modification « Miller » ensuite (le pont de résistance de polarisation a été volontairement omis).





- Le gain A_v correspond à l'expression suivante $C'dg=M.Cdg$
- Exercice : [Démonstration](#)

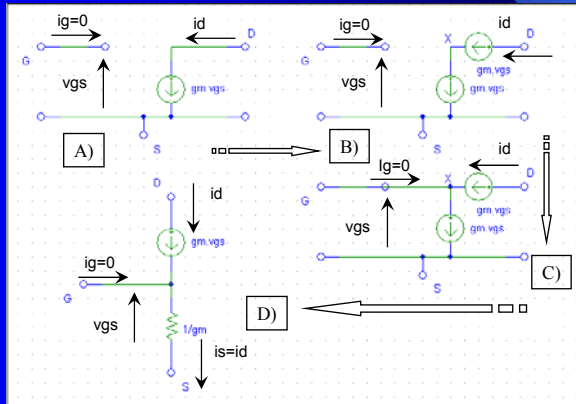
$$A_v = A_{v0} \frac{1 - j \left(\frac{f}{f_{c4}} \right)}{1 + j \left(\frac{f}{f_{c3}} \right)} \text{ avec } f_{c3} = \frac{1}{2\pi \cdot M \cdot R_s \cdot C_{DG}}, f_{c4} = \frac{g_m}{2\pi \cdot C_{DG}}$$

$$M = 1 + \frac{R_L}{R_s} - A_{v0} \quad \text{avec } f_{c3} < f_{c4}$$

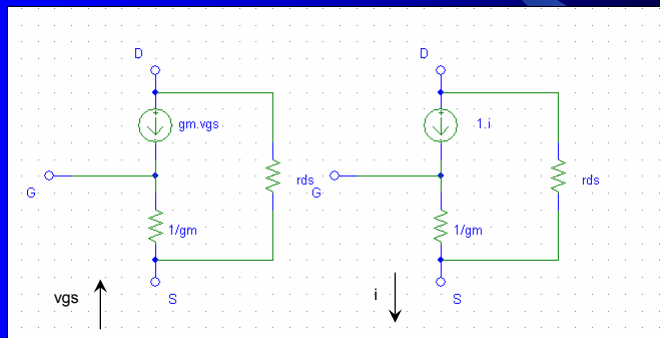
- La courbe caractéristique (Bode) commence à A_{v0} ($g_m \cdot R_L$) puis descend à -20db/dec en f_{c3} jusqu'en f_{c4} où elle redevient « plate » ($1/g_m \cdot R_s$)
- Effet hautes fréquences de toutes les capacités
- Il faut introduire les 3 effets dans les équations, ce qui est difficile à la main (« hand calculation »)

Remarque : Modèle équivalent en T

- Ce développement est illustré sur la figure suivante :
- A) circuit sans r_{ds} B) Ajout d'une deuxième source (le schéma reste équivalent) C) Jonction entre X et G, le courant de Grille reste à 0, on peut remplacer la source $g_m \cdot v_{gs}$ entre G et S par une résistance sous réserve que le courant reste le même (donc $v_{gs}/g_m \cdot v_{gs} = 1/g_m$), le modèle final est donc en D). Notez que la résistance vue de la grille reste infinie ($i_g = 0$).



- Si l'on désire inclure r_{ds} dans le modèle équivalent en T, cela conduit au schéma équivalent suivant :
- Un autre exemple est donné dans lequel la source de courant contrôlée (en tension) est remplacée par une source de courant contrôlée par le courant i .



Fréquence de transition (f_T)

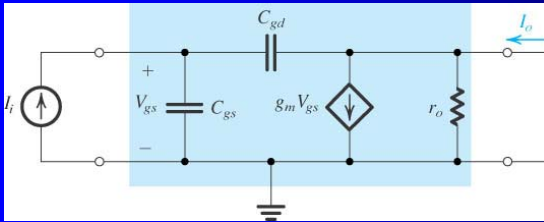
Un paramètre du MOS en haute fréquence correspond à la fréquence à laquelle le gain en courant de court-circuit est égal à 1. La figure montre le modèle utilisé, l'entrée est alimentée par I_i et la sortie est en court-circuit. On a les relations suivantes :

$$I_o = g_m V_{gs} - pC_{gd} V_{gs}, \quad C_{gd} \text{ faible} \Rightarrow I_o \cong g_m V_{gs}$$

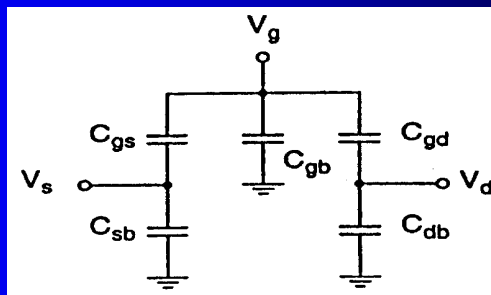
$$V_{gs} = \frac{I_i}{p(C_{gs} + C_{gd})}, \text{ donc } \frac{I_o}{I_i} = \frac{g_m}{p(C_{gs} + C_{gd})}$$

$$\text{Pour } p = j\omega, \text{ le gain est égal à 1 pour } \omega_T = \frac{g_m}{C_{gs} + C_{gd}}$$

$$\text{La fréquence de gain unité est donc } f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})}$$



Modélisation petits signaux : régime bloqué



$$C_{gs} = C_{gd} = WL_{OV} C_{ox}$$

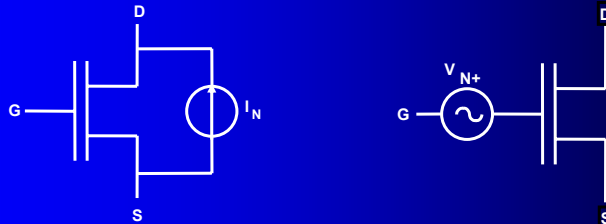
On court-circuite généralement Drain-Source-Substrat pour utiliser le transistor comme capacité (C_{sb} et C_{db} sont négligeables).

Modélisation des sources de bruit

Principalement deux sources de bruit dans un MOS :

- le bruit **thermique**, associé aux porteurs du canal,
- le bruit de "**flicker**", lié aux électrons piégés dans l'interface entre l'oxyde et le semi-conducteur.

Peuvent être modélisées par des sources de courant (modèles larges et petits signaux) ou de tension (modèle petits signaux).



Ces sources de bruit entraînent des modifications de la valeur du courant de drain

Densité spectrale du bruit thermique

Le bruit thermique est un bruit blanc (donc constant quelle que soit la fréquence). Sa densité spectrale (en A^2/Hz) est donnée par la relation suivante :

$$S_{I_w} = \begin{cases} \frac{4kT}{R} & \text{Régime ohmique} \\ \frac{8kT \cdot g_m}{3} & \text{saturation} \end{cases}$$

k, constante de Boltzman,
T, température en Kelvin,
R, résistance du canal en régime ohmique,
 g_m , transconductance du MOS.

Densité spectrale du bruit de "flicker"

Ce bruit évolue en $1/f$. Son expression ne change pas, que l'on soit en régime ohmique ou en saturation. Sa densité spectrale est donnée par la relation suivante :

$$S_{If} = \frac{2K_f \cdot K_p \cdot I_D}{C_{ox} \cdot L^2 f}$$

K_f , constante de flicker (donnée technologique),
 I_D , courant de polarisation.

Densité spectrale totale - Courant associé

Les bruits étant dé-corrélés, la densité spectrale totale s'exprime par la relation suivante :

$$S_{IN} = S_{If} + S_{IW}$$

Le courant correspondant à cette densité spectrale est dans la bande de fréquences $[f_1, f_2]$ est donnée par :

$$I_N = \sqrt{\int_{f_1}^{f_2} S_{IN} \cdot df}$$

Détermination du bruit en tension

Le bruit en tension ramené en entrée est souvent **utilisé pour la modélisation petits signaux**. On exprime sa densité spectrale et la tension équivalente à l'aide des relations suivantes :

Densité spectrale

$$S_{VN} = \frac{S_{IN}}{g_m^2}$$

Tension associée

$$V_N = \frac{I_N}{g_m}$$

Niveau de modélisation

Modèle SPICE niveau 1 : ne tient pas compte de la faible inversion et de la température

Modèle SPICE niveau 2 : Prend en compte la température et les effets des capacités parasites.

Modèle SPICE niveau 3 : Prend en compte l'effet de modulation de canal court.

Modèle SPICE niveau 4 (BSIM) : employé lorsque la caractérisation des paramètres de la technologie utilisée est disponible.

Modèle SPICE niveau 6 (BSIM 3 V.2) : modèle physique (mobilité non uniforme, réduction de la tension d seuil, ...)

Modèle SPICE niveau 7 (BSIM 3 V.3) : modèle sub-micronique

Calcul des capacités dans Spice

$$C_{db} = \frac{CJ}{\left(1 + \frac{V_{DB}}{PB}\right)^{MJ}} \cdot AD + \frac{CJSW}{\left(1 + \frac{V_{DB}}{PB}\right)^{MJSW}} \cdot PD$$
$$C_{sb} = \frac{CJ}{\left(1 + \frac{V_{SB}}{PB}\right)^{MJ}} \cdot AS + \frac{CJSW}{\left(1 + \frac{V_{SB}}{PB}\right)^{MJSW}} \cdot PS$$

AD et AS sont les surfaces respectives Drain et Source, PD et PS les périmètres. Ces valeurs doivent être données par l'utilisateur en fonction des dimensions du circuit sinon ces valeurs sont mises à 0. Pour les estimer il faut avoir le « layout » du circuit (ou l'extraire), on peut supposer qu'un contact métallique est fait sur chaque Drain et Source et donc que ces régions doivent s'étendre de $2,75 \cdot L_{min}$ au moins. Ainsi les valeurs minimum peuvent être définies comme étant, en première approximation :

$$AD=AS=2,75 \cdot L_{min} \cdot W \text{ et } PD=PS=2,2,75 \cdot L_{min} + W$$

Capacités liées à la grille dans Spice et dimensions

L_{eff} est toujours d'actualité ($<L$). Les paramètres spice donnent LD (LOV) et WD et :

$$L_{eff} = L - 2LD; \quad W_{eff} = W - 2WD$$

Les capacités de chevauchement, qui s'ajoutent à C_{gs} et C_{gd} , sont donc calculées comme :

$$C_{gs \rightarrow OV} = W \cdot CGSO \text{ (avec } CGSO \text{ en F/m, représente } C_{OV}/W)$$

$$C_{gd \rightarrow OV} = W \cdot CGDO \text{ (avec } CGDO \text{ en F/m, représente } C_{OV}/W)$$

De manière similaire, C_{gb} doit être augmentée de :

$$C_{gb \rightarrow OV} = L \cdot CGBO \text{ (avec } CGBO \text{ en F/m)}$$

MOSFET MODEL PARAMETERS

Fichier pdf

Exemples

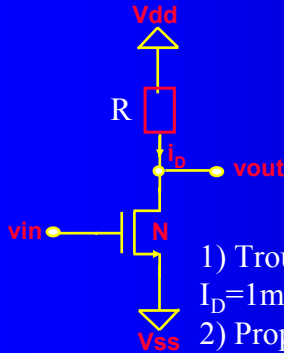
```
*Level-1 Model for PMOS in model 5um CMOS Technology
*
      (created by Anas Hamoui & Olivier Trescases)
.model PMOS5P0  PMOS(Level=1 VTO=-1 GAMMA=0.65 PHI=0.65
+
      LD=0.6E-06 WD=0 UO=250 LAMBDA=0.03 TOX=85E-9 PB=0.7 CJ=0.18E-3
+
      CJSW=0.6E-9 MJ=0.5 MJSW=0.5 CGDO=0.4E-9 JS=1E-6 CGBO=0.2E-9
+
      CGSO=0.4E-9)

Level-1 Model for NMOS in model 5um CMOS Technology
*
      (created by Anas Hamoui & Olivier Trescases)
.model NMOS5P0  NMOS(Level=1 VTO=1 GAMMA=1.4 PHI=0.7
+
      LD=0.7E-06 WD=0 UO=750 LAMBDA=0.01 TOX=85E-9 PB=0.7 CJ=0.4E-3
+
      CJSW=0.8E-9 MJ=0.5 MJSW=0.5 CGDO=0.4E-9 JS=1E-6 CGBO=0.2E-9
+
      CGSO=0.4E-9)

Level-1 Model for PMOS in model 0.5um CMOS Technology
*
      (created by Anas Hamoui & Olivier Trescases)
.model PMOS0P5  PMOS(Level=1 VTO=-0.8 GAMMA=0.45 PHI=0.8
+
      LD=0.09E-06 WD=0 UO=115 LAMBDA=0.2 TOX=9.5E-9 PB=0.9 CJ=0.93E-3
+
      CJSW=170E-12 MJ=0.5 MJSW=0.35 CGDO=0.35E-9 JS=5E-9 CGBO=0.38E-9
+
      CGSO=0.35E-9)

Level-1 Model for NMOS in model 0.5um CMOS Technology
*
      (created by Anas Hamoui & Olivier Trescases)
.model NMOS0P5  NMOS(Level=1 VTO=0.7 GAMMA=0.5 PHI=0.8
+
      LD=0.08E-06 WD=0 UO=460 LAMBDA=0.001 TOX=9.5E-9 PB=0.9 CJ=0.57E-3
+
      CJSW=120E-12 MJ=0.5 MJSW=0.4 CGDO=0.4E-9 JS=10E-9 CGBO=0.38E-9
+
      CGSO=0.4E-9)
```

Application 1 : Amplificateur



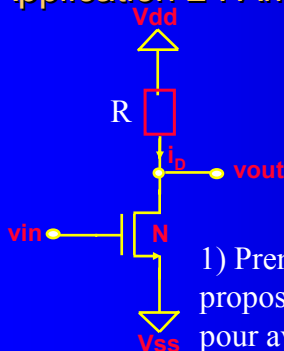
Paramètres

- Technologie : 0.8 μm
- Vdd = 15V
- Vss = 0V
- $K_n = 103,6 \mu\text{A/V}^2$
- $K_p = 34,53 \mu\text{A/V}^2$
- $V_{thn} = 0.8 \text{ V}$
- $V_{thp} = -0.8 \text{ V}$
- $K = \mu_n C_{ox}$

- 1) Trouvez le rapport W/L pour avoir :
 $I_D = 1\text{mA}$, pour $V_{GS} = 3,9\text{V}$
- 2) Proposez une valeur
- 3) Pour cette valeur, calculez R pour avoir
 $V_{out} = V_{ds} = 9\text{V}$
- 4) Donnez le gain petits signaux (modèle simplifié)
- 5) Faire une vérification SPICE



Application 2 : Amplificateur polarisé



Paramètres

- Technologie : 0.8 μm
- Vdd = 15V
- Vss = 0V
- $K_n = 103,6 \mu\text{A/V}^2$
- $K_p = 34,53 \mu\text{A/V}^2$
- $V_{thn} = 0.8 \text{ V}$
- $V_{thp} = -0.8 \text{ V}$
- $K = \mu_n C_{ox}$

- 1) Prendre les résultats de polarisation précédents et proposer 2 résistances de polarisation de la grille pour avoir une alimentation possible en petits signaux par un générateur V_{in} de résistance de sortie R_s .
- 2) Donner le schéma équivalent avec les capacités (C_{dg} , C_{gs} , C_{ds})
- 3) Donner la valeur du Gain AC en basse fréquence



Application 2 : suite

- 1) Reprendre le calcul du gain AC en tenant compte du paramètre LAMBDA (λ) valant 0,0257
- 2) Reprendre en prenant en compte la résistance de sortie du générateur AC de $5k\Omega$
- 3) Expliquer ce qui se passe si l'on tient compte de la capacité C_{gs} et donner les nouvelles valeurs et courbes

Application : modèle petits signaux

Déterminer pour un transistor **NMOS**, les paramètres suivant du modèle petits signaux :

- Le gain en courant g_m
- L'effet de substrat g_{mb}
- La résistance de sortie r_{ds}
- La capacité C_{gs}

Paramètres

$U_T = 26 \text{ mV}$
 $I_d = 100 \mu\text{A}$
 $V_{bs} = 2\text{V}$
 $W = 30 \mu\text{m}$
 $L = 10 \mu\text{m}$
 $\gamma = 0.5 \text{ V}^{1/2}$
 $\lambda = 0.02 \text{ V}^{-1}$
 $\Phi_f = 0.3\text{V}$
 $K_n = 16 \mu\text{A/V}^2$
 $\mu_n = 650 \text{ cm}^2/\text{V.s}$

Solution

Fichier microwind_ampli_res.sch

$$I_D = \frac{\mu_n C_{OX}}{2} \frac{W}{L} (V_{GS} - V_{th})^2$$

$$\text{Soit } : 10^{-3} = \frac{103,6 \cdot 10^{-6}}{2} \frac{W}{L} (3,9 - 0,8)^2$$

Donne $W/L = 2$

On prend $W = 20 \mu\text{m}$ et $L = 10 \mu\text{m}$

$$\text{Pour } V_{DS} = 9\text{V}, \text{ on a } R = \frac{15 - 9}{1 \cdot 10^{-3}} = 6\text{k}\Omega$$

$$g_m = \frac{2 \cdot 10^{-3}}{(3,9 - 0,8)} = 0,645$$

D'après le schéma équivalent simplifié $G = -g_m \cdot R = 3,87$

Solution application 2 (1)

- On a $V_{GS}=3,9$, V_{DD} valant 15V , le ratio pour R_1 (haut) et R_2 (bas) du pont diviseur ($R_2/(R_1+R_2)$) est donc $3,9/15$, en se fixant que le I dans le pont est inférieur à 10% de I_D soit $0,1\text{mA}$, cela donne $R_2=3,9/0,1=39\text{k}\Omega$ et $R_1=11,1/0,1= 111 \text{ k}\Omega$
- Si on prend $LAMBDA$ on introduit en // sur R $r_{ds}=1/(\lambda \cdot I_D) = 38,91 \text{ k}\Omega$ et donc la résistance de charge devient $6//38,91=5,5 \text{ k}\Omega$, la nouvelle valeur du gain est $3,354$
- Si le générateur a une résistance de sortie de $5 \text{ k}\Omega$, on introduit en entrée une atténuation de $0,852$ le gain devient donc égal à $3,3$ dans le premier cas, et $2,86$ dans le deuxième cas.