

Comptes-rendus de projets du cours

GBM8320 – Dispositifs médicaux intelligents (DMI2009)

Mohamad Sawan, professeur
Louis-François Tanguay, chargé de laboratoire

Section microélectronique
Département de génie électrique
École Polytechnique de Montréal

Présentations ont eu lieu au
Local B-405
Pavillon principal



ÉCOLE
POLYTECHNIQUE
MONTREAL

20 avril 2009
13h30-20h00

A High-Efficiency Low-Voltage Step-Down DC-DC Converter for Micro-Power Delivery in Biomedical Implants

Omar Al-Terkawi Hasib, *Member, IEEE*

Abstract—This paper presents a switched capacitor DC-DC converter that can be used to supply low power circuits in biomedical implants with multiple level of voltage. The converter uses interleaving and asynchronous control of the converter to achieve good efficiency and low output ripple at different output power levels. The controller does not need any base running oscillator to function, which minimizes the dynamic power consumption of the controller and the switching losses of the converter. A maximum efficiency of 81% was achieved with a conversion ratio of 1/2 with this controller. The design was done with 130nm CMOS technology and the simulation was done under cadence.

Index Terms— DC power conversion, CMOS integrated circuits, switched capacitor circuits, Digital control.

I. INTRODUCTION

Biomedical implants are considered complex systems that consist of a collection of many smaller blocks that do various tasks. Powering such systems is usually done by batteries, RF links, or a combination of both [1] [2]. To increase the lifespan of the battery the blocks of the implant should consume the lowest power possible. Thus, each block should be operated with the lowest voltage possible creating the need for multiple levels of voltage on the same chip from a single power source. To achieve such task, researches included power converters in the power unit block of implants (figure 1) [2].

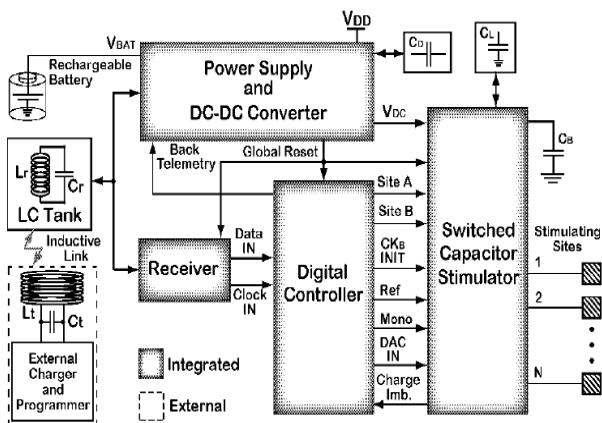


Figure 1: general biomedical low power implant system [2]

There are various types of power converters in the literature [1] [3] [4]. The targeted converter for biomedical implants should have high efficiency while supplying low output power, since most blocks of the implants are designed to be low power consumers, and should be integrated on chip to reduce the overall size of the implant. Out of the different types of converters, these criteria fit perfectly with the switched capacitor converters (SC converters).

Designing a SC converter that can achieve good efficiency is a complicated task. The efficiency of a SC depends on many factors, such as:

- The Conversion ratio (defined by converter topology)
- Component sizes
- Operating Frequency
- The ratio of the output voltage over the input voltage (V_{out}/V_{in})
- Loading current

In general, to have a good efficiency the converter is designed to with a suitable conversion ratio that delivers the desired V_{out} , big enough components to supply the maximum power needs, and a feedback control system that adapts the operating frequency depending on the loading current. In addition, one of the techniques that were proven to enhance the efficiency is interleaving between two or more converters [5] [6]. Because the task of supplying the load with current is shared between two or more converters, the output voltage ripple is reduced. Switching between topology is also helpful if different level of voltages is required [4].

The aim of this project is to implement a step-down switched capacitor DC-DC converter that is suitable for supplying biomedical implants circuitries with the required power. The converter uses techniques such as interleaving, feedback control, and topology switching to achieve the best efficiency performance possible. This paper will present a brief theoretical background on the operation of SC converters in section II. Section III will review the efficiency of the SC converters in general. An overview of the proposed system is discussed in section IV and in section V the design of the control is introduced. Other block of the system such as the Comparator and the topology selector will be described in sections VI and VII respectively. The simulation results are given in section VIII and in section IX this paper will be concluded.

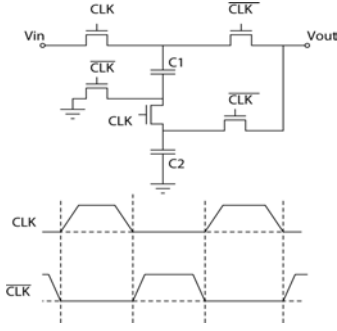


Figure 2: traditional two phase series parallel SC converter with non-overlapping clocks

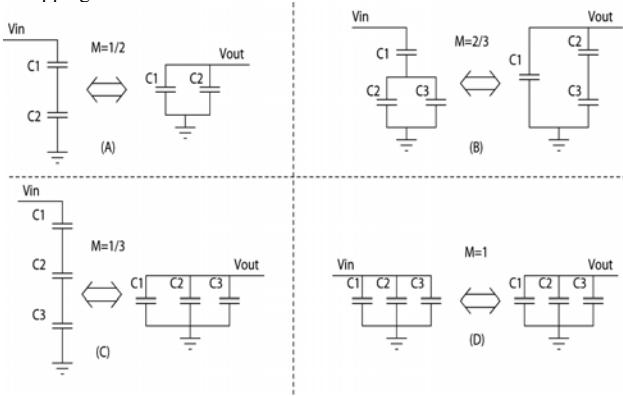


Figure 3: different switching topologies that achieve different conversion ratios M .

II. SWITCHED CAPACITOR BASICS

The way switched capacitor converters work is based on the idea of charge sharing between capacitors. Supplying two capacitors in series would result in charging both capacitors to half the supply voltage, given that both capacitors have the same value. Reconnecting the same capacitors in parallel to the output would result in step down conversion with a conversion ratio of half. This behavior is achieved by connecting the capacitors with switches. The switches are turned on and off to change the connection of the capacitors between series and parallel (figure 2).

To achieve best efficiency the signals used to drive such converters are non-overlapping clocks. This idea can be expanded to include different conversion ratios. A conversion ratio of a SC converter is defined as $M = V_{out}/V_{in}$ at no load. Figure 3 shows different topologies of SC that achieves different conversion ratios.

III. EFFICIENCY

The Maximum Efficiency of a switched capacitor converter can be achieved theoretically is related to its conversion ratio with the following equation [7]:

$$\eta = \frac{1}{M} \frac{V_{out}}{V_{in}} \dots (1)$$

Where M is the conversion ratio of the converter, and V_{out} is the loaded output voltage value. This equation indicates that to have 100% efficiency theoretically, the output voltage when

the system is loaded should be as close as possible to the unloaded V_{out} value.

This efficiency calculation can serve as a good first estimate of the expected efficiency, but as mentioned previously, the real efficiency depends on many other factors. The complete efficiency term is defined as follows [8]:

$$\eta = \frac{E_{out}}{E_{in}} \dots (2)$$

$$E_{in} = E_{out} + E_{cond} + E_{para} + E_{sw} + E_{control} \dots (3)$$

Where E_{out} and E_{in} are the output and input energies respectively. E_{cond} is the energy loss due to the resistive property of the MOS switches. E_{para} is the Energy loss in components parasitics, such as bottom plate capacitor and packaging parasitics. Energy that is used to turn on the switches on and off is included as a loss in E_{sw} and the Energy used by the control is $E_{control}$.

From equation 3, it can be seen that efficiency is affected by many factors. $E_{control}$ can be reduced by using digital controllers that consume very small static energy while E_{sw} can be reduced by controlling the frequency of the system to the minimum.

IV. SYSTEM OVERVIEW

Figure 4 shows the proposed converter architecture. The system applies a new technique of controller (asynchronous control) that does not require any running clock to function. The charge and discharge cycle are triggered by comparator that will generate two threshold needed for the controller to function. The signals from the controller will be passed through a block that will generate the non-overlapping complements for each signal. Depending on the states of T1 and T2 the topology selector will route the signal to each switch in order to achieve the desired conversion ratio.

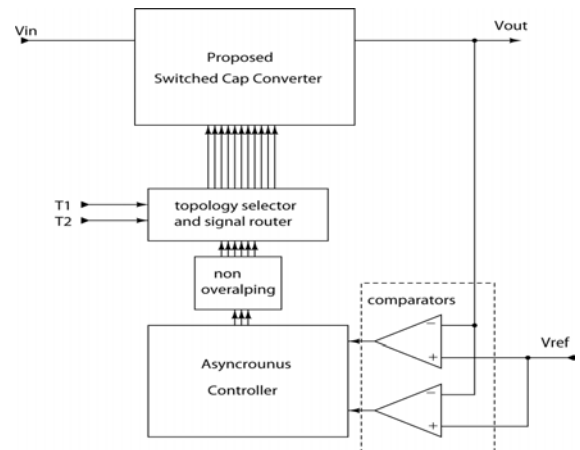


Figure 4: proposed converter architecture

V. ASYNCHRONOUS CONTROLLER

The switched capacitor convert that will be used is shown in figure 5. The converter uses two interleaved capacitor network

that can achieve conversion ratios of $M=1, 2/3,$ or $1/3,$ (as discussed in figure 3) and a switch that connects directly to the output to pull the output to the desired voltage level as fast as possible. The signals S_0, S_1 and S_2 are generated by the asynchronous controller depending on two thresholds set by the comparator.

The controller works as follows (figure 6). If V_{out} is below the lower threshold (V_{th2}), only the direct switch is activated to pull the output above the higher threshold (V_{th1}). Once V_{out} is above V_{th1} , S_0 is turned off. Due to the delay is the controller and depending on the RC constant of the switch and the output capacitor, an overshoot in the output voltage will occur. The controller will wait for the output to be reduced, by the load, until it crosses the V_{th1} again. At this instant S_2 will activate to supply the load with voltage. Again due to RC delays and response delay in the controller, the voltage will undershoot. The controller will wait for the voltage to go above V_{th1} and back before switching to the other network of switched capacitor.

The V_{th2} is works as a safety net. If at anytime the current from the load exceeds the capability of the SC network, V_{out} will drop to V_{th2} where S_0 will activate the direct switch again. This behavior is shown in figure 7. It's important to mention that the proposed asynchronous controller (figure 8) is a pure digital circuit that has small static power dissipation, meaning that the dissipation is almost zero if the load is small. And unlike the normal PFM (pulse frequency modulation) that is found in [4] [6], the proposed controller sizes both the pulse width of the signals and the pulse frequency.

VI. COMPARATOR DESIGN

To generate the two thresholds a simple comparator is used (figure 9). The comparator uses a differential pair to compare the input with a reference voltage. The current in the two branches is conveyed through current mirrors and then compared to each others. Through appropriate sizing, the comparator can generate the desired two thresholds. The consumption of the converter is controlled by V_{bias} but can not be reduced too much due to the trade-off between the slew rate and the bias current.

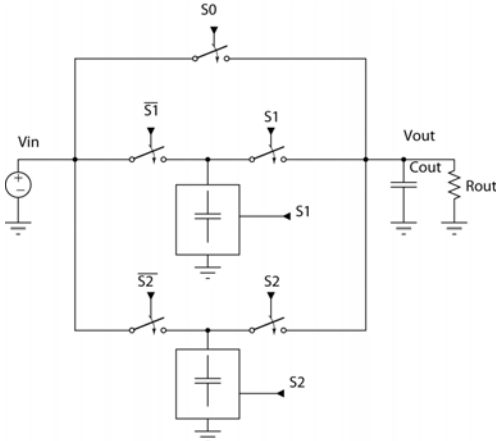


Figure 5: switched capacitor converter topology used. The converter consists of two SC networks and a switch that connects the input and output.

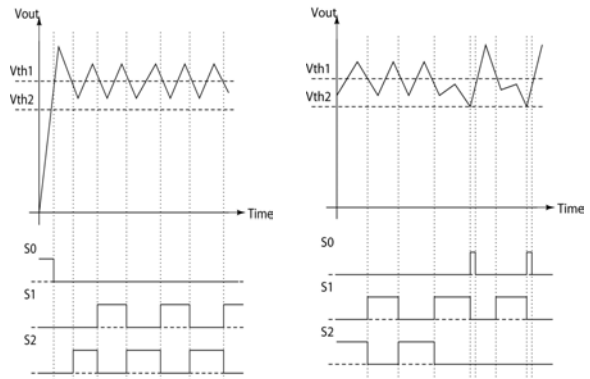


Figure 6: the timing diagram of the signals $S_0, S_1,$ and S_2 in relation to the output voltage and the threshold voltages

Figure 7: the behavior of S_0, S_1 and S_2 when current exceeds the capabilities of the SC network

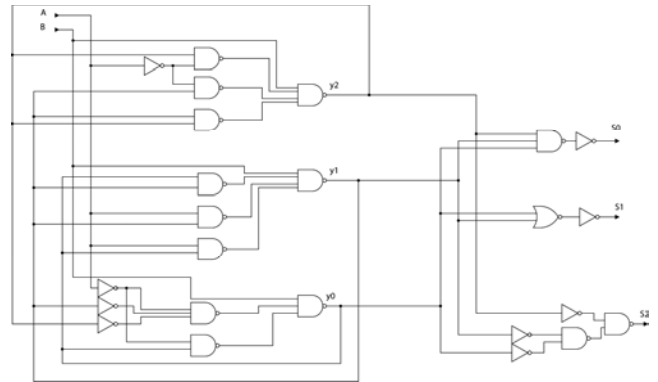


Figure 8: the complete asynchronous control circuit

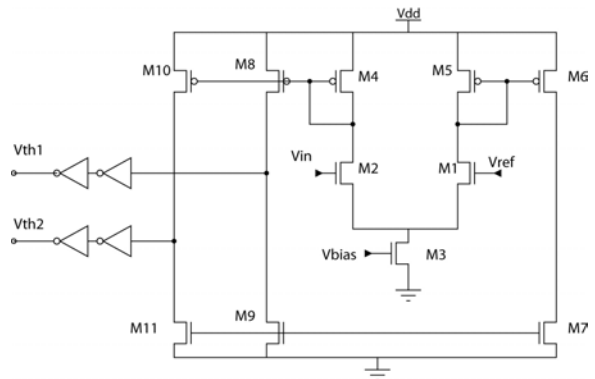


Figure 9: the designed comparator with two thresholds V_{th1} and V_{th2} .

VII. TOPOLOGY SELECTOR

The topology selector is designed out of several multiplexers. Each multiplexer connects to one switch in the SC network. Depending on the signal T_1 or T_2 the SC network will behave as either a converter working with $M= 1, 1/3, 2/3,$ or turn off (see table1). This is done by routing the appropriate $S_1, \bar{S}_1, 1$ or 0 to each switch depending on the T_1 and T_2 state. The multiplexers are constructed with transmission gates, so once the topology is selected no switching in done inside circuitries, and thus no power is dissipated.

TABLE 1: TOPOLOGY SELECTION DEPENDING ON T1 AND T2

| T1 | T2 | Conversion ratio M |
|----|----|--------------------|
| 0 | 0 | 1/3 |
| 0 | 1 | 2/3 |
| 1 | 0 | 1 |
| 1 | 1 | OFF |

TABLE 2: SIMULATION RESULTS FOR EFFICIENCY AND OUTPUT VOLTAGE RIPPLE

| V _{in} (V) | V _{out} (V) | Output voltage ripple (mV) | Conversion ration M | Efficiency | Output current (µA) | Load (KΩ) |
|---------------------|----------------------|----------------------------|---------------------|------------|---------------------|-----------|
| 1.2 | 0.75 | 8 | 2/3 | 70 | 7.5 | 100 |
| 1.2 | 0.56 | 20 | 1/2 | 81 | 5.6 | 100 |
| 1.2 | 0.38 | 40 | 1/3 | 62 | 3.8 | 100 |
| 1.2 | 1.1 | 70 | 1 | 82 | 11 | 100 |

VIII. SIMULATION AND RESULTS

The simulation of the entire figures was done under Cadence with the MOS technology of 130nm. Figure 10 shows the output voltage of the converter under different topologies. Topology of conversion ratios M= 1/3, 2/3, 1 were done with the topology selector, while the M=1/2 is a separate independent simulation.

Figure 10 shows that the converter is regulating the output voltage very well with low output ripple. Table 2 shows the results of efficiency and output ripple for each conversion ratio. It should be mentioned that due to time constrains the measurement were only done at 100KΩ and that the consumption of the control circuit was not included.

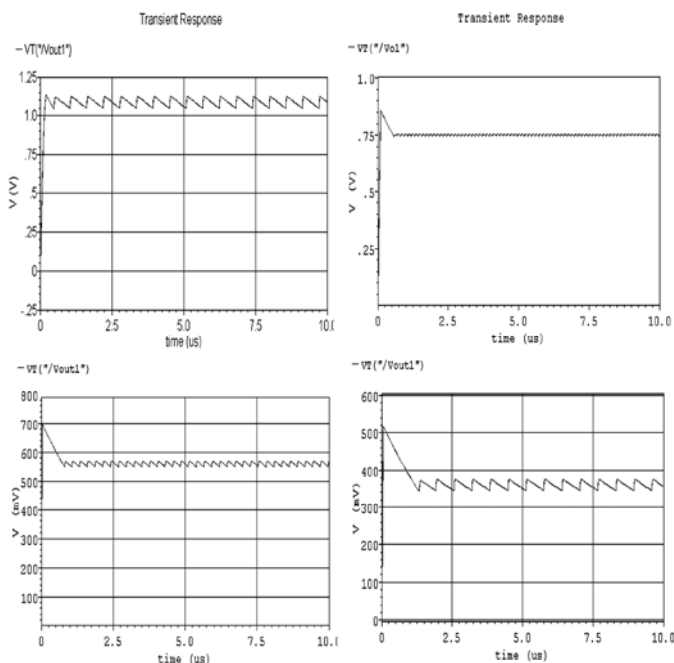


Figure 10: output voltage from different conversion ratios (M) from an input of 1.2V. From top left to bottom right: M= 1, M=2/3, M=1/2 and M=1/3

IX. CONCLUSION

In this paper we presented a solution for providing biomedical implants with the required power through the design of a SC DC-DC converter capable of supplying currents in the µA magnitude with multiple conversion ratios. The convert can achieve conversion ratio of 1/3, 2/3 or 1 by setting appropriate signals T1 and T2. A completely asynchronous feedback digital control was design to adapt the frequency of operation of the system to needs of the load. The controller does not need any base running oscillator to function, which reduces the dynamic power consumption of the controller and the switching losses of the converter to the minimum. The results of the simulation showed that this design is working properly with efficiencies between 80 to 60 %.

More investigation will be done to test the current limit of the converter and to measure the efficiency under different loading conditions. Future work on this system could include an automatic setting of the conversion ration depending on the difference between the reference voltage and the input voltage.

ACKNOWLEDGMENT

We would like to acknowledge the products and services provided by CMC Microsystems (www.cmc.ca) that facilitated this research, including CAD tools and design methodology, fabrication services using the 130-nanometre CMOS technology from STMicroelectronics, and engineering services. CMC is a non-profit corporation funded by Sciences and Engineering Research Canada (NSERC), with matching contributions from industry.

REFERENCES

- [1] Ahmadi, M.M.; Jullien, G., "A full CMOS voltage regulating circuit for bioimplantable applications," Circuits and Systems, 2005. 48th Midwest Symposium on , vol., no., pp.988-991 Vol. 2, 7-10 Aug. 2005
- [2] Ghovanloo, M., "Switched-capacitor based implantable low-power wireless microstimulating systems," Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on , vol., no., pp.4 pp.-, 0-0 0
- [3] A. J. Stratakos, "High-efficiency low-voltage DC-DC conversion for portable applications," Ph.D. dissertation, Univ. of California, Berkeley, 1998.
- [4] Ramadass, Y.K.; Chandrakasan, A.P., "Voltage Scalable Switched Capacitor DC-DC Converter for Ultra-Low-Power On-Chip Applications," Power Electronics Specialists Conference, 2007. PESC 2007. IEEE , vol., no., pp.2353-2359, 17-21 June 2007
- [5] Dongsheng Ma; Feng Luo, "Robust Multiple-Phase Switched-Capacitor DC-DC Power Converter With Digital Interleaving Regulation Scheme," Very Large Scale Integration (VLSI) Systems, IEEE Transactions on , vol.16, no.6, pp.611-619, June 2008
- [6] Maksimovic, D.; Dhar, S., "Switched-capacitor DC-DC converters for low-power on-chip applications," Power Electronics Specialists Conference, 1999. PESC 99. 30th Annual IEEE , vol.1, no., pp.54-59 vol.1, Aug 1999
- [7] Seeman, M.D.; Sanders, S.R., "Analysis and Optimization of Switched-Capacitor DC-DC Converters," Power Electronics, IEEE Transactions on , vol.23, no.2, pp.841-851, March 2008
- [8] Ramadass, Y.K.; Chandrakasan, A.P., "Minimum Energy Tracking Loop With Embedded DC-DC Converter Enabling Ultra-Low-Voltage Operation Down to 250 mV in 65 nm CMOS," Solid-State Circuits, IEEE Journal of , vol.43, no.1, pp.256-265, Jan. 2008

Intégration d'un bioamplificateur complètement différentielle et d'un modulateur sigma delta pour électrode iEEG

Christian Langlois Dansereau
Génie Électrique
Christian.langlois-dansereau.1@ens.etsmtl.ca

Rémi Paquette
Génie Électrique
remi.paquette.1@ens.etsmtl.ca

Bioamplificateur différentiel – modulateur sigma delta différentiel – iEEG

I. INTRODUCTION

L'épilepsie est une maladie qui touche plus de 3 millions de personnes aux États-Unis, l'une des procédures pour identifier la région, à l'intérieur du cerveau, d'où provient la crise épileptique est d'y insérer des électrodes afin d'enregistrer l'activité cérébrale à proximité de ceux-ci. Pour l'instant le signal mesuré aux bornes de l'électrode est amplifié uniquement dans l'appareil qui en fait l'acquisition or lors du transfert une perte de signal est envisageable dans les fils qui séparent l'électrode à l'appareil d'acquisition. Nous proposons ici de pallier à ce problème en rapprochant l'amplification de la source du signal en le plaçant à l'intérieur même de l'électrode, de cette façon nous pensons pouvoir améliorer le rapport signal sur brut ainsi que la qualité générale du signal.

Afin de réduire les pertes en chaleur et de minimiser le bruit créé par notre système d'amplification nous allons utiliser un circuit de bio amplificateur à très faible bruit et faible consommation pour ne pas rajouter de bruit parasite ou chauffer la zone implantée, de plus pour améliorer le taux de rejet en mode commun nous utiliserons des amplificateurs complètement différentiels. Nos filtres passe-bande seront aussi en configuration différentielle.

Le but initial du projet était d'intégrer à proximité des électrodes un bio amplificateur différentiel amplifiant d'un gain de 100 (ou plus) des signaux de l'ordre 10 μ V à 1mV avec une bande de fréquence de 100Hz jusqu'à 1KHz. Les signaux amplifiés seront modulés par un modulateur sigma delta du deuxième ordre complètement différentiel qui permettra une résolution de 10 à 12 bits.

II. AMPLIFICATEUR OPERATIONNEL DIFFERENTIEL AVEC (CMFB)

Fig.1 nous montre la topologie employée pour réaliser notre amplificateur opérationnel complètement différentiel qui a été montré dans [1]. Cet amplificateur se divise en trois parties : l'amplificateur de transconductance différentielle avec, le circuit de biais et finalement le circuit de rétroaction du mode commun (CMFB) qui nous permet de supprimer le mode commun. Les trois circuits seront détaillés dans la section suivante.

A. OTA différentiel

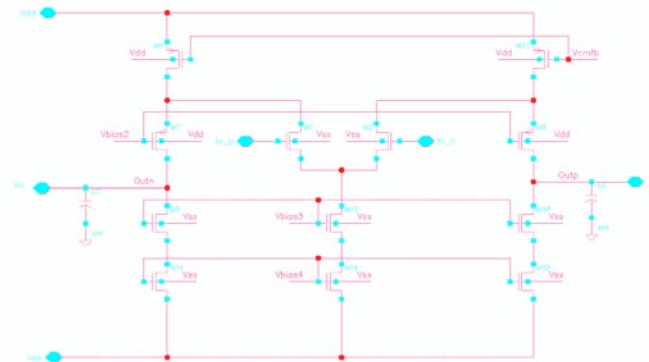


Figure 1: Circuit OTA

Les sorties d'un circuit complètement différentiel sont égales et de polarités inverses. D'autres propriétés comme une meilleure linéarité et une amélioration du taux de rejet en mode commun font aussi partis de ces avantages. Le circuit est constamment alimenté par un courant de 15 μ A fournie par les transistors M6 et M32 qui sont contrôlés par le circuit de CMFB. L'étage du bas soit M9 à M12 sont traversé par un courant de 10 μ A. Nous avons donc un control sur le courant de sortie grâce à M1 et M2.

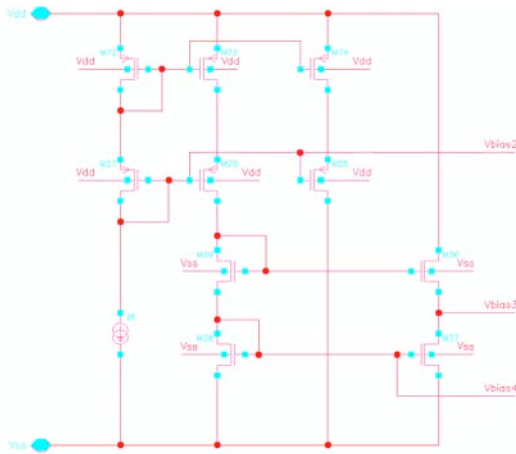


Figure 2: Circuit des Biais

La figure2 montre le circuit de biais qui est utilisé pour polariser correctement nos transistors dans la zone linéaire. Il est à noter les exceptions de grandeur des transistors M27, M39 qui ont été modifiés de manière à fournir la bonne tension de polarisation.

| Transistors | Ratio (W/L) (μm) |
|---------------------------------|-------------------------------|
| M_N | 15/5 |
| M_P | 70/5 |
| M ₅ , M ₆ | 105/5 |
| M ₂₇ | 17.5/5 |
| M ₃₉ | 35/10 |

Tous les transistors de type N sont de dimension 15/5 et les transistors de type P 70/5 à l'exception de ceux spécifiés dans le tableau ci-dessus.

B. Circuit CMFB

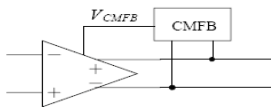


Figure 3: Circuit CMFB

Puisque nous n'avons pas de référence à la masse comme c'est le cas avec un ampli op traditionnel nous devons introduire un circuit de rétroaction du mode commun (CMFB) pour supprimer ce dernier qui serait sinon, amplifié par notre système.

Un circuit de CMFB est généralement nécessaire dans un amplificateur complètement différentiel pour supprimer la composante en mode commun. En effet, le CMFB effectue la différence entre la moyenne des deux sorties de l'amplificateur $V_{CMFB} = \frac{V_o^+ + V_o^-}{2}$ et la tension en mode

commun qui est donnée par : $V_{CM} = \frac{V_{DD} - V_{SS}}{2}$ puis injecte cette erreur au nœud d'amplification afin de corriger la sortie.

Dans le cas qui nous concerne la tension $V_{CM} = 0\text{v}$ puisque $V_{DD} = 0.9\text{v}$, $V_{SS} = -0.9\text{v}$.

Nous pouvons donc dire que l'emploi d'un circuit de rétroaction en mode commun nous permet de fixer le point d'opération DC ainsi que d'éliminer la composante commune à la sortie.

$$V_{\text{erreur}} = V_{CMFB} - V_{CM}$$

Les entrées du circuit sont Outp et Outn de l'OTA tandis que la sortie est Vcmfb. L'utilité de ce circuit est qu'il rejette tout ce qui est différentiel et amplifie ce qui est commun (on remarque que c'est l'exact opposé de ce que fait un ampli op simple. Il va donc soustraire la moyenne d'Outp et Outn à VCM de sorte que nous obtenions 0 dans le cas où il n'y aurait pas d'erreur.

Le calcul de l'erreur est copié par le miroir de courant formé par M31 puis réinjecté à la grille de transistor M6 et M32 de l'OTA pour compenser. Ce qui fait en sorte que si Outp et Outn passent sous VCM, le courant de drain de M45 et M46 va commencer à baisser et donc Vcmfb va tendre vers VDD. Cette augmentation de Vcmfb fera en sorte que le courant de drain des transistors M6 et M32 baissera. Comme le courant passant par M9 – M12 est constant, le résultat sera une diminution de la tension moyenne à la sortie. Une analyse similaire peut être faite si Outp et Outn passent au-dessus de VCM mais cette fois la tension moyenne à la sortie augmentera.

C. Calcul du taux de réjection du mode commun (CMRR)

Un aspect important de l'amplificateur différentiel est son aptitude à rejeter le signal commun appliqué à ses entrées. En effet, la majorité des bruits à filtrer vont être commun aux deux lignes d'entrées il est donc très avantageux d'avoir un fort taux de réjection du mode commun (CMRR).

Gain en mode différentiel

$$A_v = \frac{v_{out}^+ - v_{out}^-}{v^+ - v^-},$$

Gain en mode commun

$$A_c = \frac{V_{out}}{V_c},$$

$$CMRR = 20 \cdot \log \left| \frac{A_v}{A_c} \right|$$

D. Résultat en Boucle ouverte

| Paramètres | Valeurs |
|-------------------------------|------------------------|
| Tension d'alimentation | ± 0.9V |
| Courant d'alimentation | 162.3µA |
| Gain DC | 65.93 (dB) |
| Fréquence de gain unitaire | 5.913 MHz |
| Marge de phase | 54.99 (deg) |
| Marge de gain | 35.42 (dB) |
| Bruit total référé à l'entrée | 2.377µV _{RMS} |
| Puissance totale consommée | 292µW |

Nous avons donc un amplificateur différentiel de 292µW de faible consommation considérant qu'il est différentiel et qu'il inclut le circuit de biais et le circuit CMFB. Il est à noter que notre application concerne des électrodes filées (directement reliées à de l'équipement externe), il n'est donc pas autant nécessaire de chercher à en réduire la consommation comme c'est le cas avec des électrodes implantées avec batterie ou lien inductif.

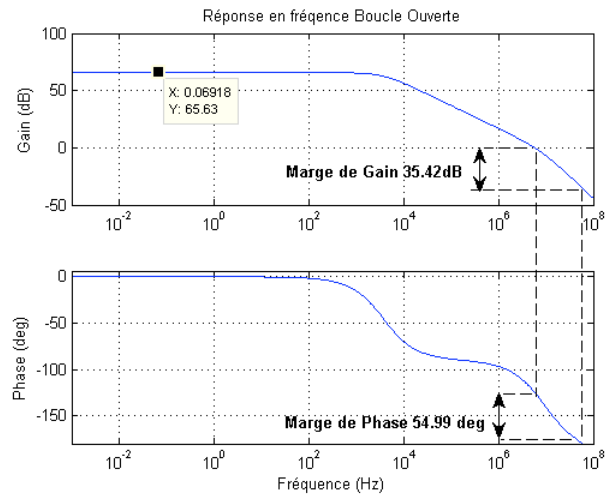


Figure 4: Marge de Gain et Marge de phase

Un aspect important de l'amplificateur différentiel est son aptitude à rejeter le signal commun appliqué à ses entrées. En effet, la majorité des bruits à filtrer vont être commun aux deux lignes d'entrées il est donc très avantageux d'avoir un fort taux de réjection du mode commun (CMRR).

E. Réponse en fréquence du CMRR

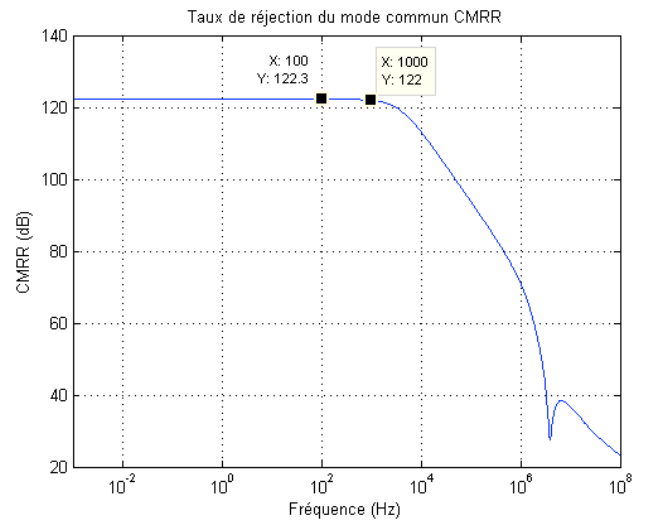


Figure 5: CMRR

La majorité des amplificateurs opérationnels ont un CMRR de 90 dB et les amplificateurs de plus haute fidélité peuvent atteindre des CMRR aussi élevés que 120 dB. Nous avons donc intérêt dans l'application qui nous concerne (iEEG) d'avoir le meilleur CMRR possible afin de réduire au minimum les bruits parasites du 60 Hz ainsi que les bruits induits par la physiologie du patient.

III. AMPLIFICATEUR ET FILTRE NEURONAL DIFFERENTIEL

La bande spectrale à amplifier qui nous intéresse se situe entre 100Hz et 1kHz, nous avons donc besoin de supprimer tout ce qui est commun entre nos deux sondes. Pour cette raison nous avons fait appel à un amplificateur différentiel qui possède un taux de rejet en mode commun bien plus élevé qu'un ampli op traditionnel.

A. Montage

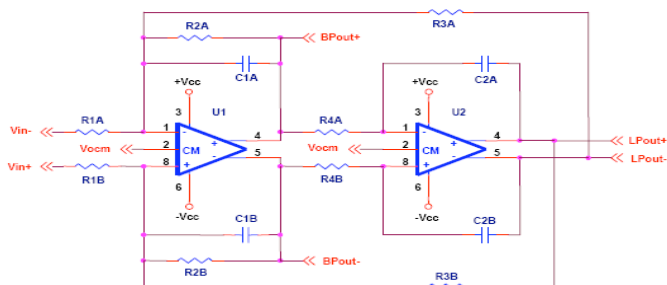


Figure 6: Montage filtre passe bande

Nous avons utilisé le montage de 2e ordre de la fig. 2 pour notre amplificateur passe-bande [3]. L'amplification ainsi que le filtrage de notre signal s'effectuent en deux parties : le premier étage à un gain variable de $Gain = \frac{R_2}{R_1}$ en fonction de R1 et le deuxième étage sert à améliorer le passe-bande en augmentant l'ordre du système ; ce dernier comporte un gain unitaire. Il est à noter qu'un circuit de tampon comportant un gain unitaire est nécessaire pour utiliser l'OTA complètement différentiel en boucle fermée avec des charges (pour des raisons de clarté le circuit n'a pas été montré dans ce document). Il est important de mentionner que les deux côtés de l'amplificateur différentiel doivent être symétriques sinon des distorsions provenant des harmoniques de second ordre peuvent apparaître.

B. Fonction de transfert

Forme générale d'un filtre passe-bande :

$$H(s) = \frac{H_0 \cdot \beta \cdot s}{s^2 + \beta \cdot s + \omega_0^2}$$

La fonction de transfert de ce filtre est la suivante :

$$H(s) = \frac{-s}{C \cdot R_1} \frac{1}{s^2 - \frac{s}{C \cdot R_2} + \frac{1}{C^2 \cdot R_3 \cdot R_4}}$$

C. Équations

Caractérisation du filtre

$$H_0 = \frac{R_2}{R_1}$$

$$C_1 = C_2 = C, R_3 = R_4 = R$$

$$R_2 = R \cdot Q$$

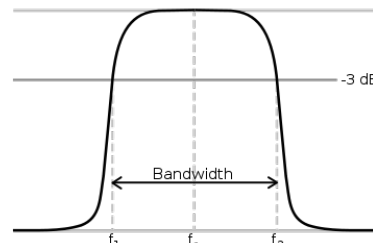


Figure 7: réponse en fréquence d'un filtre passe bande

La figure du bas montre la réponse en fréquence d'un filtre passe-bande.

Le facteur de qualité (Q) représente la sélectivité du filtre passe-bande.

Facteur Q=0.05 en rouge et en bleu Q=0.1

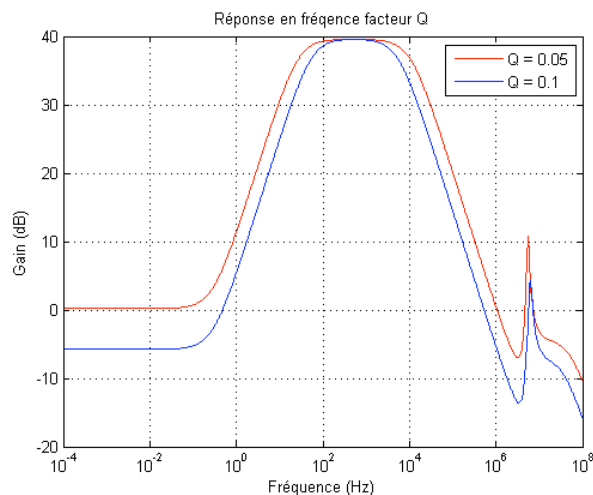


Figure 8: Réponse en fréquence du facteur Q

Nous pouvons voir sur la figure8 l'influence du facteur Q sur la réponse en fréquence de notre filtre. Il faut donc l'ajuster pour avoir un gain constant tout au long de notre région d'intérêt. Plus le facteur Q est grand plus la bande passante du filtre sera étroite, au contraire si le facteur Q est petit notre bande passante sera plus grande.

$$Q = \frac{f_0}{BW}$$

$$f_0 = \frac{1}{2\pi R \cdot C}$$

$$BW = \frac{1}{2\pi R_2 \cdot C}$$

Comme nous utilisons un système complètement différentiel la grande majorité des bruits parasites du système comme le 60Hz provenant du secteur devrait être supprimée; ainsi que la majorité des artefacts physiologiques comme l'activité cardiaque, respiratoire et cérébrale éloignée de la région implantée, ce qui devrait considérablement améliorer le rapport signal sur bruit. Ceci est dû au fait que le système est parfaitement symétrique et donc les bruits parasites seront communs aux deux côtés du circuit.

D. Montage 8e ordre

Pour améliorer notre filtre, nous pouvons augmenter l'ordre du système en rajoutant en cascade le filtre de 2e ordre, mais avec un gain unitaire ($R_1 = R_2$) pour former un filtre du 8ième ordre, comme nous pouvons le voir sur la figure suivante :

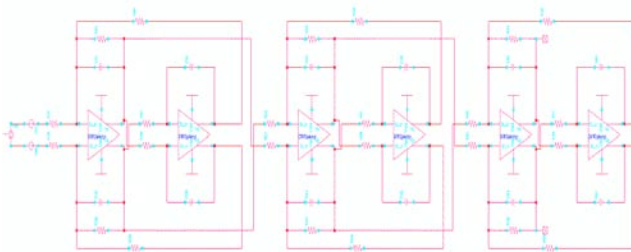


Figure 9: Montage 8ième ordre

De cette façon, nous sommes capables d'avoir une atténuation plus rapide et plus forte à l'extérieur de notre région d'intérêt.

IV. RESULTATS

Réponse en fréquence du filtre passe-bande du 2e ordre (bleu) et celle du filtre de 8e ordre, on peut voir que la bande passante qui comporte notre région d'intérêt située entre 100 Hz et 1 kHz est concernée et que l'augmentation de l'ordre du système nous permet une meilleure atténuation à l'extérieur de cette région ainsi qu'une coupure plus abrupte aux abords de la région d'intérêt ce qui est très désirable sachant que nous avons du bruit parasite à proximité de la bande provenant du 60 Hz.

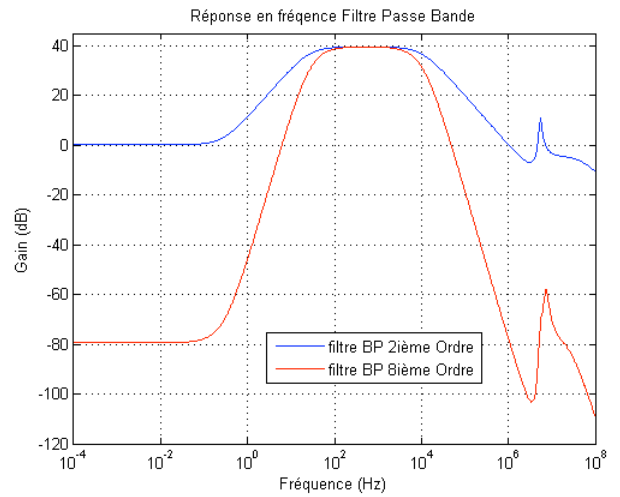


Figure 10: réponse en fréquence 2ième et 8ième ordre

V. CAPACITES COMMUTEES

Le premier choix qui intervient lorsqu'on design un modulateur sigma delta, est le choix entre les capacités commutés (SC) ou les composants RC. En général on utilise les SC lorsqu'on veut intégrer ce type de modulateur sur une puce et on utilise les composants RC au niveau système. Les avantages des SC sont; qu'ils peuvent être simulés facilement, ils sont aussi facilement implantables avec la technologie CMOS et ils sont insensibles à la gigue de phase des horloges aussi longtemps qu'ils aient le temps de se charger. Un autre avantage est que la position des pôles et des zéros sont fixés par le ratio des condensateurs ce qui permet de les fixer avec une excellente précision. Malgré ces avantages, les CS sont des circuits d'échantillonnages et peuvent potentiellement produire un repliement de spectre du bruit de bande extérieur dans la bande d'intérêt. Les SC requièrent aussi de grands courants qui peuvent parfois être difficile à générer pour des sources extérieures. Les SC nous permettent de simuler de grosses valeurs de résistance généralement plus grande que $1M\Omega$.

Schémas SC qui simule une résistance :

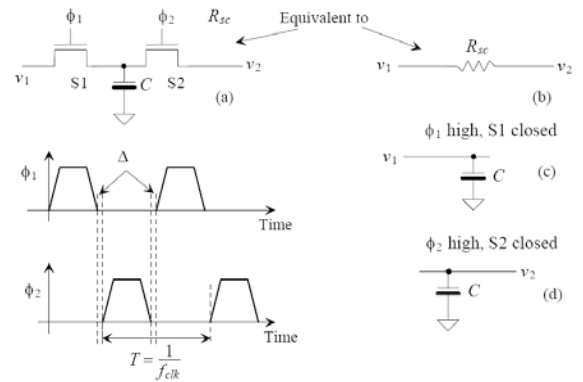


Figure 11: Résistance simulée par capacité commutée associée avec les formes d'ondes et les circuits équivalent.

Les signaux d'horloges ϕ_1 et ϕ_2 forment deux phases avec une fréquence f_{clk} et une période T_{clk} , il est absolument nécessaire qu'ils ne s'entrelacent pas sinon l'effet des SC ne sera pas maintenue. Premièrement, considérons le cas où l'interrupteur S1 est fermé. Lorsque ϕ_1 est à 1, le condensateur C se charge à la valeur v_1 . Le nombre de charge accumulé dans cet intervalle est :

$$q_1 = Cv_1$$

De l'autre côté, lorsque l'interrupteur S2 est fermé, la quantité de charge accumulée est la suivante :

$$q_2 = Cv_2$$

Si les tensions v_i et v_o ne sont pas égales, tout en mentionnant que les interrupteurs S1 et S2 ne peuvent pas être fermés en même temps étant donné que les horloges ne doivent pas s'entrelacer, une quantité de charge équivalente à la différence de charge accumulée va donc se transférer entre v_i et v_o à chaque période T_{clk} .

$$\begin{aligned} \Delta q &= C\Delta v \\ \Delta v &= v_i - v_o \\ \rightarrow \Delta q &= C(v_i - v_o) \end{aligned}$$

Etant donné que nous travaillons avec un système sur-échantillonné, on peut donc supposer que les tensions d'entrée et de sortie varient lentement par rapport à f_{clk} on peut donc écrire l'équation du courant moyen transféré dans un intervalle T_{clk} :

$$\begin{aligned} \frac{\Delta q}{T_{clk}} &= \frac{C(v_i - v_o)}{T_{clk}} \\ i_{moy} &= \frac{C(v_i - v_o)}{T_{clk}} = \frac{(v_i - v_o)}{R_{eq}} \end{aligned}$$

La résistance équivalente d'un circuit à capacité commuté est donnée par l'expression suivante :

$$R_{eq} = \frac{T_{clk}}{C} = \frac{1}{f_{clk}C}$$

Pour obtenir un bon fonctionnement sur une grande variation de tension, il est primordial d'utiliser des interrupteurs avec une résistance relativement constante sur cette plage. Donc l'utilisation d'un seul transistor est à éviter pour l'utilisation d'une plage d'entrée plus étendue. Voici trois approches très répandues pour l'implémentation d'interrupteurs:

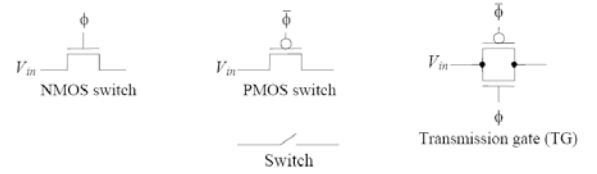


Figure 12: MOSFET pour l'intégration d'interrupteurs

Et voici la courbe représentant leurs résistances en fonction de la tension d'entrée :

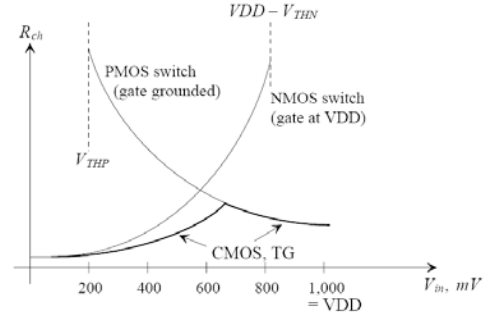


Figure 13: Modèle de résistance petit signal d'interrupteur MOSFET

Pour obtenir une caractéristique de résistance plus linéaire en fonction d'une plage d'entrée moins restreinte, il est préférable d'utiliser l'interrupteur constitué d'un PMOS et d'un NMOS dos à dos.

A. Modulateur Sigma Delta

Le modulateur Sigma Delta $\Sigma\Delta$ est la première étape dans la réalisation d'un convertisseur analogique numérique. Ce type de modulateur transpose le bruit 1/f et le bruit de quantification à l'extérieur de la bande d'intérêt, à condition que le système soit suffisamment suréchantillonné. La sortie de ce modulateur n'est qu'une suite de 0 et de 1 en série qui, en valeur moyenne, est égale au signal d'entrée. Le modulateur sigma delta échange le suréchantillonnage contre la relaxation des spécifications des composants utilisé pour le réaliser. En théorie un modulateur du premier ordre est suffisant, mais on constate assez rapidement que l'utilisation du modulateur du deuxième ordre permet un meilleur filtrage des non-linéarités du circuit ainsi que d'être beaucoup moins affecté par les effets parasites d'une réalisation sur VLSI et l'utilisation de SC pour l'intégration de résistance simulé.

L'architecture du modulateur est implémentée en combinant deux intégrateurs sommateur avec un comparateur et un convertisseur numérique à analogique D/A de 1bit comme présenté dans la figure suivante :

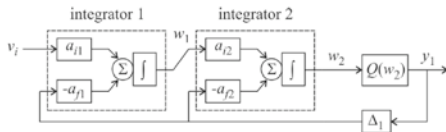


Figure 14: schémas bloc du modulateur sigma delta

Le bloc le plus important de cette architecture est le premier sommateur intégrateur, car c'est celui qui comporte le plus gros gain. L'équation de sortie de celui-ci est :

$$w((n+1)T_s) = w(nT_s) + \sum a_m v_m(nT_s)$$

En appliquant la transformée en z on obtient :

$$W(z) = \frac{z^{-1}}{1-z^{-1}} \sum a_m V_m(z)$$

Les deux derniers blocs du modulateur à réaliser sont le comparateur et le D/A 1bit. Le comparateur agit comme convertisseur analogique numérique 1bit qui convertit son entrée en une sortie en un des deux codes binaires de sortie. Cette sortie est ensuite reconvertie en analogique par le D/A qui est ensuite retourné dans les deux sommateurs intégrateurs.

B. Architecture de l'intégrateur

L'intégrateur peut-être réalisé avec une structure de capacité commuté comme le précise le schéma suivant :

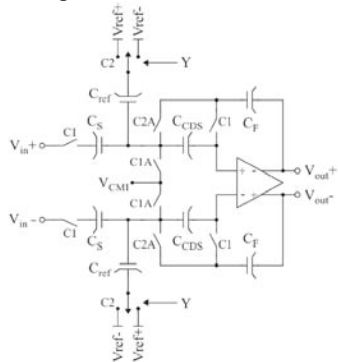


Figure 15: Schéma de l'intégrateur sommateur avec capacités commutées

Pour une raison de manque de temps, la réalisation de cette architecture n'a pas été réalisée malgré qu'un circuit à capacité commuté a été simulé et les résultats prouvent bien leurs fonctionnements. Donc, avons donc utilisé des résistances pour la réalisation du modulateur.

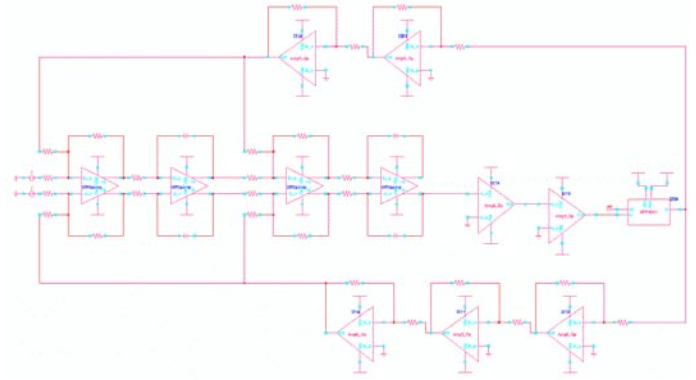


Figure 16: Schémas Cadence du modulateur sigma delta du deuxième ordre

VI. RESULTATS

Voici les résultats temporels obtenus avec les logiciels MatLab et Cadence, la première fenêtre représente le signal d'entrée du modulateur, le suivant est le résultat du premier intégrateur sommateur et finalement le signal moduler sigma delta.

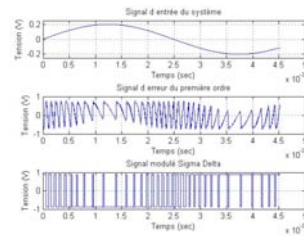


Figure 17 : Résultats de simulation temporelle Cadence

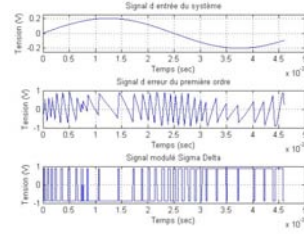


Figure 18: Résultats de simulation temporelle MatLab

Finalement, pour obtenir un convertisseur analogique numérique sigma delta il suffit de filtrer numériquement le signal de sortie du modulateur. Donc, voici le spectre du signal modulé ainsi que celui filtré numériquement obtenus avec les simulations MatLab. Avec le rapport du signal sur bruit SNR obtenu, on obtient une valeur de 15 bits efficaces ENOB, il est donc facilement envisageable d'obtenir un ENOB de 12bits avec la simulation Cadence. Cependant, cette mesure n'a pas été faite à cause des contraintes de temps.

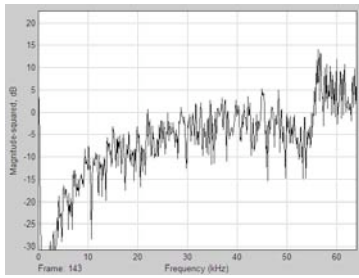


Figure 19 : FFT du signal modulé avant le filtre numérique

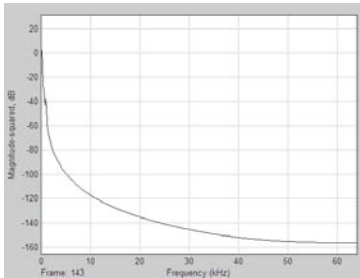


Figure 20: FFT du signal après le filtre numérique

La translation du bruit, causé par le modulateur, dans une bande extérieure nous oblige à utiliser des filtres numériques a posteriori pour atténuer leurs composantes spectrales. Cependant, c'est filtre très sélectif sont beaucoup plus facile à designer que les filtres analogiques qui auraient dû être utilisé sans ceux-ci. Pour améliorer le système, on

peu augmenter le facteur de suréchantillonnage, ce qui diminue le bruit dans la bande d'intérêt de 3dB pour une augmentation de résolution numérique de $\frac{1}{2}$ bit. Une autre approche pour maximiser la résolution du convertisseur serait d'utiliser une quantification sur plus d'un bit. Il est à mentionner que l'utilisation d'un modulateur du deuxième ordre nécessite une analyse de stabilité pour assurer un bon fonctionnement sur une bande de fréquence donnée.

VII. BIBLIOGRAPHIE

- [1] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit design, layout, and simulation" IEEE Press Serie on Microelectronic systems, Stuart K. Tewksbury, Series Editor, 902p., 1998.
- [2] Steven R. Norsworthy, Richard Schreier and Gabor C. Temes, "Delta-Sigma Data Converters, Theory, Design, and Simulation" IEEE Press, 476p., 1997
- [3] A Differential Op-Amp Circuit Collection
focus.ti.com/lit/an/sloa064/sloa064.pdf
- [4] <http://cmosedu.com/cmos1/book.htm>
<http://www-k.ext.ti.com/SRV/S/Data/ti/KnowledgeBases/analog/document/faqs/diexpert.htm>
- [5] <http://www-k.ext.ti.com/SRV/S/Data/ti/KnowledgeBases/analog/document/faqs/q.htm>

Log-Domain Wavelet Filters for Spike Detection

Anthony Ghannoum

Polystim Neurotechnologies Laboratory,

École Polytechnique de Montréal

Email: anthonyghannoum@gmail.com

Abstract—A methodology for synthesizing wavelet filters intended for action potential detection is presented. The Padé method is used to suitably approximate the transfer function. Following that, the technique of orthonormal ladder filters is used to obtain an optimized state-space structure in terms of sparsity, dynamic range, and sensitivity. In order to further reduce power consumption, the concept of CMOS log-domain integrators was explored. Simulations of the integrator show the tunability of this basic building block, and Verilog-A simulations were performed as a proof of concept of the overall system.

I. INTRODUCTION

Recent biomedical devices incorporate brain-computer interfaces made up of microelectrode arrays combined with implantable integrated circuits. Such devices typically record or stimulate extracellular biopotentials in order to prevent or relieve patients with neurological dysfunctions. The system is typically composed of an internal recording electrode matrix, an integrated circuit, and an RF link. The electrode matrix is used to capture as much biopotentials as possible from different neurons for further processing, but the RF link transmission bandwidth becomes the bottleneck at this point[1].

To overcome that, several techniques of on chip action potential (AP) or spike detection have been proposed in the literature [1][2][3]. These have the advantages of data reduction, by just sending the detected AP instead of the raw signal, and multi-unit spike classification [2], which is mainly due to spike superposition. A straight-forward approach to spike detection is a fixed amplitude thresholding scheme which performs pretty poorly in the presence of noise and overlapping APs. Variants of that have been proposed in the literature that use absolute value operators, adjustable thresholds, and energy operators like the Teager Energy Operator (TEO). Moreover, the APs may vary due to the differences in the relative positions of the source cells with respect to the electrodes, hence one would like to sample more AP features which can be reduced at a subsequent stage by pattern recognition techniques like Linear Discriminant Analysis (LDA), or Principle Component Analysis (PCA). Another important factor to be considered is the power consumption, since most of these devices would be implantable and hence heating may cause irreparable tissue damage.

Wavelet transform (WT) analysis has proven to be quite appealing in the field [1][3], in that it provides good bases for the analysis of local oscillatory signals much like APs. Furthermore, wavelets have been used for signal denoising and compression.

In this article, we propose the implementation methodology of a low-power analog continuous wavelet transform (CWT) filter bank; the methodology can be applied to achieve different families of the wavelet transform and tends to increase the dynamic range. In order to achieve low power consumption the concept of log-domain integrators is utilized [3][4][5][6], these are intended to be implemented in a CMOS 0.18 μm technology. The overall process verification is provided through Verilog-A simulations using behavioral blocks.

Section II introduces the Wavelet Transform. Section III describes how the wavelet transfer function can be approximated prior to implementation. Section V treats the log-domain integrator at hand. Section IV describes state-space filter synthesis formulation and the Verilog-A simulations and finally the conclusion is presented in Section VI.

II. WAVELET TRANSFORM

In signal analysis, a transform is usually applied like the common Fourier Transform (FT); but in many applications, it is required to analyze a transient locally oscillatory (non-stationary) signal. The FT, in such cases, is not useful since it loses the “time information”, only the frequency components are kept, hence as a substitute, the Short Time Fourier Transform (STFT) is used, but this again suffers from the problem of choosing an appropriate sliding window size to analyze. An obvious time-frequency resolution trade-off is seen [3].

The WT at a certain scale a and position τ is described by:

$$CWT(\tau, a) = \frac{1}{\sqrt{a}} \int_{-\infty}^{\infty} x(t) \psi^* \left(\frac{t - \tau}{a} \right) dt \quad (1)$$

where $\psi(t)$ is the ‘mother wavelet’ (which is scaled and shifted); this can be thought of as a multi-scale convolution, hence the signal would be mapped into a 2D function of time and frequency [3]. The result is a transform with good time and poor frequency resolution at high frequencies, and good frequency and poor time resolution at low frequencies.

The mother wavelet or base could be almost any zero-integral (oscillatory) function that is reversible, hence satisfies the admissibility condition:

$$C_{\Psi} = \int_{-\infty}^{\infty} \frac{|\Psi(\omega)|^2}{\omega} d\omega < \infty \quad (2)$$

where $\Psi(\omega)$ is the FT of the mother wavelet. This condition forces wavelet filters to be bandpass filters (zero component at zero frequency). Different wavelets have been introduced in the literature like the Haar, Daubechies, Mexican Hat, Morlet,

and first derivative of the Gaussian function, other papers use wavelet approximations made of sinusoidal functions with a Gaussian envelope [1][3].

It should be noted that the Discrete Wavelet Transform (DWT) has some advantages over the CWT in terms that it can be perfectly inverted, and thus is quite robust in terms of signal denoising and compression. But in our medical application, power consumption and chip area are the main issues at hand, so the CWT would be the better candidate [1]. We should note that the CWT can be thought of as performing the function of a *matched filter* in that the wavelet base may actually be very similar to the shape of an action potential.

The APs concentrate their energy in a few coefficients in the transform domain that can be perceived as the AP ‘signature’, the rest of the signal is considered as noise and is distributed on all the coefficients [1]. There is no clear justification of which wavelet base to use for AP detection since testing on actual AP data is not, it has even been mentioned in [1] that the wavelet is chosen in a rather ad-hoc manner. Two wavelets will be considered in this article namely the Morlet Wavelet and the first derivative of the Gaussian, these have been used or approximated extensively for that same purpose in the literature [3][7]. Wavelet filter banks covering the range [100Hz, 10kHz] [1], will be considered for our application.

III. WAVELET PADÉ APPROXIMATION

In order to be able to synthesize a wavelet filter, one must first come up with the linear differential equations in the time domain or the transfer function in the Laplace domain. Unfortunately, such a formulation is not always readily available in the case of such filters, so an approximation should be made that best describes the impulse response of the required wavelet.

We will be going for the Padé approximation which has been well exploited in the literature [3][7][1], it is basically the best approximation of a function by a rational function of given order around a certain point. It might be applied in the cases where the Taylor series does not converge, but the fact of it outputting a rational expression makes it ideal for approximating a function in the Laplace domain since it would result in a transfer function form with poles and zeros (as opposed to a Taylor series that contains only zeros).

In order to obtain the Padé coefficients, we start by getting the Laplace transform of our time function, perform a Taylor series expansion of our function in the Laplace domain around a certain point, and then truncate it up to a certain order $k = m + n$. The Padé approximation for a function $F(s)$ is given by:

$$\hat{F}(s) = \frac{P(s)}{Q(s)} = \frac{p_0 + p_1s + \dots + p_ms^m}{q_0 + q_1s + \dots + q_ns^n} \quad (3)$$

With a rational function that has a numerator of order m and a denominator of order n , the original function can be approximated up to order $m + n$. The computation of the coefficients of $P(s)$ and $Q(s)$ has been described in [3],[7].

The Padé approximation was implemented in Matlab, and the resulting transfer functions of a [3/5] first derivative of the Gaussian is the following:

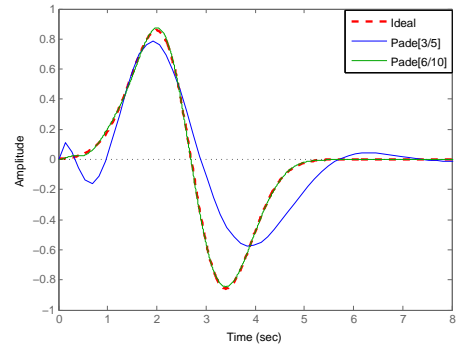


Fig. 1. Approximation of first derivative of Gaussian

$$H_{DGauss}[3/5] = \frac{3.395s^3 - 13.1s^2 + 75.61s - 0.7985}{s^5 + 7.886s^4 + 29.99s^3 + 65.71s^2 + 80.69s + 43.6}$$

Note that different approximation points may lead to different transfer functions, and that is one of the main weaknesses of this approximation method in that it can be stuck in local optima in terms of the approximation accuracy. Figure 1 shows a Padé approximation of the first derivative of the Gaussian. Note the slight imperfection at the low order approximation. Since we are not concerned with perfect reconstruction of our signal but rather by AP detection, such an imperfection may be acceptable in order to reduce the filter order and hence reducing the size and power consumption subsequently [7].

IV. STATE-SPACE SYNTHESIS

In order to synthesize our approximated transfer function we will be going for a state-space synthesis methodology similar to the one presented in [6]. A state-space formulation relies on basic integrator blocks that can be tuned to match the coefficients of the mathematically formulated state-space. The integrator block used in our case is a log-domain integrator, since it proved to be quite robust in the literature [3][7][6][4][5], in terms of dynamic range and low power consumption, this will be treated in Section V.

The issue at hand is to be able to formulate a generic transfer function that contains poles and zeros by the use of only integrator blocks, $(\frac{1}{s})$. Mathematically, the state-space formulation of a transfer function is not unique and hence there are several equivalent matrices that lead to the same result. But in terms of filter synthesis, different matrix coefficients may lead to the premature saturation of some elements before others; hence this distorts the filter output or reduces its usable dynamic range. Another important factor that should be targeted is the sparsity of the matrices used. By reducing the coefficients used, we may be able to reduce the number of integrators and hence save on chip area and power consumption. Moreover, one should also take into account the filter sensitivity, meaning that coefficient mismatch should have a minimal effect.

An attractive formulation was presented in [8], called orthonormal ladder filters. Such a state-space structure is rather simple to design, has sparse matrices, a good dynamic range, and sensitivity properties comparable to the singly terminated

LC ladder.

An N^{th} order state-space system is described by the following equations in the Laplace domain:

$$sX(s) = AX(s) + bU(s) \quad (4)$$

$$Y(s) = c^T X(s) + dU(s)$$

where $U(s)$ is the input signal, $X(s)$ is the N state vector which maps to the integrator outputs, $Y(s)$ is the output vector. The coefficient A, b, c, d are respectively the state, input, output, and feed-through matrices. The transfer function of that system is:

$$T(s) = c^T (sI - A)^{-1} b \quad (5)$$

In order to accomplish that, we would be using a two step process as described in [8], first we would describe our system using an all-pole singly terminated ladder (whose states are described by the reactive L and C components), which is then scaled to form the orthonormal ladder (the scaling process does not change the system poles). The resulting A matrix is tridiagonal and very skew-symmetric except for a single non-zero diagonal element [8], also the b vector has a single element at the N^{th} position.

The process was implemented in Matlab and as an example, the resulting matrices for a [3/5] Padé approximation of the first derivative of the Gaussian is:

$$A = \begin{bmatrix} 0 & 1.07 & 0 & 0 & 0 \\ -1.07 & 0 & 1.53 & 0 & 0 \\ 0 & -1.53 & 0 & 2.21 & 0 \\ 0 & 0 & -2.21 & 0 & 4.66 \\ 0 & 0 & 0 & -4.66 & -7.89 \end{bmatrix} \quad b = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 1.58 \end{bmatrix}$$

$$c = [0.53 \quad 2.57 \quad -0.81 \quad 0.46 \quad 0] \quad d = [0]$$

The final Verilog-A is implemented on a [6/10] Padé approximation of the Morlet wavelet.

The main drawback of this method is in terms of its noise contribution, but the circuit can be tweaked by changing the capacitance values in the state-space structure in the final circuit [3].

V. LOG DOMAIN INTEGRATOR

In order to be able to implement the overall filter, the basic building block that we chose is the log-domain integrator, this block uses what is called a *companding* approach, hence operate in a non-linear manner internally but are linearized with some additional input/output stages as seen in Figure 2. These have the advantages of low power consumption and providing a large dynamic range in concept. Most architectures of such log-domain integrators were initially proposed for BJT and BiCMOS architectures, but have been extended to be used

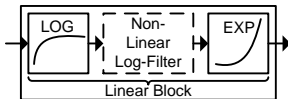


Fig. 2. Companding - Linear input/output

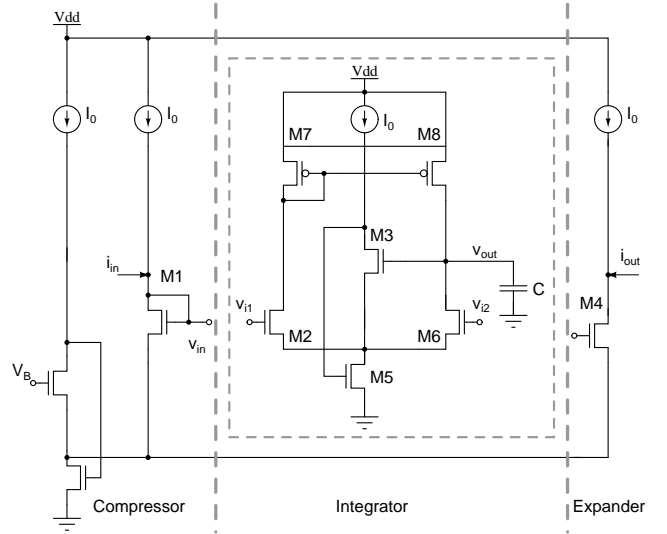


Fig. 3. Differential input log-domain integrator

with CMOS transistors operating in Weak Inversion (WI). The basic concept is that the input current is logarithmically compressed into a voltage which is then integrated (non-linearly), and the output voltage is a compressed one which has to be decompressed exponentially into a current[6]. This exponential characteristic is apparent in WI:

$$I_D(WI) = 2n\mu C'_{OX} U_T^2 \left(\frac{W}{L} \right) e^{\frac{V_{GS} - V_T}{nU_T}} \quad (6)$$

where n, μ, C'_{OX} , and U_T are the substrate factor, mobility, capacitance per unit area, and thermal voltage respectively.

The integrator used is the one proposed in [4] and shown in figure 3. This is a differential input log-integrator. The input and output stages are formed by the matched transistors $M1$ and $M4$ that are operated in WI. The transistor $M1$ compresses the input current i_{in} into a voltage v_{in} , whereas the output voltage v_{out} is expanded back, by transistor $M4$, into a current i_{out} to regain linearity. Internally, the integrator operates very similarly to an operational transconductance amplifier (OTA), in that the current mirror ($M7$ - $M8$) copies the positive branch current passing through $M6$ to fill the output capacitor, while the negative branch is draining the capacitor. Note that $M2$ and $M6$ are both operated in WI in order to achieve the internal exponential currents. The current in the capacitor is expressed by:

$$i_c = C \frac{dv_{out}}{dt} = I_{D0} \left(e^{\frac{v_{i1}}{nU_T}} e^{-\frac{v_S}{U_T}} - e^{\frac{v_{i2}}{nU_T}} e^{-\frac{v_S}{U_T}} \right) \quad (7)$$

where I_{D0} is the leakage current. The integrator tunability is achieved through the use of $I_0, M3$, and $M5$ as an adjustable level shifter [4]. What this does is that v_S follows the capacitor voltage according to $I_{D0} e^{-\frac{v_S}{U_T}} = I_0 e^{-\frac{v_{out}}{nU_T}}$. Combining that with equation (7), and performing the chain rule [6] we obtain the log-integrator equation to be the following [4]:

$$e^{\frac{v_{out}}{nU_T}} = \frac{1}{\tau_0} \int \left(e^{\frac{v_{i1}}{U_T}} - e^{\frac{v_{i2}}{U_T}} \right) dt, \quad \text{where } \tau_0 = \frac{nU_T C}{I_0} \quad (8)$$

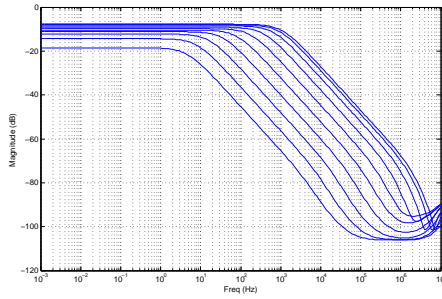


Fig. 4. Parametric sweep on I_0 from $2nA$ to $1\mu A$

From equation (8), we may clearly see the internal operation of the log-integrator. The inputs v_{i1} and v_{i2} are converted to an exponential, and the output v_{out} is logarithmic. Hence by adding a logarithmic compressor (LOG) at the input and an exponential expander (EXP) at the output stage we would restore the overall linearity. We should also notice that the integrator time constant τ_0 can be controlled by either changing the tuning current or the capacitor value.

Note, in order to cascade such integrators into filters, it is not necessary to have input and output stages at every integrator. In [6] signal flow graphs (SFG) are used to keep track of the filter linearity; hence a filter may operate, more or less, internally exponentially, and companding stages are then added to the filter as a whole.

The log-integrator depicted in figure 3 was simulated in Cadence in the CMOS $0.18\mu m$ technology with a power supply voltage of $1V$. The resulting Bode plot shown in figure 4 shows the integrator tunability according to the tuning current input I_0 . Note that, comparing the result with that of an ideal integrator $\frac{1}{s}$ which has infinite DC gain, this integrator would look more like a low-pass filter. Our application involves action potentials that fall in the frequency range of around $[100Hz, 10kHz]$ [1], hence we may use this integrator in that same range where the slope of $20db/decade$ occurs. Such an integrator has an extremely low noise level [4], but the transistors in questions should be kept in WI for minimal distortion. In theory, the weak inversion region could be useful for over 4 decades, but in order to exploit that, and make use of a high bias current tenability, class AB circuits could be used as in [5], but these would require some extra conditioning circuits.

The Verilog-A behavioral simulation of the overall system is shown in Figure 6; the Morlet wavelets shown are dyadic scaled.

VI. CONCLUSION

A methodology for synthesizing wavelet filters intended for biomedical applications was presented. The mathematical formulation in terms of correctly approximating the transfer function and optimizing the state-space structure was studied. Furthermore, the concept of log-domain integrators was considered as a current-tunable building block which would save on power by operation CMOS transistor in the WI region.

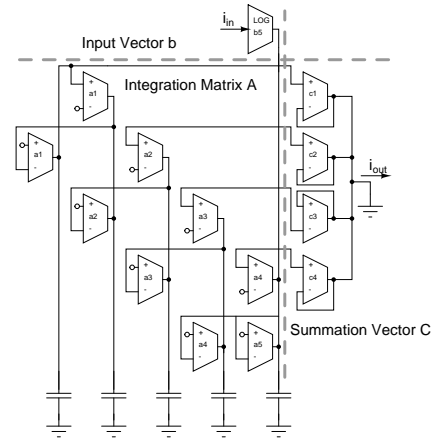


Fig. 5. State-space log-domain filter synthesis

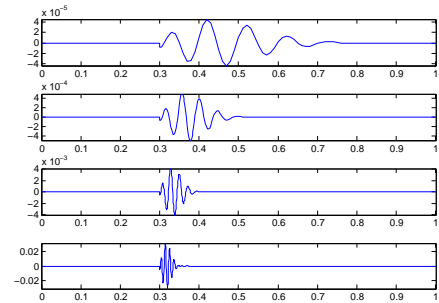


Fig. 6. Verilog simulation of an impulse response of the Morlet wavelet (input impulse at $t = 0.3s$)

Finally, Verilog-A simulations of the overall system showed a correct approximation of a wavelet filter bank.

ACKNOWLEDGMENT

I would like to thank the Polystim members for their extensive support.

REFERENCES

- [1] V. Simard, B. Gosselin, and M. Sawan, "An analog wavelet processor for an implantable cortical signals recording system," in *Vienna Workshop on FES*, 2004.
- [2] B. Gosselin and M. Sawan, "An ultra low-power cmos action potential detector," *Circuits and Systems*, 2008. *ISCAS 2008. IEEE International Symposium on*, pp. 2733–2736, May 2008.
- [3] S. Haddad, S. Bagga, and W. Serdijn, "Log-domain wavelet bases," *Circuits and Systems*, 2004. *ISCAS '04. Proceedings of the 2004 International Symposium on*, vol. 1, pp. I-1100–3 Vol.1, May 2004.
- [4] D. Python, M. Punzenberger, and C. Enz, "A 1-v cmos log-domain integrator," *Circuits and Systems*, 1999. *ISCAS '99. Proceedings of the 1999 IEEE International Symposium on*, vol. 2, pp. 685–688 vol.2, Jul 1999.
- [5] X. Redondo and F. Serra-Graells, "1 v compact class-ab cmos log filters," *Circuits and Systems*, 2005. *ISCAS 2005. IEEE International Symposium on*, pp. 2000–2003 Vol. 3, May 2005.
- [6] G. Roberts and V. Leung, *Design and analysis of integrator-based log-domain filter circuits*, Boston, Ed. Kluwer Academic Publishers, 2000.
- [7] S. Haddad, N. Verwaal, R. Houben, and W. Serdijn, "Optimized dynamic translinear implementation of the gaussian wavelet transform," *Circuits and Systems*, 2004. *ISCAS '04. Proceedings of the 2004 International Symposium on*, vol. 1, pp. I-145–I-148 Vol.1, May 2004.
- [8] D. Johns, W. Snelgrove, and A. Sedra, "Orthonormal ladder filters," *Circuits and Systems, IEEE Transactions on*, vol. 36, no. 3, pp. 337–343, Mar 1989.

Régulateur de Tension Programmable pour Implant Biomédical

Nicolas Laflamme-Mayer, École Polytechnique Montréal

Abstract— Ce papier intègre plusieurs avantages de circuits analogiques pour atteindre un système complet de régulation de tension programmable. Une référence de tension programmable de type « beta-multiplier » fournit une gamme de tensions indépendantes de l'alimentation de 1.0V à 2.3V. Cette référence de tension permet à un régulateur de tension hiérarchique d'être indépendant à son tour face à l'alimentation, grâce à la rétroaction de l'étage maître et très rapide pour ajuster le courant d'une charge, grâce à l'étage esclave.

I. INTRODUCTION

Les circuits intégrés dans la conception d'implants biomédicaux peuvent nécessiter une grande plage d'alimentation différentes pouvant aller de 0.9V à 3.3V dépendamment de la technologie employée et de l'utilisation souhaitée. Avec l'entrée en jeu des liens inductif sans-fils pouvant alimenter un implant, le besoin de régulateurs de tension fiables, petits, rapides et rejetant le bruit de l'alimentation se fait sentir. Une architecture classique d'alimentation par lien inductif [1], figure 1, produit une alimentation DC de base très bruitée et ayant un niveau de tension pouvant varier énormément en sortie. D'où la nécessité d'un régulateur de tension, pour garantir une taille raisonnable et une indépendance face à l'alimentation.

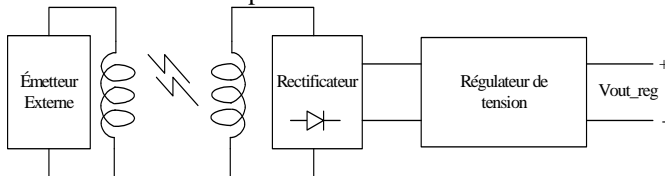


Figure 1 : Chemin de la puissance envoyée à un implant à l'aide d'un lien inductif sans-fils

De plus, plusieurs composantes tel qu'un convertisseur analogique à numérique (ADC) pourrait tirer avantage à avoir une tension de référence variable afin d'adapter la précision de l'encodage. Sans oublier la vitesse de réponse d'un tel régulateur face à une demande de courant pouvant varier très rapidement. En effet, un circuit CMOS typique possédant une horloge aura des demandes de courant périodiques équivalent au double de sa fréquence d'horloge. Les portes logiques consommeront beaucoup de courant pendant un court instant, le régulateur doit donc avoir une boucle de rétroaction très rapide pour accommoder ce genre de demande.

Pour atteindre une stabilité face aux variations de l'alimentation, être indépendant de la tension d'alimentation et avoir un temps de réponse très petit pour répondre aux demandes de courant d'un circuit numérique CMOS, une approche hiérarchique est proposée dans ce papier [2]. La

figure 2 montre un premier étage maître qui est très lent, ayant comme entrée une référence de tension stable programmable ayant une très grande rejection du bruit d'alimentation et des variations DC de celle-ci.

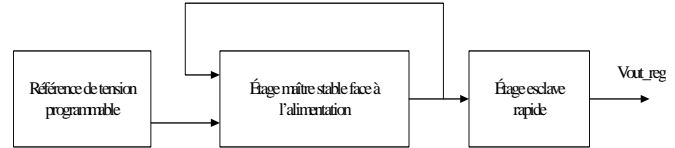


Figure 2 : Approche hiérarchique du régulateur de tension programmable proposé

Il y a deux types de régulateurs envisageables, soit des « Switching Regulator » [4] ou des régulateurs linéaires [5]. Ils sont généralement utilisés de paires où le régulateur linéaire est très proche des circuits à alimenter et est lui-même régulé par un ou des régulateur de type « switching ». Le premier type (figure 3) sont plutôt utilisés pour abaisser une tension d'une alimentation plus élevée à une plus basse, si s'agit d'un convertisseur DC-DC. Ces convertisseurs sont très robustes mais ils sont sujet plus aux pertes de tension car pour abaisser un niveau de tension il faut dissiper de la puissance ce qui les rend moins efficace. De plus, ils nécessitent des inductances qui sont très coûteuse en surface de silicium. Le deuxième type est utilisé pour concevoir des régulateurs plus efficaces de type « low-dropout regulator » (LDO) voir figure 4. Ils sont plus compacts et moins bruités puisque qu'un régulateur linéaire ne nécessite pas d'horloge. Ce papier se concentrera donc sur une architecture linéaire.

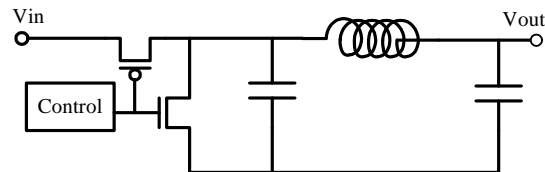


Figure 3 : Architecture classique d'un Switching Regulator

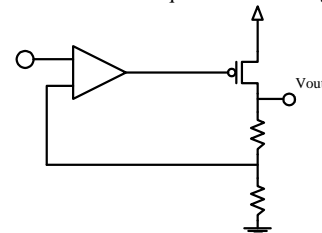


Figure 4 : Architecture classique d'un régulateur linéaire LDO

Dans un premier lieu, le papier discutera de la référence de tension programmable ainsi que de l'architecture utilisée. La rétroaction de l'étage maître ainsi que le design utilisé seront discutés ensuite pour finalement élaborer sur l'étage esclave rapide pour réguler la charge. Des simulations pré-

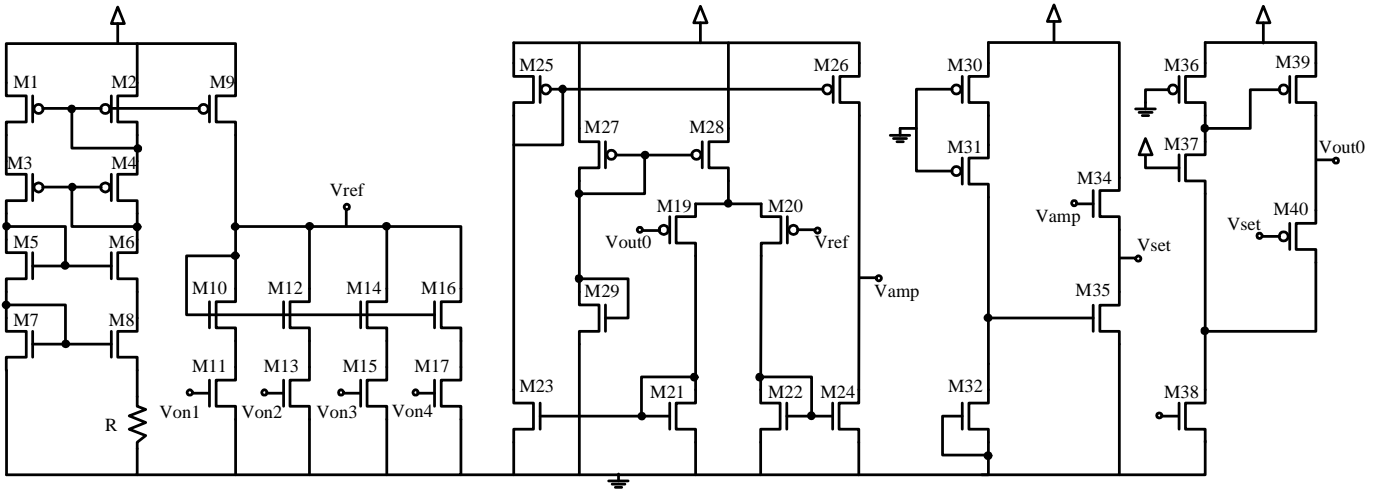


Figure 5 : Schéma complet de l'architecture proposé pour la référence de tension et l'étage maître

layout seront ensuite étalées pour le système en entier. Un schéma complet du système proposé est montré à la figure 5.

II. RÉFÉRENCE DE TENSION PROGRAMMABLE

La référence de tension utilise une approche de type « beta-multiplier ». Un courant stable face aux variations de V_{DD} est généré par les transistors M1 à M8 et la résistance R. Le courant obtenu est donné par l'équation 1 [3], où β_n est la mobilité et les dimensions du transistor M7 et K est le rapport de grosseur entre M8 et M7. On peut voir d'après cette équation que le courant ne dépend pas de V_{DD} mais uniquement des paramètres des transistors et de la résistance.

$$I_{ref} = \frac{2}{R^2 \beta_n} \left(1 - \frac{1}{\sqrt{K}} \right) \quad (1)$$

Ce courant I_{ref} est ensuite dupliqué par le transistor M9 et forcé au travers un réseau de transistors NMOS en saturation de longueur de canal variable. En sélectionnant une combinaison de transistors à l'aide des transistors M11, M13, M15 et M17 on obtient une référence de tension programmable et stable face à V_{DD} . La tension est donnée selon l'équation 2, où V_{thn} est la tension de seuil d'un transistor NMOS et β_{10-16} sont les transistors formant le réseau programmable. On peut voir que la tension V_{ref} ne dépend pas de V_{DD} si I_{ref} n'en dépend pas.

$$V_{ref} = \sqrt{\frac{2I_{ref}}{\beta_{10-16}}} + V_{thn} \quad (2)$$

III. RÉTROACTION DE L'ÉTAGE MAÎTRE

La première rétroaction vise à réguler en basse fréquence, donc faces aux variations de l'alimentation. L'architecture utilisée est hiérarchique comme le montre la figure 6. La référence de tension programmable est utilisée pour ajuster une tension de sortie désirée. Pour isoler cet étage de l'étage

maître un amplificateur à transconductance (OTA) est utilisé. Ce dernier s'assure que la tension de sortie V_{out0} suit bien la tension de référence. Cette rétroaction est plutôt lente et la fréquence de coupure de l'OTA est très basse, quelques KHz. De cette façon on s'assure que la tension de sortie régulée sera elle aussi indépendante de l'alimentation.

Cette tension de rétroaction est obtenue en polarisant un tampon avec V_{amp} (sortie de l'OTA) constitué de transistors de sorties NMOS (M30 à M35) pour fournir une tension V_{set} qui est ensuite utilisée pour polarisée un autre tampon, son homologue, constitué cette fois-ci de transistors de sorties PMOS (M36 à M40). Ce dernier étage est une exacte copie en proportion de l'étage esclave ce qui rend la tension V_{out0} générée identique à celle de V_{reg} . L'ajout de cet étage dans la boucle de rétroaction maîtresse assure donc un suivi de la tension de sortie et une stabilisation de celle-ci vis-à-vis V_{DD} . La tension générée par cet étage de sortie V_{out0} ferme la boucle de rétroaction. La cascade de deux tampons NMOS et PMOS assure une correction des tensions de seuil V_{th} qui serait perdu si on n'utiliserait qu'un seul étage de tampon PMOS [2].

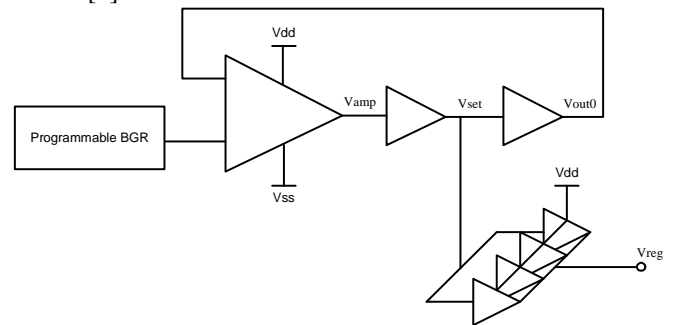


Figure 6 : Architecture hiérarchique utilisée

IV. RÉTROACTION DE L'ÉTAGE ESCLAVE

L'étage fournissant le courant à la charge est une réplique exacte de l'étage tampon PMOS discuté précédemment à l'exception de la taille des transistors de sortie M39 et M40. En utilisant un réplique exacte on s'assure que la tension de sortie V_{ref} est la même que celle de la rétroaction de l'étage maître V_{out0} . La boucle de rétroaction de cet étage de sortie

est une boucle de courant. Si l'on regarde la figure 7, on voit que le transistor M44 fournit le courant demandé par la charge ainsi qu'un courant de polarisation pour le transistor M45 commandé par la tension V_{set} . Si le courant de la charge augmente brusquement, la tension de sortie V_{ref} diminuera ce qui diminuera également le courant au travers M45. Puisque le transistor M43 est polarisé pour recevoir un certain courant, cette diminution entraînera une demande de courant plus grande des transistors M1 et M42 ce qui abaissera la tension qui commande l'ouverture du transistor M44 et un plus grand courant sera fourni à la charge.

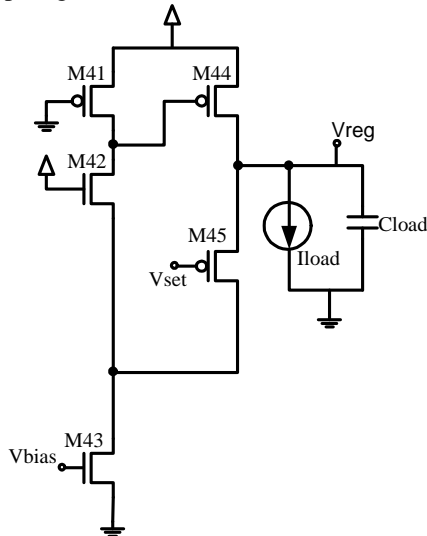


Figure 7 : Étage esclave de sortie du régulateur

V. RÉSULTATS DE SIMULATIONS

A. Référence de tension programmable

Pour valider le design de la référence de tension programmable à 4 bits, donc 16 différents niveaux, une simulation DC a été effectuée sur une variation de l'alimentation de 0 à 5V. On peut voir sur la figure 8 que lorsque l'alimentation rejoint 2.5V les tensions de sorties se stabilise et ne varie presque plus. On remarque également que plus la tension se rapproche de l'alimentation plus il devient difficile d'obtenir une tension indépendante de l'alimentation.

B. Tension de sortie régulée

Pour valider le design de l'ensemble du régulateur programmable, une simulation de type DC et AC on été effectuée, la première pour démontrer que la stabilité basses fréquences face aux variations de l'alimentation est toujours préservée. De plus, pour s'assurer que les variations de plus hautes fréquences, engendrés par l'activité numérique de circuits CMOS connectés sur VDD, une analyse du rejet du bruit de l'alimentation (PSR) a été effectuée. On peut voir sur la figure 9 que la stabilité faces aux variations DC de l'alimentation est préservée. La figure 10 quant à elle démontre que le bruit d'alimentation est bien rejeté pour des tensions inférieures à 2.5V et devient négligeable en très haute fréquences. Toutes les simulations on été réalisée avec une charge de courant de 1.5mA en parallèle avec une capacité de 5nF (figure 5).

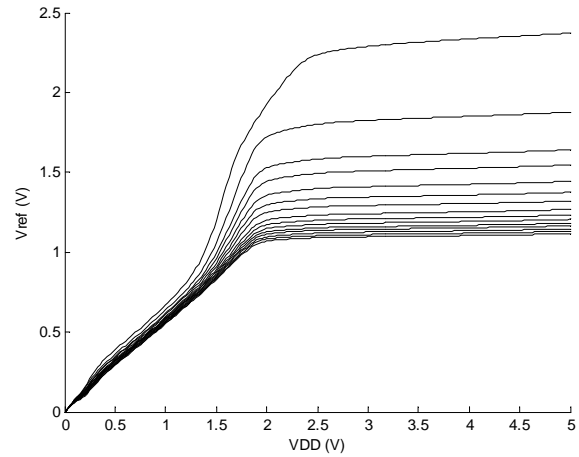


Figure 8 : Références de tension programmable en fonction de l'alimentation

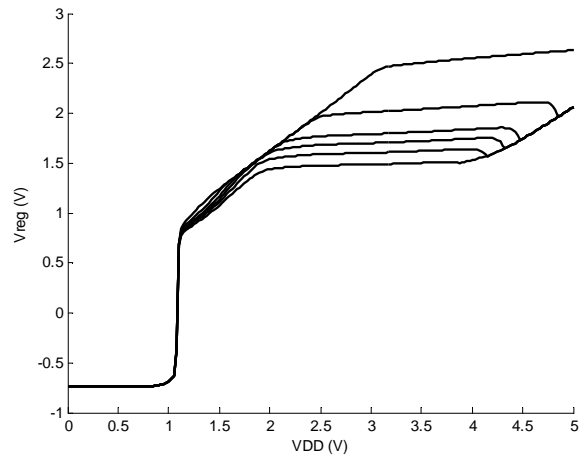


Figure 9 : Tension de sortie V_{reg} en fonction des variations DC de l'alimentation

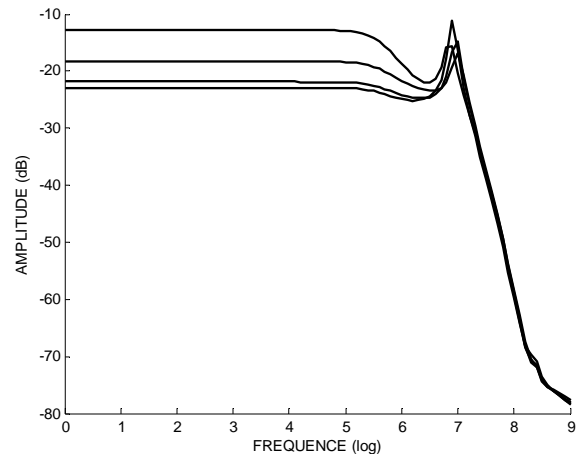


Figure 10 : Rejet du bruit de l'alimentation des tensions de sorties V_{reg} programmable

Le courant total fourni par ce design est de 5mA par étage PMOS de sortie, figure 7. En utilisant plusieurs étages esclaves en parallèle on peut atteindre plusieurs niveaux de puissance dépendamment de l'application et de la demande d'un circuit [2]. Les tailles des transistors M44 et M45 ainsi que la tension de polarisation V_{bias} du transistor M43 sont les

paramètres qui jouent sur la puissance pouvant être délivrée à la charge.

VI. CONCLUSION

Ce papier a démontré qu'une approche hiérarchique est une bonne solution pour concevoir des régulateurs de tensions linéaires performants. En divisant la régulation en deux problèmes distincts, le premier étant l'insensibilité faces aux variations DC et aux bruit de l'alimentation et le second étant de pouvant s'adapter rapidement à une charge de type circuit numérique qui a des points de consommation périodiques plutôt élevés. La références de tension programmables est très importantes car grâce a elle le premier étage maître est en mesure de fournir une tension de sortie indépendante au maximum de l'alimentation et ce même a plus haut voltage.

La tension stable générée par l'étage maître est ensuite utilisé par un nombre plus ou moins grand de régulateurs esclaves ayant une rétroaction de type courant permettant une adaptation très rapide de la demande de courant de la charge. Le système dans sont ensemble n'utilise que des transistors NMOS et PMOS et une résistance de polarisation, ce qui le rend facilement intégrable pour des applications biomédicales.

Les tensions pouvant être générées vont de 1.5V à 2.5V et peuvent fournir 5mA par étage esclave ce qui le rend polyvalent pour alimenter un ou plusieurs circuits différents.

RÉFÉRENCES

- [1] Amir M. Sodagar¹, Khalil Najafi¹, Kensall D. Wise¹, Maysam Ghovanloo², « Fully-Integrated CMOS Power Regulator for Telemetry-Powered Implantable Biomedical Microsystems », IEEE 2006 CICC, pp. 659-662.
- [2] Peter Hazucha, Tanay Karnik, Bradley A. Bloechel, Colleen Parsons, David Finan, Shekhar Borkar, « Area-Efficient Linear Regulator With Ultra-Fast Load Regulation », IEEE Journal of Solid-State Circuit, Vol. 40. No.4 April 2005, pp. 933-940.
- [3] R. Jacob Baker, « CMOS Circuit design, layout and simulation », Wiley-Interscience, Second Edition, pp.624-25
- [4] Siyuan Zhou, Gabriel A. Ricon-Mora, « A High Efficiency, Soft Switching DC-DC Converter With Adaptative Current-Ripple Control for Portable Applications », IEEE Transactions on Circuit and Systems, Vol. 53, No.4, April 2006, pp. 319-323
- [5] Gabriel A. Ricon-Mora, Phillip E. Allen, « A Low-Voltage, Low Quiescent Current, Low Drop-Out Regulator », IEEE Journal of Solid-State Circuits, Vol. 33, No.1, January 1998, pp. 36-44.

Conception d'un bioamplificateur avec modulation Chopper

Marc-André Marceau
 GBM5320 - Dispositif Médicaux intelligent
 marc-andre.marceau@polymtl.ca

Abstract- Ce rapport présente le projet final du cours GBM5320 qui porte sur la conception d'un bioamplificateur qui utilise la modulation Chopper pour éliminer le bruit de scintillement ($1/f$). Le niveau de bruit a été calculé en comparant le bruit intégré à partir des données d'une analyse temporelle avec la contribution du bruit thermique de l'analyse du bruit.

I. INTRODUCTION

L'instrumentation biomédicale est un domaine en pleine effervescence. Malgré toutes ses années de recherche, il y a encore beaucoup de place à l'amélioration des dispositifs médicaux. Dans le cadre du cours GBM5320, dispositif médicaux intelligent, je me suis intéressé aux techniques de réduction de bruit lors de l'amplification et de la capture de biosignaux. Ce projet porte sur la conception d'une de ces techniques, la modulation Chopper. Cette technique permet de réduire le niveau de bruit en retirant la contribution du bruit de scintillation ("flicker" ou $1/f$) au signal que l'on souhaite amplifier.

II. TRAVAUX EXISTANT

Selon les recherches que j'ai effectué, cette technique semble assez répandue dans le domaine de l'amplification. Par ailleurs, deux de mes collègues, dont j'ai discuté de la modulation chopper, ont déjà utilisé cette technique dans un de leurs design. Je me suis concentré sur deux articles scientifiques. [1] [2]. Le premier, [1], obtient un bruit référé à l'entrée de $7\text{nV}/\sqrt{\text{Hz}}$ avec un gain de 72.5dB . Le deuxième article [2] démontrait de bonne performances pour la consommation, $100\text{nV}/\sqrt{\text{Hz}}$ avec $2\mu\text{W}$ de consommation, mais était destiné à l'amplification de signaux de basse fréquence (jusqu'à environ 150Hz). De plus, son choix de design était plus nébuleux que le premier article donc j'ai fait le choix de m'inspirer d'avantage de [1].

| | |
|-------------------------------|--------------------------------|
| Supply voltage | 1.8 V |
| Power consumption | 242 μW |
| THD(@ $f = 1\text{ kHz}$) | <0.5% |
| CMRR | >105 dB, $f < 10\text{ kHz}$ |
| PSRR | >90 dB, $f < 10\text{ kHz}$ |
| Gain | 72.5 dB |
| Equation input referred noise | $7\text{ nV}/\sqrt{\text{Hz}}$ |
| Slew rate | 5.8 V/ms |

Table. 1. Tableaux des performances de l'article de référence [1].

III. TRAVAIL EFFECTUÉ

A. Contexte et Objectif

Étant donné mon expérience limitée dans la conception des circuits intégrés analogiques, je me suis fixé des objectifs modestes. J'ai compris assez tôt qu'il ne serait pas raisonnable de rivaliser dans la conception d'amplificateurs avec mes connaissances actuelles. L'objectif du projet consistait donc à réaliser un bioamplificateur à modulation chopper qui fonctionne tout simplement et de démontrer avec les mesures de simulation que le bruit $1/f$ était retiré. J'ai tout de même mis un effort dans la conception pour optimiser les performances au maximum sans avoir une idée précise des performances au final.

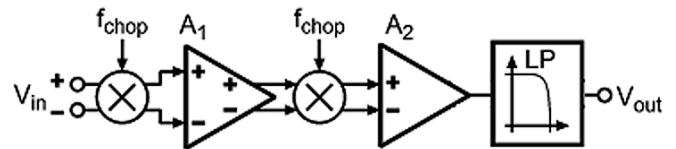


Figure 1: Vue d'ensemble de ce qui a été réalisé. L'étage d'amplification A1 effectue un gain d'environ 37dB . L'étage A2 amplifie le signal de 40dB en plus de ramener le signal référé à la masse.

B. Démarche

J'ai commencé par identifier les modules à implémenter. Le premier module qui se trouve à l'entrée de l'amplificateur est un modulateur Chopper. C'est un aiguilleur de signaux dont les sorties sont permutées par rapport à l'entrée à une fréquence de notre choix. Il se trouve que si aucun signal différentiel n'entre dans notre système, alors la modulation n'a pas lieu. Je croyais que ce phénomène aurait comme conséquence que si la modulation chopper a besoin d'un signal à moduler alors l'absence de signal empêcherait la modulation ce qui aurait pour effet de ne pas couper le bruit $1/f$. Ce raisonnement est faux. Le bruit $1/f$ généré par l'amplificateur même s'il n'y a aucun signal est modulé par le deuxième chopper et il est donc décalé en fréquence et éliminé par le filtre passe bas. Mes démarches sur la mesure ont été influencées par ce raisonnement. Pour faire les mesures j'ai introduit un signal DC pour permettre une première modulation. Bien qu'après réflexion ce signal soit inutile pour le bon fonctionnement de l'amplificateur, il n'y a pas d'effet négatif sur mes mesures. Même que l'introduction d'un signal génère une première modulation et nous pouvons mesurer l'imperfection de la

première modulation de qui n'aurait pas été possible sans signal.

Toujours concernant le module de modulation Chopper, la conception d'interrupteurs analogiques n'est pas si évidente que ça. La taille des transistors dépend de l'électrode à l'entrée ainsi que du niveau de bruit désiré [1]. Puisque des transistors ayant une faible résistance de canal est souvent désiré, la conséquence est qu'un gros transistor entrainera une plus grande injection de charge lors de la transition de la commutation. La solution proposée dans [1] est d'introduire des transistors « dummy », sur le chemin des commutateurs avec le drain et la source court-circuités, pour absorber la charge injectée. Après simulation de ces commutateurs, l'injection était toujours présente dans le signal. Puisque les transistors dummy sont essentiellement des charges capacitives de découplage, j'ai décidé comme mesure temporaire de les retirer et de les remplacer par un condensateur de 10fF sur chaque canal du signal différentiel. Il était prévu que si le temps me le permettait que je reviendrais sur ce détail pour trouver ce qui n'allait pas dans ce module.

Le choix de la fréquence de modulation dépend de l'application du système. Nous devons choisir une fréquence entre la bande passante à la sortie de 10kHz et la bande passante du premier étage d'amplification de 300kHz. De plus, nous devons considérer que le signal de la modulation est une onde carrée dont les harmoniques doivent être préservé le plus possible. Cela nous amène à choisir une fréquence le plus près possible de 10kHz. Finalement, il ne faut pas oublier qu'il faut appliquer un filtre passe bas dont l'ordre doit être assez grand pour annuler le gain qui a été appliqué auparavant à la fréquence de modulation. Selon [1] et mes tests, la conservation de la fondamentale et de la troisième harmonique semble suffisante pour que le bon fonctionnement du système. La fréquence de modulation choisie est de 80kHz. Une fréquence plus basse peut être choisi en fonction de la performance du filtre passe bas. Cela permettrait de baisser la bande passante du premier amplificateur et ainsi permettre de diminuer le bruit et la consommation de l'amplificateur.

Le deuxième module est la partie la plus importante du projet. C'est l'amplificateur à proprement parler. Cet amplificateur est une version modifiée de l'amplificateur du laboratoire 2. La première modification est que la sortie doit être différentielle. L'étage de sortie a été reproduit pour le signal négatif. Une deuxième différence est que la charge connectée sur cet amplificateur est plus importante ce qui a pour conséquence que le courant que l'étage de sortie de l'OTA, plus ou moins 2uA, est insuffisant. La solution adoptée au prix d'une plus grande consommation de courant est d'ajouter un amplificateur suiveur à drain commun en guise d'étage de sortie. J'ai utilisé le design provenant de [3] et j'ai implémenté le circuit de tension de polarisation provenant de la même référence. Cette solution a été choisie dans l'optique de livrer un système fonctionnel plutôt que de concevoir du premier coup un système optimal. Une conception plus minutieuse serait nécessaire pour un système destiné à une

faible consommation de courant. Finalement, l'amplificateur a été initialement conçu dans le laboratoire 2 pour avoir une bande passante restreint à l'amplification des biosignaux (0Hz à 10kHz). Dans la situation actuelle, le signal d'entrée est modulé à une fréquence plus haute que la fréquence cible maximale souhaitée. Il faut que la bande passante soit suffisamment haute pour inclure le signal chopper. Puisque le signal chopper est une onde carrée, nous devons faire attention à conserver le plus d'harmonique que possible. Puisque la modulation chopper retire le bruit 1/f, le design de l'amplificateur n'a pas besoin de minimiser le bruit 1/f.

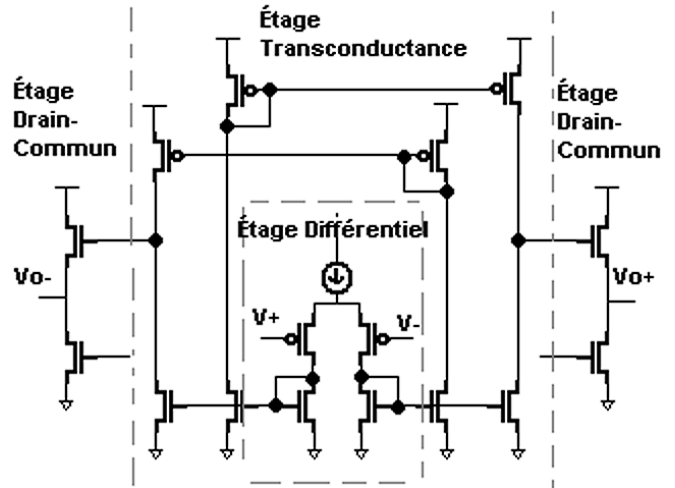


Figure 2: Blocs de l'amplificateur différentiel de l'étage 1

Le troisième module se trouve à être le même modulateur Chopper que le premier. Le rôle de ce modulateur est de démoduler le signal qui a été amplifié et de moduler tout signal de basse fréquence. Le bruit 1/f se trouve à être décalé en fréquence à la fréquence de modulation. Normalement, puisque le signal étant amplifié est moins sujet à être affecté par le bruit, la taille de ces transistors peut être plus petit pour réduire l'effet d'injection de courant [1]. Les deux modulateurs chopper ont des transistors de taille minimale pour réduire l'effet d'injection.

Dans ce projet, je voulais que mon signal de sortie soit référé à la masse plutôt que différentiel. J'ai donc ajouté à la sortie du deuxième modulateur un amplificateur différentiel qui a pour rôle de convertir le signal différentiel en signal dont la masse est à $V_{DD}/2$. Cet étage sert aussi d'amplification pour amener le signal à son amplitude finale. L'amplificateur utilisé est l'amplificateur opérationnel du laboratoire 1. Sa bande passante est d'environ 10kHz ce qui est justement ce dont j'ai besoin. Le gain appliqué est de 40dB.

Le dernier étage est un filtre passe bas servant à couper les fréquences au-delà de 10kHz. Puisque le bruit 1/f a été modulé à la fréquence de 80kHz, l'ordre du filtre doit être suffisamment grand pour qu'il n'y ait plus de signal à cette fréquence. J'ai choisi un filtre actif de Chebychev d'ordre 4.

C. Méthode de mesure de performances

L'objectif de ce projet est de créer un amplificateur avec modulation Chopper afin d'éliminer le bruit 1/f. L'approche

utilisée pour démontrer le fonctionnement de l'amplificateur est de mesurer le bruit sans la modulation et avec la modulation. Je devrais démontrer que le bruit restant avec la modulation chopper est au niveau du bruit thermique.

L'outil à ma disposition est le simulateur Spectre de Cadence. J'ai utilisé l'analyse temporelle (Transient Analysis), AC et bruit (Noise Analysis). L'analyse AC sert à donner le gain du système ainsi que la bande passante. L'analyse Bruit sert à évaluer la contribution de bruit de chaque composant du système. L'analyse temporelle sert à voir le signal amplifié, vérifier le bon fonctionnement des modulateurs Chopper et évaluer le bruit effectif du système. Cette analyse de bruit effectif est possible grâce au générateur de bruit disponible en option dans l'analyse temporelle.

Puisque l'analyse bruit évalue et effectue la sommation de la contribution de bruit de chaque composant, on ne peut pas voir la différence dans les résultats entre la modulation Chopper activé ou non. Si nous évaluons le bruit d'un amplificateur, le résultat sera identique que nous modulons le signal à la sortie de l'amplificateur ou non. C'est exactement ce que fait la modulation chopper. L'analyse bruit nous donne cependant de l'information sur le type de contribution qu'il soit thermique ou scintillement (1/f) ainsi que la somme de tout le bruit. Nous pouvons donc, en soustrayant la contribution 1/f du bruit total, obtenir le niveau de bruit thermique du système.

Nous devons comparer le niveau de bruit thermique au niveau de bruit calculé par l'analyse temporelle. Voici la formule permettant de calculer ce bruit total à la sortie de l'analyse temporelle dérivé de la formule de calcul de bruit provenant de [3] :

$$\sqrt{\frac{1}{T} \int_0^T \left(V_{out} - \frac{1}{T} \int_0^T (V_{out}) dt \right)^2 dt} \quad (1)$$

Cette formule fonctionne que s'il n'y a pas de signal à l'entrée, ou encore il n'y a qu'une composante DC. La deuxième intégrale effectue la moyenne du signal. Cette moyenne est alors soustraite pour amener le signal à zéro pour obtenir que la composante de bruit. Le bruit en V² est alors calculé avec la première intégrale. La racine carrée est appliquée pour avoir la valeur en V/sqrt(Hz) afin de calculer le bruit référé à l'entrée.

Si les valeurs correspondent, alors j'aurai démontré que mon amplificateur fonctionne. Bien que la modulation Chopper élimine le bruit 1/f, il faut aussi vérifier que les imperfections dans la modulation n'incorporent pas un signal parasite trop important. Il suffit d'appliquer la formule 1 pour calculer la densité du signal parasite mais sans simulation de bruit. Il restera à évaluer l'impact du signal parasite par rapport au bruit.

IV. RÉSULTATS

Le premier objectif est de démontrer que le bruit 1/f est éliminé par la modulation chopper. J'ai donc évalué en premier lieu le bruit de l'amplificateur sans la modulation Chopper.

La première mesure à présenter est celle du bruit total à la sortie intégré de l'amplificateur sans la modulation Chopper. Cette mesure provient de l'analyse temporelle d'une durée de 100 millisecondes où nous avons appliqué la formule 1. Il est égal à 19.113mV/sqrt(Hz). Pour valider que cette valeur correspond bien au bruit à la sortie, j'ai comparé cette valeur avec celle donnée par l'analyse de bruit qui est de 18.187mV/sqrt(Hz). La différence entre les deux valeurs ne peut être expliquée par la valeur approximative que peut donner l'intégration d'un signal de 100 millisecondes. C'est deux valeurs sont assez rapproché pour établir qu'il y a une corrélation entre les deux et que nous pouvons nous en servir pour effectuer des analyses sur les performances de mon amplificateur.

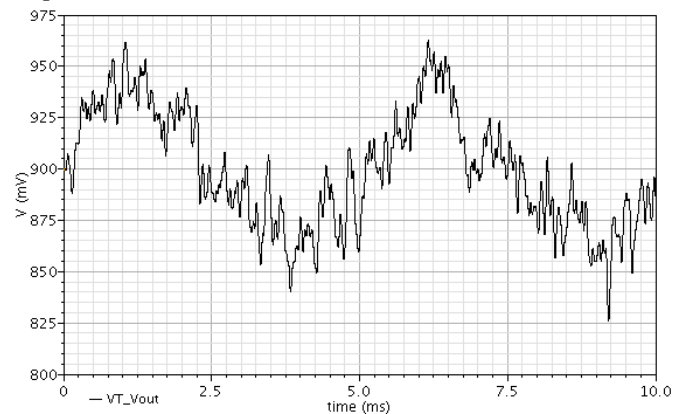


Figure 3: Signal de sortie sans la modulation Chopper

La figure 3 montre l'amplification d'un signal sinusoïdale de 100uV sans la modulation Chopper. Nous pouvons constater que le signal est bruité par la contribution 1/f en plus du bruit thermique. Il est difficile de reconnaître le signal sinusoïdale.

J'ai ensuite effectué les mesures avec la modulation Chopper activé. Je me suis servi de la formule 1 pour calculer le bruit à la sortie qui me donne 2.736 mV/sqrt(Hz). Ce qui représente que 14% du bruit initial sans modulation Chopper. Pour établir que la réduction est dû à l'atténuation du bruit 1/f, j'ai comparé cette valeur avec l'analyse de bruit. L'analyse a été effectuée en V² pour pouvoir soustraire la contribution du bruit 1/f des composants au bruit total. La valeur résultante ramené en V/sqrt(Hz) donne 2.125mV/sqrt(Hz). Les valeurs sont dans le même ordre de grandeur. Bien qu'il y a environ 20% de différence entre ces deux valeurs il est vraisemblable de croire que cette divergence suit celle qui a été noté plus tôt avec l'amplificateur sans modulation Chopper.

Cependant le niveau de bruit référé à l'entrée, qui est de 9,875uV/sqrt(Hz) démontre que je suis loin du compte pour rivaliser avec les performances de bruit des systèmes utilisant la modulation chopper. En effet, [1] arrive à un bruit référé à l'entrée de 7nV/sqrt(Hz) pour une bande passante de 10kHz. [2] obtient 100nV/sqrt pour une bande passante de 150Hz mais avec une consommation de 2uW. J'ai donc décidé de réajuster mon système pour avoir de meilleure performance. J'ai donc concentré mes efforts sur le premier amplificateur. Initialement la bande passante était environ 2MHz pour permettre de

conserver le plus possible les harmoniques de la modulation chopper. Le travail de [1] suggère que seulement la fondamentale et la troisième harmonique suffit au bon fonctionnement du système. J'avais donc du jeu pour améliorer le bruit en sacrifiant de la bande passante.

Dans la deuxième version de l'amplificateur, le bruit thermique a été considérablement réduit. Cela a été au sacrifice de la bande passante du premier amplificateur qui est maintenant de 300kHz et du gain qui est passé de 48.85dB à 37.821dB. Malgré la diminution de ce gain, le signal peut toujours être amplifié par le second amplificateur ce qui donne un gain total du système de 77.187dB. Le bruit à la sortie est passé à 266 μ V/sqrt(Hz). Cette mesure a été effectuée sans le deuxième étage d'amplification. Le bruit total référencé à l'entrée (calculé avec 37.821dB) est donc de 3.42 μ V/sqrt(Hz). La figure 4 montre le signal sinusoïdal amplifié à 77.187dB avec la deuxième version de l'amplificateur à modulation Chopper.

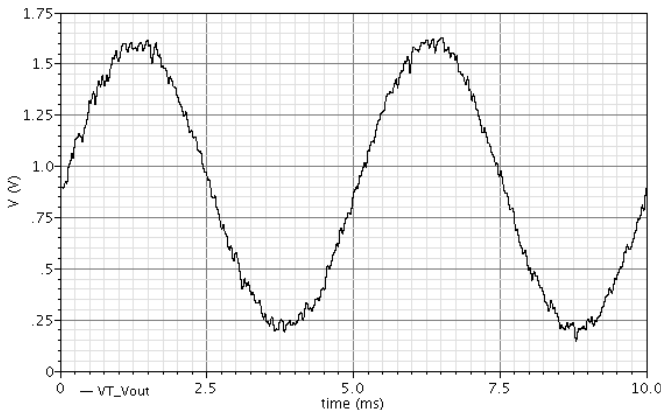


Figure 4: Signal de sortie avec la modulation Chopper de la 2ème version de l'amplificateur ainsi que le deuxième étage d'amplification. Gain total de 77.187dB.

La consommation de puissance a été calculée en appliquant la formule 2. Cette formule effectue la moyenne du courant utilisé par le système sur une période de 10 millisecondes de simulation. Il est ensuite multiplié par la tension d'opération de 1.8V pour obtenir la puissance.

$$\left(\frac{1}{T} \int_0^T I_{VDD} dt \right) \cdot 1.8V \quad (2)$$

Excluant les courants de polarisation ainsi que le filtre passe bas tel qu'effectué dans [1], La consommation de puissance est de 254 μ W.

| | |
|----------------------------------|-----------------------|
| Voltage d'alimentation | 1.8 V |
| Consommation | 254 μ W |
| Bruit total à la sortie | 266 μ V/sqrt(Hz) |
| Gain du système | 77.187dB |
| Bruit total référencé à l'entrée | 3.42 μ V/sqrt(Hz) |

Table 2 : Résumé des performances du système.

V. CONCLUSION

Puisque les résultats précédents montrent que le bruit 1/f a été retiré grâce à la modulation chopper de mon système. Je peux dire que j'ai atteint l'objectif principal de ce projet.

Il y a cependant beaucoup de place à l'amélioration. La clé de la performance de [1] est le design de l'amplificateur de premier étage. Le design que j'ai retenu pour mon amplificateur utilise 3 étages dont la deuxième n'est pas souhaitable pour ce type d'application. En effet, le fait qu'il y ait 2 chemins au signal pour contrôler le courant, puisque qu'à l'origine c'est un OTA, le rend sensible au moindre déséquilibre de courant engendré par le bruit dans chaque chemin. Le signal doit être traité par un seul chemin pour diminuer le plus possible le bruit. Les commutateurs présents dans la modulation Chopper peuvent être aussi redesignés. Le design du modulateur d'entrée dépend fortement du contexte d'utilisation et des électrodes utilisées.

Pour ce qui est de la méthode de mesure du bruit dans un système contenant une modulation, un autre type d'analyse est disponible. Cette analyse se nomme « Periodic Steady-State Analysis ». Elle permet d'analyser des circuits qui ont des comportements non-linéaires. Nous pouvons ensuite utiliser une seconde analyse nommée periodic noise analysis qui permet de déterminer le niveau de bruit exact du système. Je n'ai malheureusement pas eu le temps de bien apprendre à utiliser cet outil pour l'appliquer à mon circuit.

Je peux en conclure que l'utilisation de la modulation Chopper n'est pas un choix automatique dans le design de nouveau système car la consommation supplémentaire d'énergie engendrée par un tel système peut être utilisée dans un amplificateur classique pour augmenter le courant de polarisation et ainsi augmenter le gm des transistors et ainsi diminuer drastiquement le bruit thermique. Donc le choix ou non d'implémenter la modulation chopper dépend de l'application et du budget d'énergie.

REFERENCES

- [1] Nielsen, J. H. and E. Bruun (2005). "A CMOS low-noise instrumentation amplifier using chopper modulation." *Analog Integrated Circuits and Signal Processing* 42(1): 65-76.
- [2] Denison, T., K. Consoer, et al. (2007). "A 2 μ W 100 nV/rtHz chopper-stabilized instrumentation amplifier for chronic measurement of neural field potentials." *IEEE Journal of Solid-State Circuits* 42(12): 2934-45.
- [3] R. Jacob Backer, *CMOS Circuit design, Layout and simulation*, IEEE Press Series on Microelectronic Systems

Low noise and low power amplifier for ENG signals recording using tripolar cuff electrodes

Arnaldo Mendez

PolySTIM Neurotechnology Group, Ecole Polytechnique the Montreal

arnaldo.mendez@polymtl.ca

Abstract- The present article describes the design process of an amplifier for recording the Electroneurographics signals (ENG) by mean of a tripole cuff-electrode. The circuit is intended to be used as the feedback of implantable neuroprosthesis. Since the ENG signals have very low amplitudes ($<10\mu\text{V}$) and are interfered with other biopotentials sources, the amplifier must provide high gain, low noise, proper filtering in the frequency range of interest (300-5kHz) and low power consumption. The ENG recording amplifier was designed using the BiCMOS technology in $0.18\mu\text{m}$. The simulation results, obtained by mean of Spectre tool from Cadence, show that the proposed amplifier meets all the specifications to be employed in the intended application.

Index Terms – Low noise amplifier, biopotential amplifier, ENG amplifier, tripolar cuff-electrode, neuroprosthesis.

I. INTRODUCTION

Today Functional Electrical Stimulation (FES) devices are used in several types of handicapped patients with damages in central or peripheral neural system with the aim of restoring totally or partially their lost capacity, such as heartbeat rate, upper and lower limbs movement, bladder emptying, etc. Also they are used for chronic pain reliever, crisis attenuation or suppression (e.g. epilepsy, automatic heart defibrillation) among other applications. For optimal device performance, sensing of afferent nerves activity (Electroneurogram - ENG) is required in order to feedback the system with the proper information about the real condition of physiological system.

ENG signals have very low amplitudes ($\sim 1-10\mu\text{V}_{\text{rms}}$) and also are interfered with noise and other biopotentials sources presents in the body, being the most important the muscle action potentials (Electromyogram - EMG) interference ($V_{\text{EMG}} \sim 1\text{mV}$). Hence, the signal to noise ratio (SNR) and rejection of interferences are the major problems to consider in the ENG recording amplifier design and electrodes selection. In other to overcome these difficulties different approaches have been proposed in the last years [2] which have used CMOS in weak or strong inversion [3], BiCMOS [1] and CMOS with chopper stabilization technique [4]. Each of these configurations has advantages and disadvantages that must be assessed based on the recording system specifications. However, the optimal ENG recording system is still pending [5]. Additionally, ENG recording circuit must have power dissipation sufficiently low to satisfy the requirements of a chronic implantable system, and also considering the rise of temperature which could damage or affect the functionality of the surrounding tissue and the battery charge duration.

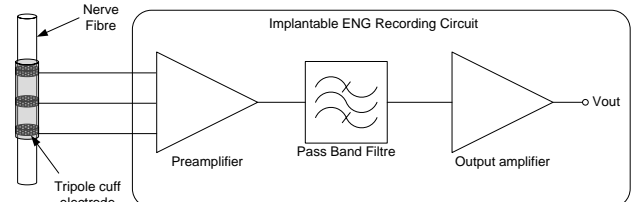


Fig. 1. Circuit block schematic for ENG recording system

In this work an ENG amplifier meeting the noise and power consumption specifications for implantable devices will be designed and simulated using CMOS $0.18\mu\text{m}$ technology.

II. MATERIALS AND METHODS

The first design step was identification of all circuit specifications reviewing all the reported results for bioamplifiers and specially ENG recording systems. In addition it was necessary the reviewing of the anatomy and physiology of nervous system [6]. In the next design step the type of electrode and its configuration was determined and after that the amplifier topology and technology (CMOS or BiCMOS) was selected considering the specifications identified in the previous step and the electrodes characteristics. Finally, the architecture for ENG recording circuits shown in Fig.1 was proposed based on the typical bioamplifier configurations.

CAD/CAE tools like Composer, Spectre and Waveform from Cadence Design Systems, Inc. (San Jose, CA) were used to design and simulated all the circuits here described.

In the following sections will be described how targets specifications were established as well as the design process of each block presented in Fig. 1.

A. ENG recording system specifications

In the circuit block schematic proposed in Fig. 1 the preamplifier make up the front-end of the system, thus the most important stage to consider for meeting noise specifications. As it is known the flicker and thermal noise are the two major source of noise [7]. The flicker noise, also known as $1/f$ noise, is the predominant source at low frequencies ($<1\text{kHz}$) and depend on temperature. The thermal noise, also known as Johnson noise, is the predominant source of noise at higher frequencies. The preamplifier must have input impedance enough high for matching the electrodes output impedances ($\sim 1\text{k}\Omega$) which it is easily attainable.

Another important specification that must be satisfied by the front-end preamplifier is the common mode rejection ratio (CMRR) in order to cancel the common mode noise and minimize the amplification error due to the common mode signals. Is desirable a CMRR higher than 80 dB.

ENG signals have a typical band width between DC and 10kHz [8] with the most signal power between 300 to 5kHz [1]. Thus, after the front-end stage, but sometime in the same stage as in [9], a filtering stage remove all the undesired noise and interfering signals including the power line (50/60 Hz). Several architectures of active filter can be found (Sallen-Key, elliptic, cascade, etc.) mainly implemented by mean of transconductance differential amplifier (OTA or Gm-C) or by the switching capacitor technique [10]. Finally, power dissipation for all the recording system must be as low as possible, always bellows a few tens of mW (e.g 50 mW).

A resume of all target specification can be found in Table IV in the Results section.

B. Electrode selection and configuration

At present nerve cuff electrodes are the interfaces between the nerves and the electronic systems that have shown better results in chronic applications [5].

Tripole cuff-electrodes can be used for rejecting the EMG interference by mean of linearization of its potential field inside the cuff. There are two typical configuration traditionally employed: *quasi-tripole* or *true-tripole* [2]. In the *quasi-tripole* configuration, the two outer electrodes are both connected to one amplifier input and the central to the other amplifier input. This configuration yields the average potential of the two outer contacts with respect to the middle contact. If the two impedances connected to amplifier inputs are equals, EMG potential can be cancelled by differential amplification because the potential of the two outer electrodes respect to the middle have the same magnitude but opposite polarity. However, ENG is not cancelled and can be recorded.

The *true-tripole* configuration, shown in Fig. 2, employs the same cuff-electrode but in this case each electrode ring is connected to two separate amplifiers. This latter configuration has two major advantages: more sensitivity and gain of each amplifier can be adjusted independently to compensate any imbalanced caused by changes in mentioned parameters. Nevertheless, as a drawback, additional circuitry is required to sense the imbalance and adaptively setting each amplifier gain.

C. Preamplifier design

During de design and testing of preamplifier it was necessary to optimize the noise performance. This depends on the circuit configuration and components employed. As it is known resistors placed at the amplifier inputs always deteriorate the noise response, so configuration that used such resistors was avoided. When MOS technology is used in operational transconductance amplifiers (OTA), the noise is reduced trading off the gate area of the input transistors with other amplifiers specifications like the bandwidth, phase

margin, transconductance (g_m), etc. [9]. Using (1) the total input referred noise Power Spectral Density (PSD) of a MOS transistor can be calculated. The first term in (1) is related to the flicker noise and the second to the thermal noise. As can be seen, augmenting the gate area ($W \times L$) of the input transistors it is possible to reduce the flicker noise and augmenting the transconductance the thermal noise is also reduced.

$$V_R^2(f) = \frac{K}{WLC_{ox}f} + 4kT\gamma \frac{1}{g_m}. \quad (1)$$

In (1) W and L are the gate transistor dimensions, K constant depending on technology parameters, C_{ox} is the oxide gate capacitance, k is the Boltzman constant, T is the temperature absolute and γ is the body effect constant ($=2/3$). Moreover, the use of PMOS transistors in the differential input stage reduce the total input reference noise because the mobility of holes is lower than in electrons [7].

Amplifiers based in bipolar transistors have better noise performance and frequency response but lower input impedance, more power consumption and could be larger than MOS transistors but have been successfully used in bioamplifiers [1]. For these type of transistors the input referred noise can be calculated as shown in (2)

$$V_f^2(f) = \left((r_b + R_S)^2 \frac{I_c K}{\beta f} \right) \Delta f + 4kTR. \quad (2)$$

Where I_c is the collector current, β is the forward current gain, r_b is the based spreading resistance and R_S is the source (cuff) resistance and R is the total resistance which depend of the type of circuit and technology. For minimizing the flicker noise (first term) all the mentioned parameter must be optimized and for minimizing the thermal noise (floor noise) the total input resistance must be reduced.

Considering the pros and the cons of different circuit's configurations and the technology reported in previous results, two possible front-end amplifiers, the Gm_1 and Gm_2 shown in Fig. 2, were designed and tested: 1) one stage OTA CMOS in strong inversion and 2) BiCMOS.

In order to cancel the input bias current in OTA BiCMOS, it is necessary to add a compensation network formed by the

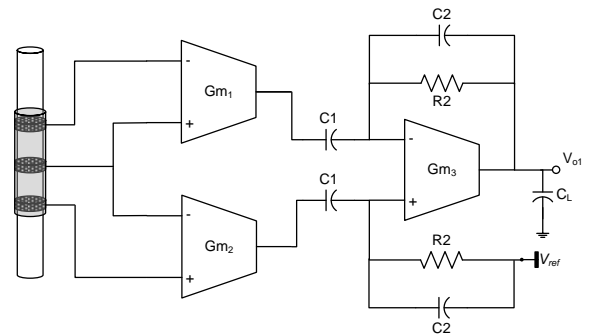


Fig. 2. ENG signal preamplifier in *true-tripole* configuration. Gm_1 and Gm_2 are the front-ends amplifiers with the same transconductance. Gm_3 is acting as differential amplifier with a gain settled by $C1/C2$

bipolar junction transistor Q_3 and the MOS M_5 - M_{12} , as it is shown in Fig. 3. Bipolar transistors were implemented with a pnp2 vertical transistor available in cmosp18 library of TSMC Taiwan foundry.

For both configurations the transistors dimensions and the tail current were optimized for minimizing the total input-referred noise and also ensure all other amplifier specifications. Gain, which is less repeatable than in two stages OTA, is not a major concern in this amplifier stage, but at less 40 dB is desirable. The tail current (I_{bias}) in OTA CMOS must feed an I_D current to assure that transistor are in strong inversion. This is possible if the following condition is fulfilled [1]

$$I_D \geq \frac{1}{4} \left(\frac{W}{L} \right) K U_{th}^2 \quad (3)$$

where U_{th} is the thermal voltage (26 mV at 300K).

The output of this front-end stage is followed by a differential amplifier (Gm_3) that was implemented by a two-stage symmetrical OTA with a feedback network, as it is depicted in Fig. 2 [9]. This feedback allows setting the midband gain (A_M) by means of C_1/C_2 ratio and also the bandwidth (BW), i.e. if $C_1, C_L \gg C_2$ then $BW = g_m / A_M C_L$. In this amplifier the tail current and transistor dimension were determined in order to achieve the CMRR, gain, power, and noise specifications.

Making capacitor (C_1 or C_2) variables (e.g. switching fix capacitors built from MOS transistors), allow fixing different gains values, even for each differential amplifier branch separately, in order to compensate any input imbalance in the cuff electrode and improving the CMRR. Furthermore, driving the V_{ref} , set in this case at 0.9V, it is possible to reduce the offset voltage if it was necessary.

D. Filter Design

The band-pass filter, depicted in Fig. 4, was designed using the same two-stage symmetrical OTA. In this circuit Gm_4 act as a coupling stage but reduce at same time the BW, Gm_5 with R_5 and C_5 fix the high-pass cut-off frequency (f_H). Gm_6 and C_L , fix the final low-pass cut-off frequency (f_L). Making the resistor R_5 variable, which can be built up from serial MOS transistors [9], the f_H might be dynamically adjusted.

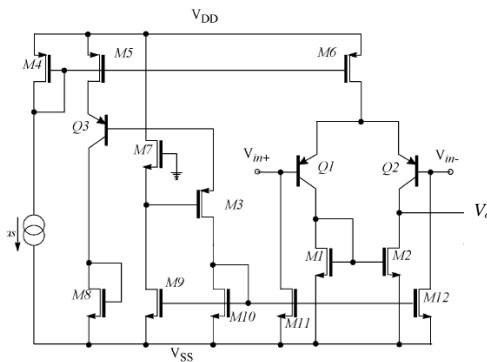


Fig. 3. BiCMOS OTA used in the ENG recording front-stage (from [1]).

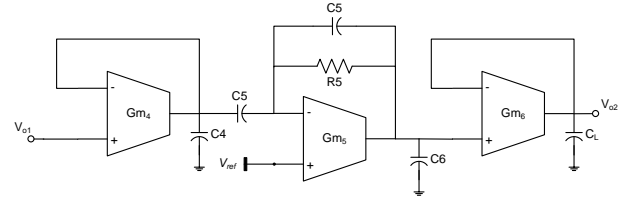


Fig. 4. Band-pass filter (BPF) to reject noise and interferences. Gm_4 is a coupling stage that reduce BW, Gm_5 fix the 3dB high-pass and Gm_6 the low-pass 3dB frequency.

Moreover, controlling the I_{bias} current of the low-pass filter (Gm_6), f_L might also be changed. For testing purposes this values were calculated to fix the frequency in the range specified from 300 Hz to 5 kHz.

E. Output amplifier

The output stage was built up with a classical compensated Operational Amplifier in a configuration of voltage follower in order to drive the load, which is usually an analog to digital converter (ADC), without affecting the ENG recording circuit performance.

III. CIRCUIT SIMULATION RESULTS

After the simulation carried out using Cadence the tools, the front-end amplifiers ($Gm_{1,2}$) depicted in Fig. 2 were designed with values shown in Table I and Table II:

TABLE I
SINGLE STAGE OTA CMOS

| $W_{1,2}/L_{1,2}$ | $W_{3,4}/L_{3,4}$ | I_{bias} |
|-------------------|-------------------|-------------|
| 900/50 μm | 10 μm | 100 μA |

TABLE II
SINGLE STAGE OTA BiCMOS

| $W_{1,2}/L_{1,2}$ | $W_{3,4}/L_{3,4}$ | $W_{5,6}/L_{5,6}$ | W_7/L_7 | $W_{8,12}/L_{8,12}$ | I_{bias} |
|-------------------|-------------------|-------------------|---------------|---------------------|-------------|
| 500/50 μm | 2/0.4 μm | 8/0.4 μm | 0.5/1 μm | 4/0.4 μm | 100 μA |

The results yielded by these two configurations using the values described above are shown in Table III.

TABLE III
RESULTS OF SINGLE STAGE CMOS AND BiCMOS OTA

| Parameter | Specification | OTA CMOS Simulation | BiCMOS Simulation |
|--|----------------------|----------------------|---------------------|
| Power consumption | < 2 mW | 192 μW | 674 μW |
| Open Loop Midband Gain | ~ 40dB | 59.8 dB | 67.2 dB |
| CMRR @ 1kHz | > 80 dB | 62.8 dB | 86.7 dB |
| PSRR @ 1kHz | > 50 dB | 60.9 dB | 86.5 dB |
| Total input-referred noise @ 1Hz | < 20 nV/ \sqrt{Hz} | 65.5 nV/ \sqrt{Hz} | 7.1 nV/ \sqrt{Hz} |
| Total input-referred noise @ 1 kHz | < 4nV/ \sqrt{Hz} | 21.7 nV/ \sqrt{Hz} | 2.7 nV/ \sqrt{Hz} |
| Total input-referred noise (1Hz – 5 kHz) | < 300 nVrms | 2.16 $\mu Vrms$ | 270.8 nVrms |
| Unitary Freq. ($C_1=2pF$) | > 1.5Mhz | 1.9 MHz | 66.3 MHz |

Based on the results shown in TABLE III, the single stage BiCMOS OTA was chosen for the front-end amplification stage due to its lower noise, higher CMRR and PSRR, power consumption acceptably good and better frequency response.

The band-pass filter parameters to fix the desired band (300 – 500 kHz) were calculated using (4) and (5) for f_L and f_H 3 dB cut-off frequencies.

$$f_L = \frac{1}{2\pi R_{oGm6} C_L} \quad (4)$$

$$f_H = \frac{1}{2\pi R_5 C_5} \quad (5)$$

In (4) R_{oGm6} is the output resistance it that can be calculate from the parallel of resistance of output transistors in the way shown in many references, e.g. [7].

Fixing C_5 to 2 pF yields $R_5 = 2.65$ GHz. Calculating first $R_{oGm6} = 47.94$ k Ω , then $C_L = 2.2$ nF.

The final results for all the ENG recording circuit from the preamplifier front-end stage to the output buffer are shown in TABLE IV.

TABLE IV
RESULTS OF ENG RECORDING CIRCUIT PERFORMANCE

| Parameter | Specification | Simulation |
|--|----------------------|----------------------|
| Power supply | 1.8V | 1.8V |
| Power consumption | < 10 mW | 1.63 mW |
| Open Loop Midband Gain | 100dB | 100.3 dB |
| Band width | | |
| Low frequency | 300 Hz | |
| High Frequency | 5 kHz | |
| CMRR @ 1kHz | > 80 dB | 86.7 dB |
| PSRR @ 1kHz | > 50 dB | 86.5 dB |
| Total input-referred noise @ 1Hz | < 20 nV/ \sqrt{Hz} | 24.2 nV/ \sqrt{Hz} |
| @ 1 kHz | < 4nV/ \sqrt{Hz} | 2.7 nV/ \sqrt{Hz} |
| Total input-referred noise rms (1Hz – 5 kHz) | < 300 nVrms | 273.3 nVrms |
| Total input DC current | < 100 nA | 22.45 nA |

Considering the total input-referred noise rms (273.3 nV_{rms}), the signal to noise ratio due to the amplifier noise, can be calculated using (6). For the worst case, i.e. $V_{ENG} = 1$ μ V, (6) yields a value of 11.3 dB.

$$SNR = 20 \log \frac{V_{ENG}}{V_{noise,i}} \quad (6)$$

The Noise Efficiency Factor (NEF), that is typically used for benchmarking the front-end OTA BiCMOS amplifier, was calculated employing (7), as was suggested in [1].

$$NEF = \frac{V_{noise,i} + R_S I_{noise,i}}{\sqrt{4qU_{th}^2 \Delta f / I_{Tot}}} \quad (7)$$

Where q is the electron charge constant and R_s is a noiseless input resistance and I_{Tot} is the total current consumed by the front-end amplifier. A NEF = 2.0 was attained.

IV. DISCUSSION AND CONCLUSION

It have been shown from several studies cited in this work, feedback the neuroprosthesis with sensorial information

contained in ENG signals, is an effective way to significantly improve the neuroprosthesis performance. In this way a closed-loop control can be carried out adding the auto-regulation intrinsic advantages to the system.

Despite of common thought, non-linearity response of natural sensor are not usually critical if a repeatable and well-behaved signal is recorded [3]. Much more important are parameters like noise, power consumption and CMRR, SNR and a properly filtering.

All target specification were fulfilled except a little difference of total system input referred noise at 1 Hz which is higher in 4 nV/ \sqrt{Hz} , however as can be seen in TABLE III this specification is totally fulfilled in the front-end stage which is the most important for noise reduction and SNR improvement. This result for all amplification stage, is due to the high amplification factor used (100 dB) to bring the low amplitudes signals from the μ V to the mV range. However, the total input-referred noise (rms) in the frequency range of interest, satisfy totally the noise specification. Finally, the NEF attained is better than all related work cited in References.

The results achieved in this work allow implementing an ENG recording circuit for feedback implantable neuroprosthesis, using BiCMOS 0.18 μ m with the minimum of added noise and rejecting all the undesirable external noise as well as interfering signals from other biopotential sources in the body with an acceptable SNR.

REFERENCES

- [1] R. Rieger, *et al.*, "Very low-noise ENG amplifier system using CMOS technology," *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, vol. 14, pp. 427-437, 2006.
- [2] J. Taylor, *et al.*, "Some recent developments in the design of biopotential amplifiers for ENG recording systems," Piscataway, NJ 08855-1331, United States, 2006, pp. 486-489.
- [3] A. Harb and M. Sawan, "Low-power CMOS implantable nerve signal analog processing circuit," in *Electronics, Circuits and Systems, 2000. ICECS 2000. The 7th IEEE International Conference on*, 2000, pp. 911-914 vol.2.
- [4] Y. Hu and M. Sawan, "CMOS Front-end Amplifier Dedicated to Monitor Very Low Amplitude Signal from Implantable Sensors," *Analog Integrated Circuits and Signal Processing*, vol. 33, pp. 29-41, 2002.
- [5] T. Sinkjaer, *et al.*, "Biopotentials as command and feedback signals in functional electrical stimulation systems," *Medical Engineering & Physics*, vol. 25, pp. 29-40, 2003.
- [6] E. P. Widmaier, *et al.*, "Neural Signaling and the Structure of Nervous System," in *Vander: Human Physiology. The mechanism of body functions*, 9 ed New York: McGraw Hill, 2004, pp. 513 - 562.
- [7] R. J. Baker, *et al.*, *CMOS Circuit Design, Layout, and Simulation*, 2 ed. New York: Wiley-IEEE Press, 2007.
- [8] J. G. Webster and J. W. Clark, *Medical instrumentation : application and design*, 4th ed. Hoboken: John Wiley & Sons, 2009.
- [9] R. R. Harrison and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications," *Solid-State Circuits, IEEE Journal of*, vol. 38, pp. 958-965, 2003.
- [10] S. C. Lee, *et al.*, "0.9 V low-power switched-opamp switched-capacitor bandpass filter for electroneurography acquisition systems," *IET Circuits, Devices & Systems*, vol. 2, pp. 257-63, 2008.

Implémentation VHDL de la transformée en ondelette discrète pour la compression de signaux corticaux

Gabriel Parent
École Polytechnique de Montréal
gabriel-2.parent@polymtl.ca

Abstract - Ce papier présente une implémentation VHDL paramétrable de la transformée en ondelette discrète (TOD). Cette implémentation est inspirée de travaux précédents qui visent à développer une implémentation VLSI destinée aux implants neuronaux. Le modèle présenté ici peut donc être utilisé pour explorer l'influence des différents paramètres, simuler le comportement de cette implémentation et caractériser les erreurs associées. Une analyse des résultats obtenus par rapport à un modèle MatLab est présentée.

I. INTRODUCTION

L'explosion du nombre d'électrodes dans les implants corticaux amène une complication de taille : l'augmentation drastique de la bande passante vers l'interface externe. L'importance d'une compression « on-chip » des signaux se fait de plus en plus sentir. Or, lorsqu'il s'agit de circuit implantable, certaines contraintes telles que la dissipation de chaleur et la superficie occupée ne permettent pas d'utiliser les techniques classiques. En 2006, Oweiss a présenté deux méthodes [1] permettant de faire de la compression de signaux corticaux. Une de ces méthodes, la transformée en ondelette discrète (TOD) [2], utilise la redondance temporelle des signaux pour obtenir une compression.

La TOD permet d'obtenir un coefficient approximatif représentant l'information basse fréquence et un coefficient détaillé contenant l'information haute fréquence. Généralement, cette TOD est effectuée sur plusieurs niveaux. Lors des itérations subséquentes au premier niveau, l'entrée des filtres correspond au coefficient approximatif du niveau inférieur dont la fréquence d'échantillonnage a été divisée par deux (Fig.1). L'intérêt de la TOD est qu'il est possible de reconstruire suffisamment bien un signal original à partir des coefficients approximatifs et détaillés les plus importants. Les coefficients inférieurs à un seuil ne sont donc pas transmis, ce qui diminue la demande en bande passante. Kamboh [3] mentionne qu'en utilisant un seuil de 50, il passe d'une représentation de 10 bits par symbole à 4.78 bits par symbole, en causant une erreur RMS de 37.95 pour des signaux corticaux.

Cette transformée s'est grandement répandue un peu partout dans toute sorte d'application d'ingénierie ; elle fait même partie intégrante du standard JPEG-2000 [4] utilisé pour l'encodage d'image. Une des implémentations de la TOD, le schème lifting [5], est, contrairement au schème B-Spline ou à l'algorithme récursif « Pyramide » [6], bien adapté au VLSI puisque le nombre de cycles nécessaire est beaucoup plus petit que pour les autres implémentations. Aussi, ce schème nécessite moins de multiplications [7].

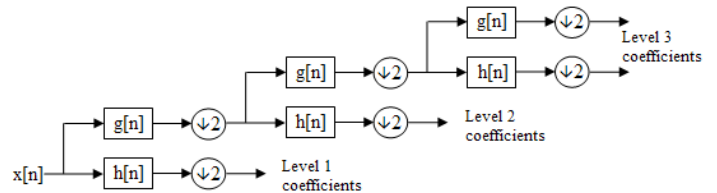


Fig. 1. Les étapes de la TOD pour trois niveaux. On observe que l'entrée des étages de niveau supérieur à 1 correspond aux coefficients approximatifs extraits du filtre passe-bas $g[n]$ dont la fréquence d'échantillonnage a été divisée par deux. Dans cet exemple, le résultat de la TOD est trois coefficients détaillés et un coefficient approximatif de niveau 3. (Source : Wikipedia)

L'architecture VHDL présentée ici est basée sur le schème lifting et s'est inspiré du travail préalable d'Oweiss qui détaille les différents modules qu'il a conçu pour effectuer la TOD en utilisant l'ondelette *sym-4*. La section suivante présente les différents modules inclus dans le modèle VHDL. La section III présentera les résultats obtenus et une caractérisation des erreurs obtenues avec cette architecture. Finalement, la section IV conclura en détaillant certaines avenues intéressantes.

II. DESCRIPTION DE L'ARCHITECTURE¹

A. Noyau de computation

Le noyau de computation est l'élément clé de l'architecture. Selon le schème lifting, les coefficients approximatifs et détaillés sont calculés à partir de deux échantillons en entrée (ce qui a le rôle de divisé la fréquence d'échantillonnage par deux). Cinq cycles du noyau de computation sont nécessaires pour obtenir les coefficients d'une couple. Chacun de ces cycles possède la même organisation : une addition de 3 termes dont les deux derniers sont modulés par des coefficients spécifiques à l'ondelette *sym-4*. Le noyau de computation possède donc 5 ports d'entrée (X, Y, Z, coeff1 et coeff2) et un port de sortie transmettant le résultat. Finalement, étant donné que le résultat du cycle 1 du schème de calcul est utilisé par le cycle 2, le noyau de computation doit être purement combinatoire, ce qui permet d'éviter un cycle de latence. Tel que présenté à la Fig. 2, au cycle 5, le coefficient approximatif se situe au à l'entrée Y et le coefficient détaillé se situe à la sortie du noyau de computation.

¹ Ces modules, ainsi que les fichiers MatLab pour la validation, sont disponibles en tant que logiciel libre au <http://www.info.polymtl.ca/~gapar2/GBM5320>

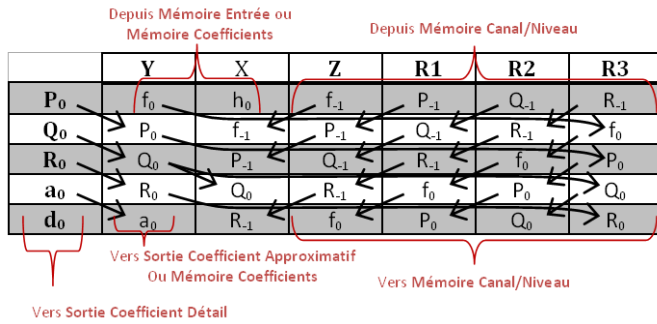


Fig. 2. Les lignes représentent les opérands utilisés par le noyau de computation (première ligne pour le premier cycle, etc.). h_0 et f_0 représentent la première et la deuxième valeur du couple obtenu en entrée, de la mémoire d'entrée ou de la mémoire de coefficients. Les quatre autres valeurs (Z, R1, R2 et R3) sont obtenues de la mémoire Canal/Niveau. À la suite du dernier cycle de calcul, les coefficients sont dirigés vers les mémoires appropriées, et vers la sortie.

B. Mémoires

Le schème lifting nécessite un couple d'échantillons. Il est donc nécessaire de stocker le premier échantillon durant l'attente du deuxième. Puisque l'architecture peut supporter un nombre paramétrable de signaux d'entrées, la taille de cette **mémoire d'entrée** correspond au nombre de canaux fois le nombre de bits de précision pour la valeur d'un échantillon. Pour le calcul des coefficients des niveaux supérieurs à 1, les signaux d'entrées ne proviennent pas de l'extérieur, mais plutôt du calcul des coefficients approximatifs des niveaux inférieurs. Une **mémoire de coefficients** approximatifs doit suffire à stocker autant de coefficients qu'il y a de canaux d'entrées et de niveau de TOD. Ces deux mémoires ont été instanciés à l'aide de l'outil « IP Core Generator 7.2 » d'Active-HDL et sont implémentés par des BRams au niveau du FPGA. À noter qu'un multiplexeur permet de déterminer si les valeurs vers le noyau de computation doivent provenir de la **mémoire d'entrée** ou de la **mémoire de coefficients**.

Pour le stockage des valeurs temporaires lors des différentes étapes de calcul du schème de lifting, 6 registres de type D Flip-Flop sont utilisés. Ces registres sont mis à jour selon un ordre particulier au schème lifting et à l'ondelette *sym-4*. La Fig. 2 présente cet ordre pour les 5 cycles de calcul requis. Lors du premier cycle, les coefficients Z, R1, R2 et R3 proviennent du calcul des coefficients des deux échantillons précédents. Ils sont entreposés dans la **mémoire Canal/Niveau** qui possède quatre fois le nombre de bits pour représenter un échantillon, pour chaque canal et pour chaque niveau. Il s'agit de la mémoire de l'architecture nécessitant le plus de ressources. Les coefficients Z, R1, R2 et R3 sont réécrits dans cette mémoire lors de la dernière étape du calcul pour être réutilisés pour le calcul des coefficients des deux prochains échantillons.

Finalement, les 6 coefficients de filtre de la *sym-4* sont stockés dans une mémoire morte également générée par l'outil d'Active-HDL. Cette mémoire est simplement implémentée par une LUT.

C. Contrôleur

La Fig. 3 montre la machine à état qui a le rôle de contrôleur principal. La machine se trouve dans les états en bleu lorsqu'elle est en attente ou lorsqu'elle lit les signaux d'entrée. Lorsqu'elle se situe dans un état vert, la machine est en mode « calcul » et configure les différents modules pour les cinq cycles du calcul des coefficients. Les états orange indiquent soit l'écriture, soit la lecture d'une mémoire temporaire (**Canal/Niveau, Coefficients**).

Le nombre de cycle nécessaire pour le calcul des coefficients d'un couple d'échantillons est 8. Conséquemment, dans la mesure où l'horloge de l'architecture est cadencée 8 fois plus rapidement que le taux d'échantillonnage, tous les échantillons peuvent être traités. Tel qu'expliqué précédemment, puisque le schème lifting nécessite un couple d'échantillons, il y a une latence d'attente inhérente. C'est durant ce délai d'attente que les calculs sont effectués pour trouver les coefficients des niveaux supérieurs à 1. Ainsi, tel que l'explique Kamboh dans [3], grâce à cette division par deux de fréquence pour chaque niveau, il est possible de calculer les coefficients pour un nombre aussi élevé de niveau que désiré sans retarder le calcul des coefficients de niveau 1.

Les transitions de cette machine à état dépendent donc de si elle se trouve en train de calculer les coefficients d'un niveau supérieur à 1 (*DansLevel = '1'*), du numéro de canal qu'elle est en train de traiter et de la présence ou non de données en entrée (*NouvelleDonnee = '1'*).

D. Banc de test

Un banc de test a été conçu pour valider le bon fonctionnement du calcul des coefficients. Ainsi, un module test s'occupe d'instancier les modules appropriés et leur assigne des signaux tests (horloge, reset, etc.). Deux ensembles de données ont été utilisés pour valider. Tout d'abord, un ensemble de signaux contenant seulement du signal DC a été fourni à l'architecture. Ce premier ensemble a

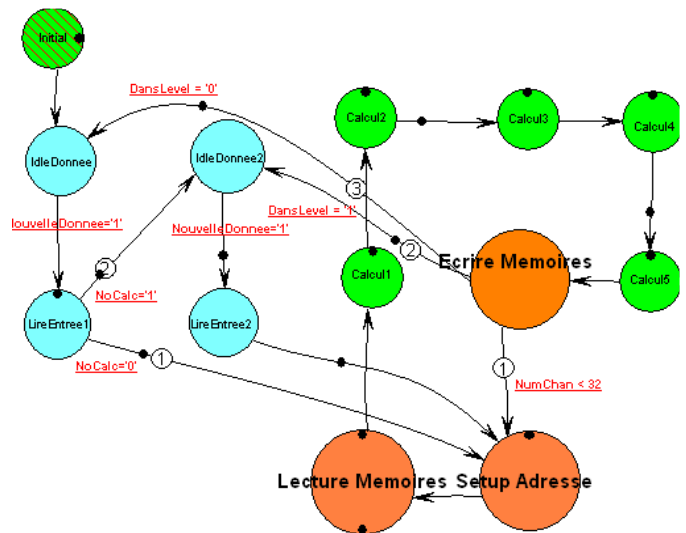


Fig. 3. Machine à état pour le contrôleur. Les états en bleus correspondent aux attentes des données de l'entrée. Les 5 états en vert sont les 5 cycles de calculs pour le schème lifting et les états oranges, ceux pour écrire et lire des différentes mémoires.

permis de détecter plusieurs erreurs. De plus, il a été possible d'intégrer ces résultats dans MatLab. En utilisant la boîte à outils « Wavelet » fournie avec le logiciel, il a été possible d'effectuer une TOD sur les mêmes vecteurs et de comparer la validité des résultats. C'est de cette manière que l'intégrité de l'architecture TOD est garantie.

Par la suite, un ensemble test, décrit à la prochaine section et provenant d'une équipe de l'Oklahoma, a été intégré au banc de test et a permis d'assurer le fonctionnement du modèle VHDL sur un ensemble de données réelles.

III. RÉSULTATS

Le modèle VHDL a d'abord été confronté à des signaux DC de valeurs 8, 16, 32, 64, 128 et 256, de précision de 10 bits. Les coefficients de filtre de la *sym-4* étaient représentés sur 6 bits. La TOD a été effectuée pour deux niveaux. Les coefficients détaillés et le coefficient approximatif ont par la suite été importés dans MatLab et reconstruits pour valider le fonctionnement et la perte de précision.

En observant la Fig. 4, on peut voir que la reconstruction des coefficients obtenus avec le modèle VHDL montre une tendance systématique à donner des valeurs inférieures au résultat attendu en fonction d'une reconstruction parfaite de MatLab. Pour déterminer si la quantification sur 6 bits des coefficients de filtre de la *sym-4* était à l'origine de cette perte d'information, le module MatLab « WAVELET » de Pascal Getreuer a été modifié : les coefficients exacts ont été remplacés par une version quantifiée tel que dans le modèle VHDL. Le résultat présenté à la Fig. 4 montre que cette quantification a un impact sur la perte de précision, mais qu'il induit une erreur aléatoire. La tendance systématique doit donc se trouver ailleurs.

Pour pousser un peu plus loin l'analyse, un ensemble de tests provenant d'un rat confronté à différentes tâches auditives a été utilisé. Il provient du laboratoire « Neural Engineering » de l'Université de l'Oklahoma. Les données sont échantillonnées à un taux de 25kHz à partir de 16 électrodes implantées dans le

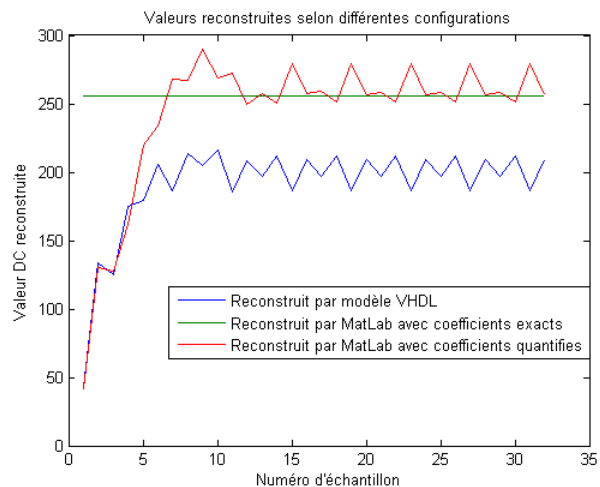


Fig. 4. Reconstruction d'une valeur DC à partir du résultat de la TOD, selon que les coefficients de l'ondelette *sym-4* sont exacts ou quantifiés.

cortex auditif. La précision des échantillons est de 14 bits. Les échantillons ont donc été ramenés sur 10 bits en quantifiant de manière à permettre à l'architecture VHDL de profiter du maximum de marge de manœuvre. Encore une fois, MatLab a été utilisé pour reconstruire en utilisant les coefficients quantifiés de la *sym-4*. De plus, les signaux utilisés ont été convertis de point flottant vers représentation entière pour être compatible avec l'architecture TOD.

La Fig 5. montre le signal original et le signal reconstruit par le modèle VHDL (en bleu) sur une certaine plage d'échantillons. Encore une fois, on peut voir une tendance systématique à reconstruire à une valeur inférieure au signal d'origine. Pour compenser, on le multiplie par un facteur empirique de 1.3, ce qui donne le signal en vert, beaucoup plus corrélé avec le signal original. Une explication possible est qu'étant donné que les résultats intermédiaires stockés dans les registres et dans la **mémoire Canal/Niveau** sont stockés sur 10 bits, les filtres passe-bas et passe-haut extrayant les coefficients approximatifs et détaillés sont différents entre MatLab et l'architecture VHDL. Il est donc possible que les gains de ces

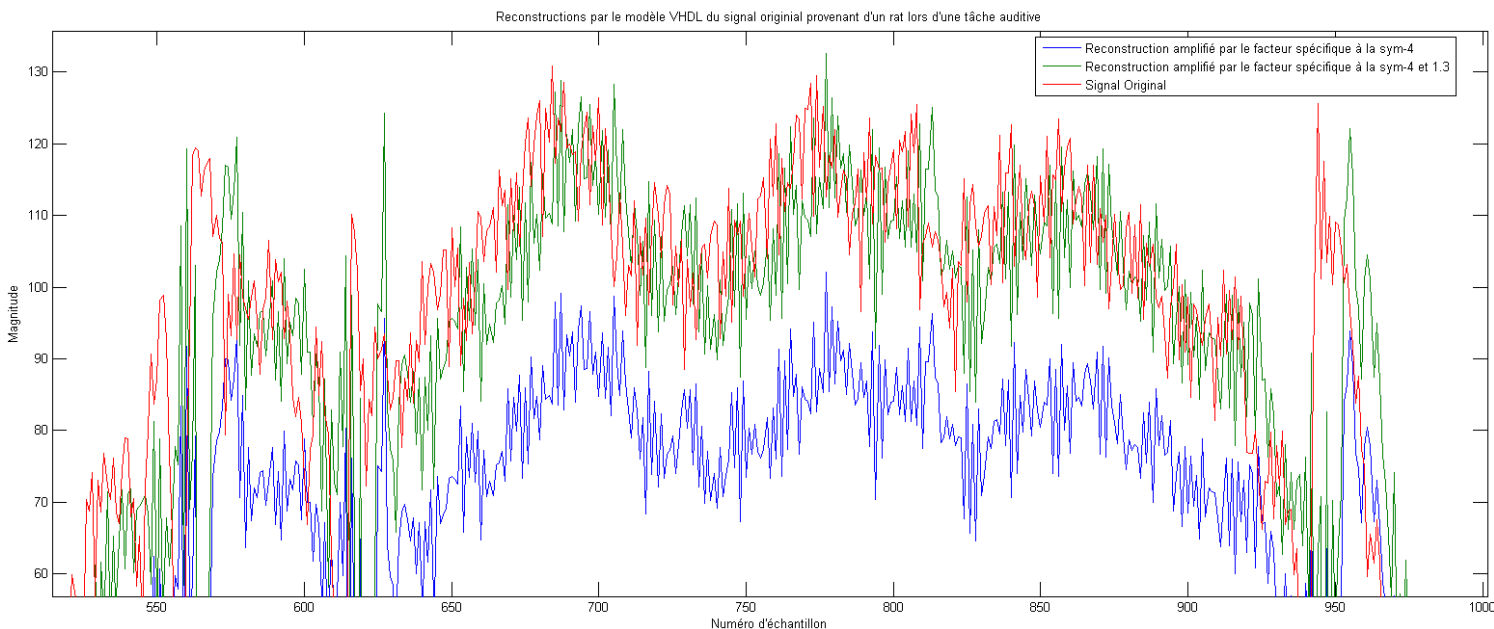


Fig. 5. Différentes reconstructions du signal original selon une amplification

filtres soient différents.

La Fig 5. permet également d'observer une différence entre l'implémentation MatLab et VHDL : pour MatLab, il y a une autocorrection des effets de bord alors qu'il n'y en a pas en VHDL. Ainsi, on peut voir qu'un délai d'environ 7 échantillons entre les deux signaux (voir les deux pics à droite de la figure). Ce défaut n'a pas été corrigé pour permettre une visualisation plus facile sur le graphique.

L'erreur RMS a été utilisée pour déterminer la capacité de l'architecture TOD à fournir des coefficients approximatifs et détaillés précis. L'erreur RMS est donnée par

$$Erreur\ RMS = \sqrt{\frac{1}{N} \sum_n^N (x_n - \hat{x}_n)^2} \quad (1)$$

Cette métrique offre donc une mesure de la correspondance entre deux signaux. Entre le signal original et le signal non amplifié par le facteur 1.3 obtenu par le modèle (en bleu), l'erreur RMS est de 28.64. Lorsque ce signal est amplifié par le facteur 1.3 (en vert), l'erreur tombe à 25.58. Finalement, lorsque le signal est décalé de 7 cycles vers la gauche, l'erreur RMS passe à 13.46. Cette erreur est celle inhérente aux pertes de précision associées au modèle VHDL. Puisque l'amplitude du signal oscille entre -200 et 170, une erreur RMS de 13.46 est tout à fait acceptable. Une piste de solution permettant de diminuer cette erreur est présentée dans la section suivante.

Finalement, de manière à fournir un ordre de grandeur des ressources nécessaires pour cette architecture, XST 9.1 a été utilisé pour synthétiser les modules en fonction d'un FPGA Virtex-4 FX. La Table 1 présente les données sur les ressources requises en comparaison avec celles requises pour synthétiser deux autres modules fréquents, soit un convertisseur Analogique-Numérique et une instance de bus PLB. À noter que seulement un effort minimal a été effectué pour minimiser l'usage de ressources. Il y a sans aucun doute place à amélioration.

IV. CONCLUSION

Ce papier a résumé et décrit les différents modules d'une architecture VDHL permettant d'effectuer une transformée en ondelette discrète. Cette architecture a été validée à l'aide de simulations MatLab sur, d'une part, des signaux synthétiques contenant seulement une composante DC et, d'autre part, des signaux corticaux extraits d'un rat alors qu'il effectuait une tâche de discrimination auditive. La quantification des coefficients de l'ondelette *sym-4* et des valeurs d'entrée induit une erreur aléatoire tel qu'indiqué à la Fig. 4. Cependant, l'erreur principale observée à la sortie de l'architecture est une erreur systématique qui semble trouver son existence dans une différence entre les filtres utilisés par MatLab, et les filtres du schéma lifting de notre architecture. L'erreur RMS, de l'ordre de 13.46, pourrait être caractérisée plus en détail pour trouver des pistes d'amélioration.

TABLE I

RESSOURCES REQUISES POUR IMPLÉMENTER L'ARCHITECTURE VHDL SUR UN FPGA VIRTEX-4 FX EN COMPARAISON AVEC D'AUTRES MODULES FRÉQUENTS

| Device | Architecture TOD | Xilinx OPB ADC v1.01a | Xilinx Processor Local Bus v3.4 |
|-----------------|------------------|-----------------------|---------------------------------|
| Slice | 395 | 174 | 711 |
| Slice Flip-Flop | 470 | 153 | 212 |
| LUTs | 454 | 303 | 1135 |
| BRams | 3 | 0 | 0 |

Il faudrait modifier le modèle MatLab pour le rapprocher de ce qui se passe en VHDL : créer une implémentation du schéma lifting en MatLab serait probablement la première étape. Par la suite, on pourrait convertir les données en points flottants vers une représentation entière, tout en fixant le nombre de bits utilisés pour représenter les échantillons tel qu'ils le sont en VHDL. Le comportement d'une simulation de ce type devrait se rapprocher de ce que l'on observe du modèle VHDL. Si les deux modèles concordent, une solution s'offre pour améliorer la précision de l'architecture VHDL. Il est vrai qu'une précision restreinte pour les coefficients permet de diminuer la bande passante. Cependant, une représentation à point fixe pour les valeurs temporaires stockées dans la mémoire Canal/Niveau et dans les registres permettrait de diminuer l'erreur RMS. Aussi, en modifiant légèrement le noyau de computation pour supporter des entrées en points fixes, une précision plus grande pourrait être atteinte pour les 5 cycles du calcul d'un coefficient. La précision du résultat pourrait par la suite être diminuée pour être acheminée vers l'extérieur. Il faudrait voir dans quelle mesure ces modifications augmenteraient le nombre de ressources nécessaires.

RÉFÉRENCES

- [1] K. Oweiss, "A systems approach for data compression and latency reduction in cortically controlled brain machine interfaces." *IEEE Transactions on Biomedical Engineering*, vol. 53, No. 7, July 2006.
- [2] P. S. Addison, "The Illustrated Wavelet Transform Handbook: Introductory Theory and Applications in Science, Engineering, Medicine and Finance" IoP Publishing, Bristol, 2002.
- [3] A. Kamboh, M. Raetz, K. G. Oweiss, and A. Mason. "Area-power efficient VLSI implementation of multichannel DWT for data compression in implantable neuroprosthetic." *IEEE Transactions on Biomedical Circuits and Systems*, vol. 1, no 2, June 2007.
- [4] M. W. Marcellin, M. J. Gormish, A. Bilgin and M. P. Boliek. "An Overview of JPEG-2000." *Proc. Of IEEE Data Compression Conference*. pp. 523-541, 2000.
- [5] W. Sweldens, "The lifting scheme: a new philosophy in biorthogonal wavelet construction." *Proc. SPIE*. v2569, pp 68-78
- [6] M. Vishwanath, R. Michael and M. J. Irwin. "VLSI architecture for the discrete wavelet transform." *IEEE Transactions on circuits and systems-II: Analog and Digital Signal Processing*. vol. 42, no. 5, May 1995
- [7] K. G. Oweiss, A. Mason, Y. Suhail, A. Kamboh and K. E. Thomson. "A scalable wavelet transform VLSI architecture for real-time signal processing in high-density intra-cortical implants." *IEEE Transactions on Circuits and Systems*, vol. 54, no. 6, June 2007.

Génération automatique des dessins de masques d'un transmetteur I-UWB pour des implants biomédicaux

Guillaume Simard

Laboratoire de Neurotechnologies Polystim, École Polytechnique de Montréal

Courriel : guillaume.simard@polymtl.ca

Résumé—Un transmetteur de type I-UWB (Impulse Ultra-Wideband) en bande 3.1 GHz à 10.6 GHz en technologie CMOS 90 nm est présenté. En simulation de schéma, celui-ci atteint une consommation très faible (4.7 pJ/imp), lui permettant d'être utilisé pour des implants biomédicaux. Les masques réglementaires de la FCC (Federal Communications Commission) sont respectés même sous les variations de procédé. Nous procédons au dessin des masques de manière semi automatisée afin de pouvoir rapidement ajuster les composants critiques du transmetteur comme l'oscillateur en anneau.

I. INTRODUCTION

Les implants biomédicaux sont appelés à jouer un rôle central pour la recherche en neurologie par la stimulation et l'enregistrement de potentiels d'action des neurones. Pour être d'utiles observateurs au sein du système nerveux, constitué de plus de 100 milliards de neurones, un nombre élevé d'électrodes devra être utilisé sur de petites régions du cerveau. Ceci pose un problème à multiples facettes dont une vitesse de communication élevée, une faible consommation énergétique et une taille minimale. La microélectronique est une solution naturelle à ce problème, en particulier une technologie mature, disponible et frugale comme le CMOS 90 nm.

Jusqu'à récemment, les travaux les plus sérieux promettaient jusqu'à une vitesse de 2.5 Mb/s. Ceci est toutefois insuffisant pour un implant intracortical dédié à restaurer la vision qui nécessiterait pas moins de 20 Mb/s. Certains chercheurs [1] proposent l'avenue de la communication par ultra-large bande pour résoudre ce goulot d'étranglement. Il s'agit d'une piste sérieuse que nous investiguons dans cet article. Ce type de transmission de nature impulsionnelle est une communication en bande de base et permet donc de réduire la consommation énergétique proportionnellement à la vitesse de transfert. Pour ce faire, il suffit d'abaisser le facteur d'utilisation du générateur d'impulsions en le mettant en veille entre celles-ci. Ceci amène à mesurer l'efficacité énergétique du système en terme de pJ/impulsion, dont l'ordre de grandeur avoisine aujourd'hui la dizaine [2], [3].

Le maintien d'un faible facteur d'utilisation nécessite que la remise en marche des systèmes en veilleuse soit quasi instantanée. En effet, la largeur des impulsions générées étant de l'ordre de la nanoseconde, une économie énorme est à faire si nous pouvons effectuer un allumage aussi

rapide. C'est ce que propose [4] avec un temps d'amorce de l'oscillateur sous les 2 ns. Nous y remarquons que l'utilisation d'un oscillateur en anneau dont le facteur de qualité est faible permet de réaliser cet exploit. Leur conception, satisfaisant à la norme en émergence 802.15.4a, permet un ajustement de la fréquence par le biais d'un transistor de queue sur chaque inverseur de l'oscillateur en anneau. Dans notre conception, des inverseurs non ajustables sont utilisés, réduisant encore plus ce délai d'amorçage.

La seule restriction sur les ondes transmises en ultra-large bande est de respecter le masque imposé par la FCC. Pour ce faire, des impulsions courtes de l'ordre de la nanoseconde sont utilisées. Certains ont proposé d'utiliser des dérivées multiples de la Gaussienne, d'autres des fonctions d'Hermite orthogonales et d'autres plus simplement une onde sinusoïdale enveloppée d'une fonction gaussienne. Les topologies permettant de générer ces impulsions, si nous excluons l'utilisation d'un convertisseur numérique à analogique et des filtres FIR et IIR, considérées trop complexes pour des implants, incluent des approches complètement numériques [2], [3], [5] et des approches mixtes [6].

Afin d'obtenir une meilleure estimation des caractéristiques de nos circuits, nous procédons au dessin des masques de ceux-ci. Pour ce faire, la méthode traditionnelle normalement utilisée est d'effectuer le dessin manuel des masques [7]. Nous sentions toutefois que la procédure itérative nécessaire pour ajuster les caractéristiques de nos circuits rendrait cette tâche très ardue, aussi nous avons opté pour la génération semi automatique de nos masques.

Nous aborderons l'architecture du système ainsi que ses composants dans la section II, nous présenterons les résultats de simulation à la section III, puis nous présenterons notre méthode de génération des masques à la section IV.

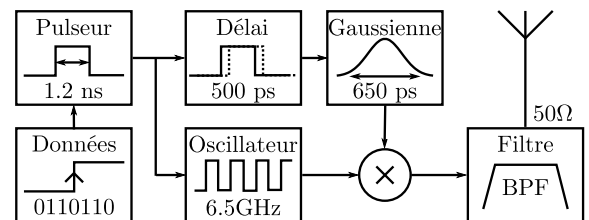


FIG. 1: Diagramme bloc du système

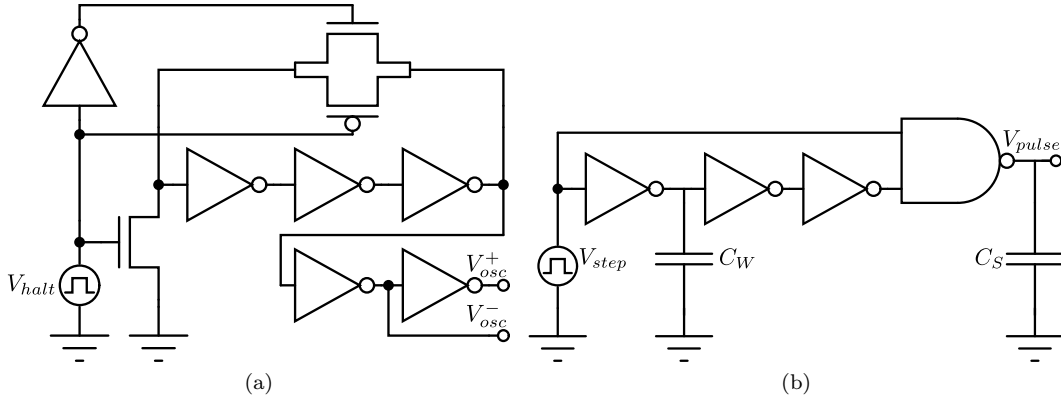


FIG. 2: (a) Oscillateur en anneau commutable (b) Générateur d'impulsions et de pseudo Gaussienne

II. CIRCUITS ET SYSTÈMES

Nous avons opté pour la génération d'une impulsion de type gaussienne modulée par un sinus à l'aide d'une topologie mixte, présentée à la Fig 1. Un filtre passe-bande est nécessaire à la sortie pour couper les fréquences parasites hors bande, mais surtout afin de présenter une sortie d'impédance caractéristique de 50Ω à la ligne de transmission qui acheminera le signal radio jusqu'à l'antenne ultra-large bande.

A. Générateur d'impulsions

La génération d'une impulsion est amorcée lorsqu'un front montant est issu du bloc de données à l'amont du système (voir Fig. 1). Ceci laisse la latitude aux circuits externes d'appliquer le type de modulation en bande de base qui est souhaitable pour une application particulière.

Une impulsion d'une largeur de 1.2 ns est générée puis appliquée à la ligne d'activation de l'oscillateur. Une version avec un délai de 500 ps est également produite afin d'être acheminée au générateur de la pseudo Gaussienne. Ce délai permet à l'oscillateur de démarrer avant le début de la Gaussienne.

La Fig. 2b illustre le fonctionnement du générateur d'impulsions et de pseudo Gaussienne, dont les deux partagent la même implantation aux valeurs près des capacités C_W et C_S . Le condensateur C_W a pour rôle d'ajuster la largeur de l'impulsion alors que C_S agit en filtre passe-bas de concert avec l'impédance de sortie de la porte NON-ET. Ceci permet, dans le cas de la pseudo-Gaussienne, d'obtenir une forme arrondie.

B. Oscillateur en anneau

Une topologie élémentaire permettant de générer une onde carrée haute fréquence est présentée à la Fig. 2a. Il s'agit d'un oscillateur en anneau constitué de trois inverseurs en cascade dont le dernier revient alimenter l'entrée. Les capacités parasites et les dimensions des transistors constituant les inverseurs créent un délai qui détermine la fréquence.

Nous récoltons le signal à la sortie de l'oscillateur en anneau pour générer une version mise en forme de celui-ci

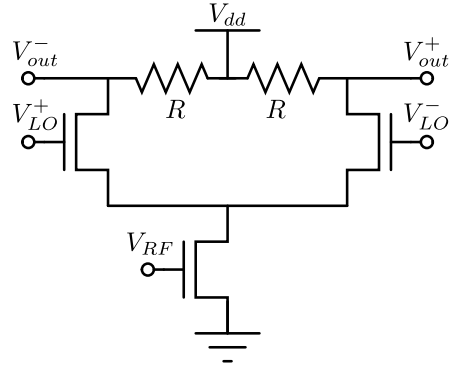


FIG. 3: Cellule de Gilbert

et de son complément. Ces signaux, constituant une onde carrée différentielle haute fréquence, seront utilisés dans la cellule de Gilbert comme oscillateur local (LO).

C. Cellule de Gilbert

La multiplication entre une onde de 6.5 GHz et d'une pseudo gaussienne permet d'obtenir un spectre de forme gaussienne centré autour de la fréquence en question. Pour effectuer cette opération, nous transformons les signaux en tension vers le domaine du courant à l'aide d'une cellule de Gilbert, illustrée à la Fig. 3.

III. RÉSULTATS DE SIMULATION

La Fig. 4a présente une impulsion telle que mesurée à l'antenne, incarnée par une charge résistive équivalente de 50Ω . La Fig. 4b présente le spectre en fréquence de cette impulsion, surplombée par le masque de la FCC défini pour les communications de type ultra-large bande.

La consommation en énergie a été calculée en effectuant l'intégration du courant sortant de l'unique source d'alimentation de 1 V présente en simulation. À un taux de répétition de 100 MHz, l'énergie consommée se chiffre à 4.7 pJ/impulsion.

IV. DESSINS DE MASQUES

L'étape des dessins de masques est une étape traditionnellement manuelle dans la fabrication de circuit intégrés

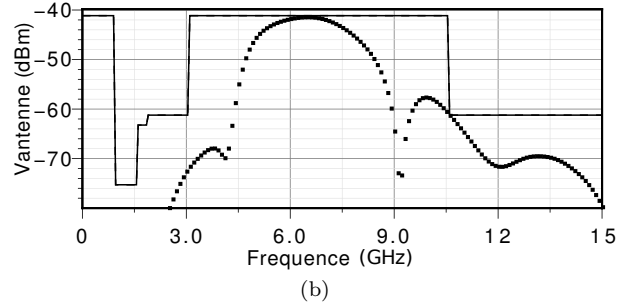
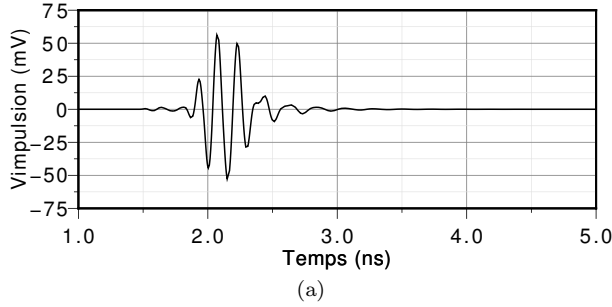


FIG. 4: (a) Impulsion mesurée à la sortie du système (b) Transformée de Fourier discrète de l'impulsion bornée par le masque de la FCC

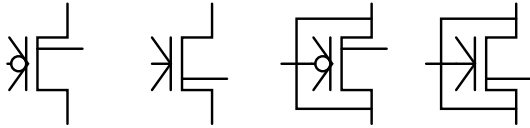


FIG. 5: Transistors fondamentaux, de gauche à droite, PMOS avec contacts, NMOS avec contacts, PMOS avec anneau de garde et NMOS avec anneau de garde

analogiques. Bien que les concepteurs des circuits numériques aient accès depuis quelques dizaines d'années à des outils de génération automatique pour les assister dans leur travail, les concepteurs de circuits analogiques travaillent encore manuellement [7]. Nous proposons dans cet article une méthode semie automatique pour générer des dessins de masques rapidement ajustables aux paramètres désirés.

L'algorithme 1 présente deux fonctions fondamentales de notre méthode de génération semie automatique. Il s'agit des fonctions **place** et **place-line**, utilisée pour instancier des objets dans le dessin de masque et donner une relation géométrique entre eux. Notez que la parenthèse d'ouverture se situe avant le nom de la fonction. Ceci est une particularité du langage SKILL, dérivé de Lisp.

Algorithme 1 Fonctions de placement géométrique

- 1: (**place** obj1 relation obj2)
 - 2: (**place-line** obj times relation)
-

A. Transistors

Tout circuit analogique repose sur l'utilisation de transistors. Dans le cas qui nous occupe, nous utilisons des transistors à effet de champ en technologie complémentaire (CMOS). Ayant accès à plusieurs génération de technologies (65 nm, 90 nm, 130 nm, 180 nm, etc.), il est préférable que l'outil de génération accède aux règles de dessins propres à la technologie cible au moment de la synthèse. Ce faisant, la définition d'un circuit peut faire abstraction de la technologie courante.

La plupart des trousse de développement fournissent des transistors PMOS et NMOS sans contact métallique à la grille alors que nous souhaitons nous y connecter la très grande majorité du temps. La première étape fût de définir un transistor ajustable en longueur, largeur et dont le nombre de doigts pouvait être varié, et de fournir les contacts à la grille. Il s'agit donc d'ajouter suffisamment de polysilicone pour étendre la grille et lui permettre d'accepter des contacts métalliques et d'étendre le puit type N dans le cas du transistor PMOS. Les deux premiers symboles de la Fig. 5 représentent ces transistors avec contacts.

En microélectronique, une stratégie de blindage contre l'injection de porteurs dans le substrat est l'utilisation d'un anneau de garde autour des transistors. Cet anneau sert également à polariser le corps du transistor à un potentiel connu, très souvent V_{dd} ou V_{ss} pour les PMOS et les NMOS respectivement. Les transistors avec contacts furent entourés d'un anneau de garde et un nouveau symbol fût créé, tel qu'illustré à la Fig. 5.

B. Cellules hiérarchiques

Armés de composants de base, il est alors possible de définir des cellules hiérarchiques, c'est-à-dire des cellules composées d'autres cellules. L'inverseur et la porte de transmission sont deux exemples canoniques omniprésents dans les circuits actuels. Ces composants serviront plus tard à créer d'autres cellules comme l'oscillateur en anneau. La définition d'un inverseur est donnée succinctement dans l'algorithme 2.

Algorithme 2 Inverseur

- 1: (**place** {créé un inverseur}
 - 2: (nmos (fingers 1) (w 1.5 μm) (l 0.12 μm))
 - 3: (below 0.5 μm)
 - 4: (pmos (fingers 2) (w 3.0 μm) (l 0.12 μm)))
-

Les fonctions de base disponibles dans le logiciel Virtuoso XL utilisé pour le dessin de masques ne permettent pas ce type d'algorithme nativement. Il a fallu développer un macro langage bâti au dessus des fonctions de base

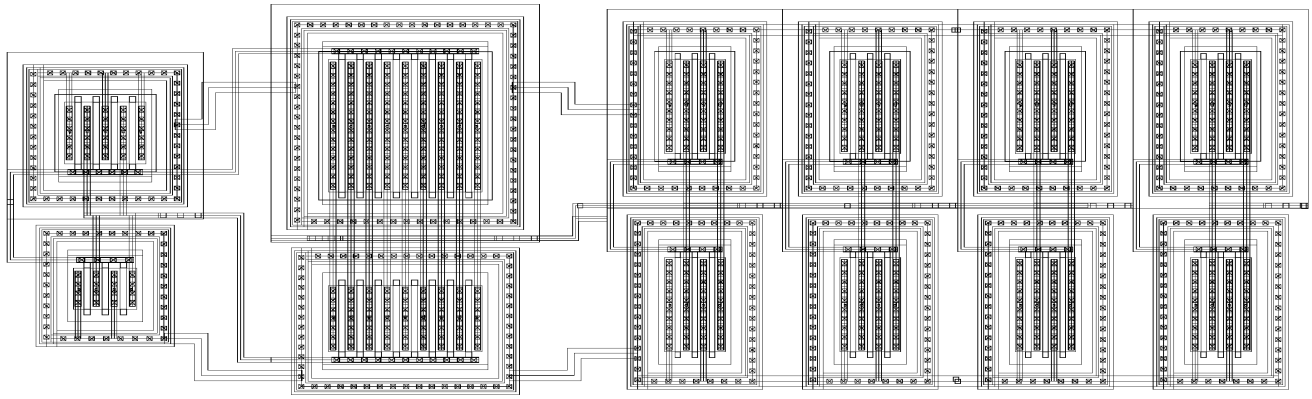


FIG. 6: Dessins de masques de l'oscillateur en anneau de 6.5 GHz

avant de pouvoir en arriver à ce point. L'algorithme présenté est responsable du positionnement géométrique des composants. Un autre macro langage du même genre a été développé pour exprimer les interconnexions entre les composants.

C. Oscillateur en anneau

L'oscillateur en anneau est le coeur du transmetteur car c'est lui qui impose la fréquence centrale aux impulsions. Il est possible de balayer les paramètres des transistors le composant afin d'obtenir la fréquence désirée en simulation de schéma, mais la génération des dessins de masque ajoutent plusieurs parasites qui viennent modifier grandement (30%+) la fréquence d'oscillation. C'est pour cette raison que l'algorithme 3 est utilisé itérativement afin de cibler rapidement les nouvelles dimensions requises.

Algorithme 3 Oscillateur en anneau

- 1: (**place** {créé un inverseur}
 - 2: (inverter)
 - 3: (left-of 1.0 μm)
 - 4: (**place** {créé une porte de transmission}
 - 5: (xmit-gate)
 - 6: (left-of 1.0 μm)
 - 7: (**place-line** {créé une chaîne d'inverseurs}
 - 8: (inverter (fingers 3) (w 15.0 μm) (l 0.12 μm))
 - 9: (times 4)
 - 10: (left-of 0.0 μm)))
-

La Fig 6 montre le résultat de la synthèse de l'oscillateur en anneau fonctionnant à 6.5 GHz. On constate que l'algorithme 3 génère bel et bien la géométrie attendue. Comme pour les autres cellules hiérarchiques, les connexions sont exprimées subséquentment à la géométrie par un autre macro langage dédié à cet effet.

V. CONCLUSION

Nous avons démontré la faisabilité d'un transmetteur de type I-UWB en technologie CMOS 90 nm à très faible consommation. Les impulsions générées respectent

les normes en vigueur de la FCC et le circuit est prêt à être connecté à une antenne ultra-large bande. Une méthode de génération semi automatique de dessins de masques a été présentée et fut utilisée pour le dessin de l'oscillateur en anneau. Les autres blocs composant le système doivent être dessinés avant d'effectuer la comparaison finale entre la simulation de schéma et la simulation de type "post-layout".

REMERCIEMENTS

L'auteur souhaite remercier l'aide financière accordée par le CRSNG et le ReSMiQ dans le cadre de sa maîtrise ainsi que les outils fournis par la société canadienne de microélectronique (CMC).

RÉFÉRENCES

- [1] C. Charles, "An implantable i-uwband transceiver architecture with power carrier synchronization," *Circuits and Systems, 2008. IS-CAS 2008. IEEE International Symposium on*, pp. 1970–1973, May 2008.
- [2] T.-A. Phan, V. Krizhanovskii, S.-K. Han, S.-G. Lee, H. seo Oh, and N.-S. Kim, "4.7pj/pulse 7th derivative gaussian pulse generator for impulse radio uwband," *Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on*, pp. 3043–3046, May 2007.
- [3] C. Kim, T. Lehmann, and S. Nooshabadi, "A 15pj/pulse all-digital uwband pulse generator with pulse tuning capability," *Circuits and Systems, 2008. MWSCAS 2008. 51st Midwest Symposium on*, pp. 578–581, Aug. 2008.
- [4] V. De Heyn, G. Van der Plas, J. Ryckaert, and J. Craninckx, "A fast start-up 3ghz–10ghz digitally controlled oscillator for uwband impulse radio in 90nm cmos," *Solid State Circuits Conference, 2007. ESSCIRC 2007. 33rd European*, pp. 484–487, Sept. 2007.
- [5] H. Xie, X. Wang, A. Wang, B. Zhao, Y. Zhou, B. Qin, H. Chen, and Z. Wang, "A varying pulse width 5th-derivative gaussian pulse generator for uwband transceivers in cmos," *Radio and Wireless Symposium, 2008 IEEE*, pp. 171–174, Jan. 2008.
- [6] M. Cavallaro, E. Ragonese, and G. Palmisano, "An ultra-wideband transmitter based on a new pulse generator," *Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE*, pp. 43–46, 17 2008-April 17 2008.
- [7] E. Yilmaz and G. Dundar, "Analog layout generator for cmos circuits," *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol. 28, no. 1, pp. 32–45, Jan. 2009.

Epileptic Low-Voltage Fast-Activity Seizure-Onset Detector

Muhammad Tariqus Salam and Mohamad Sawan

Polystim Neurotechnologies Laboratory, École Polytechnique de Montréal, Québec
tariqus.salam@polymtl.ca

Abstract – In this paper, we present seizure detector that is part of an implantable CMOS integrated device, identifies epileptic seizure-onset activities of a patient in earlier stage in order to disrupt seizure progression via anticonvulsant drug infusion and/or electrical stimulation. The detector consists of preamplifier, voltage level detectors, digital demodulators, and high frequency detector. Variable gain amplification, adjustable threshold voltages identification and tunable recognition of high frequency provide unique detection criteria for a specific patient. Moreover, digitally controlled low power CMOS circuits perform accurate seizure detection. Mathematical model of the seizure detection algorithm is validated in Matlab and circuits are implemented in a CMOS 0.18- μm process. Total power consumption of the detector is 6.71 μW . Detection performance was verified using intracerebral electroencephalographic recordings from epileptic patients, and the detector accurately identified seizure onsets.

I. INTRODUCTION

Approximately 50 million people in world have epilepsy, and 25% of them are refractory to antiepileptic drugs, they are neither good candidate for surgical resection nor benefited from surgery. Thus, a potential new therapeutic option for refractory epilepsy is sorely needed. Over the last few years, there has been growing interest in developing implantable epilepsy therapy devices. So far, vagal nerve stimulator (VNS) is only Food and Drug Administration (FDA) approved medical device for the treatment of epilepsy. However, its blind stimulator does not response to physiological activities; moreover, several adverse effects were notified. In contrast, Neuropace (clinical trial) is responsive brain stimulator for the treatment of refractory epilepsy which is triggered by detecting the signature of seizure onset. Overall, clinical trial results of Neuropace prove superiority over VNS. Therefore, an implantable responsive neuro-stimulator could be attractive alternative treatment for epilepsy.

A partial-onset seizures starts from an epileptogenic focal, develops over a time, and spread in adjacent regions. An epileptic seizure onset is characterized by low-voltage fast-activities, high-voltage fast-activities and rhythmic pattern [1]. The most common seizure onset is low-voltage fast-activities which is similar to electrical seizure (ES). ES can be demonstrated as paroxysmal events characterized by same frequency and amplitude of the seizure onset; however, progressive increase in amplitude of ES does not sustain more than 4-5 sec. Furthermore, an ES could happen without having physical symptom or leading to a clinical seizure. Thus, detection of ES may cause false alarms for seizure detection. Moreover, there is variability of seizure signal depends on characteristics seizure onset, etiology of epilepsy and placement of intracranial electrodes [2]. Many seizure prediction algorithms have been proposed so far via accumulation of

energy [2], percentile tracking filter [3] and pattern recognition [4]. These algorithms are developed using desktop software and integrated circuit that are useful for short-term applications. Moreover, the integrated circuit design [3] is considerably larger than a implantable microelectronic circuit.

Neural signal recorded from cortex with intracranial electrodes are characterized by low-amplitude signal (microvolts) and low-frequency bandwidth. This neural signal represents synchronous firing of many neurons throughout a region across the diameter of electrode. Due to the microvolt-level signal, neural signal must be amplified very carefully before further analysis (e.g. detection, digitization). Low-amplitude amplification requires CMOS amplifier with low input-referred noise, because CMOS technology has relatively poor noise performance. However, restrictions on power consumption and size of an implantable device limits increasing biasing current of circuit; therefore, design trade-off between bias current and noise optimizes performance of the device.

This paper presents low power low noise CMOS seizure onset detector for the treatment of epilepsy. The proposed method uses specific features of a patient to detect his/her seizure onset. Most common seizure onsets can be characterized by progressive increase of low-voltage fast-activity in intracerebral electroencephalographic (EEG) recordings. Thus, a programmable gain of amplifier can emphasize amplitude level of interest and variable threshold voltages of voltage level detectors delimits the detected signal's locations and extract information of frequency as well as progressive increase in amplitude. Tuneability of high frequency detector facilities reaching to the exact seizure frequency of a patient. However, low voltage amplification could causes degradation of input signal due to flicker noise. Thus, the detector performs analog signal processing imposing input signal into high frequency and demodulation of the signal takes place in digital domain. As a result, overall input referred noise and power consumption reduce. This detection is expected to be highly reliable in implantable device without risking false detection occurred due to biological source (e.g. ES or sleep spindle).

II. DETECTION ALGORITHM

Seizure onset signal (Fig. 1) is initially analyzed in Matlab software and a seizure detection algorithm for partial-onset seizures is proposed. Fig. 1 shows recorded invasive EEG of epileptic seizure signal that has ES activities right before clinical seizure. Inherently, it leads to a clinical seizure, but it does not happen always. Sometime ES occurs during sleep of patient, while he/she does not feel anything. Therefore, detection of interictal epileptic spikes alike ES activities may cause false alarm for seizure detection. Moreover, the intracranial electrode placements cause variation in amplitude

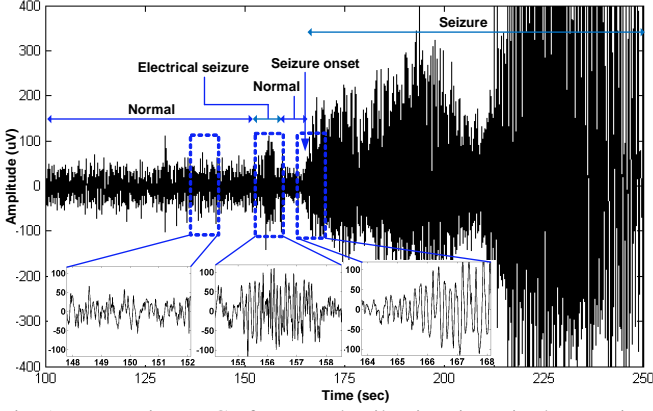


Fig. 1. Invasive EEG of an actual epileptic seizure is characterized by low-voltage fast-activity and zoom insets show normal, electrical seizure and seizure-onset of a patient with epilepsy.

of the recorded neural signal from electrode to electrode. Thus, several adjustable parameters introduce in the propose algorithm of seizure detection. The example below demonstrates the seizure detection algorithm.

At first, input signals is modulated into high frequency ($F_s = 1/T_s$) so that signal analysis of one side amplitude reflects another side. The discrete modulated signal (V_{MOD}) confined to a time frame (T_f) passes through N number of voltage level detectors (VLD) to detect specific features characterized by progressive hyperexcited signal. Threshold voltages of VLD ($V_{ISTH1,2}$) and T_f are tuned to the specific seizure onset frequency (f_{STH}) of a patient so that no false alarms happens. Number of identified pulses (V_{SDi}) in VLDs confined to T_f defines seizure frequency is shown in following.

$$f_{Szi} = \frac{\sum_{n=1}^{T_f/T} V_{SDi}(n)}{T_f} \quad (1)$$

where, $i=1, 2, 3, \dots, N$. Thus, seizure onset will be declared based on following conditions.

$$V_{SB}(n) = \begin{cases} \text{Seizure}, & f_{szi} > f_{STH} \\ \text{No Seizure} & \end{cases} \quad (2)$$

Fig. 2 demonstrates the seizure detection algorithm applied different signals (e.g. (a) normal, (b) electrical seizure and (c) clinical seizure). Modulated signals (Fig. 2 (d) - (f)) of Fig. 2 (a) - (c) passes through six VLDs and Fig. 2 (g) - (i) shows that

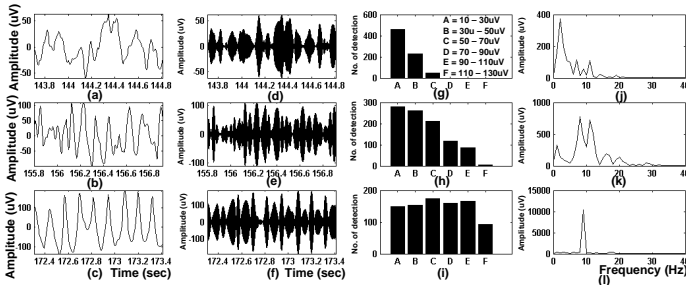


Fig. 2. Detection of epileptic seizure onset in Fig. 1: (a) normal signal; (b) electrical seizure, (c) clinical seizure; (d)-(f) are modulated signals (V_{MODi}) of (a)-(c) respectively; (g)-(i) are output of VSDs (V_{SDi}); (j)-(l) frequency analysis of the signals (a)-(c).

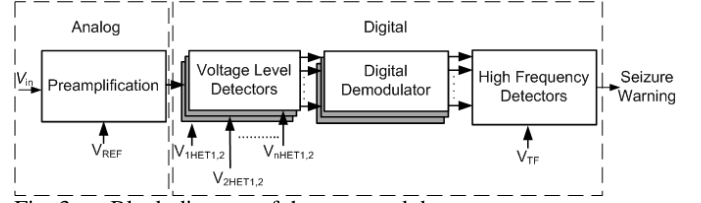


Fig. 3. Block diagram of the proposed detector.

numbers of detection in each VLD. Different and similar numbers of detection of VLDs (Fig. 2 (g) - (i)) illustrate low and high frequency in single epoch, respectively (Fig. 2 (j) - (l)). Moreover, the algorithm can able to determine successfully progressive increases in amplitude as shown in Fig. 2(h) and avoid false alarm due to high frequency of ES (Fig. 2(k)).

III. PROPOSED SYSTEM

Block diagram in Fig. 3 presents architecture of seizure onset detector (SOD). The detector consists of preamplifier, voltage level detectors (VLD), digital demodulators (DD) and high frequency detector (HFD). Several variable parameters (V_{REF} , $V_{ISTH1,2}$ and V_{TF}) introduce to facilitate highly accuracy in real-time seizure onset detection. V_{REF} controls amplification of signal, $V_{ISTH1,2}$ regulates threshold voltages of VLD and V_{TF} sets desirable frequency of HFD. Most of the works is accomplished in digital domain, because of relatively poor noise performance of CMOS technology. Fig. 3 depicts that preamplifier modulates neural signal in F_s and amplifies the amplitude level of interest. Subsequently, VLDs convert the amplified signal (V_{at}) to digital signals (V_{iSD}). Once V_{at} converts to digital signal and there is no further possibility to add noises in the signal, V_{iSD} is demodulated to original digital signal (V_{Di}). Finally, HFD detects seizure onset frequency of the patient and declares warning without false alarm. Further details of the system are described in below.

IV. CIRCUIT IMPLEMENTATION

The detector comprises of four functional blocks: analog pre-amplification and digital detector. Details are given in below.

A. Preamplification

A new chopper stabilized preamplification method was introduced in our previous work, where the demodulator and low-pass filter of a classical chopper stabilized preamplifier [5] are replaced by a high-pass filter. This preamplifier is advantageous over the classical preamplifier, because, a demodulator adds further noise (ripple noise) and a low-pass filter with sharp cutoff frequency consumes extra power. In our design, band-limited preamplifier modulates input signal in F_s frequency and attenuates thermal noise (V_{nt}). A high-pass filter comprises of a capacitor and two PMOS transistors that attenuate various amplifier noises (e.g. flicker noise (V_k) and dc offset voltage noise (V_{os})). Overall, the new preamplifier (Fig. 4(a)) has lower power consumption ($6.70\mu W$) and improved input-referred noise ($6\mu V_{rms}$) in 15 kHz (2 kHz to 19 kHz) bandwidth. Moreover, variable gain of the amplifier can emphasize certain amplitude range of neural signal (Fig. 4(b)).

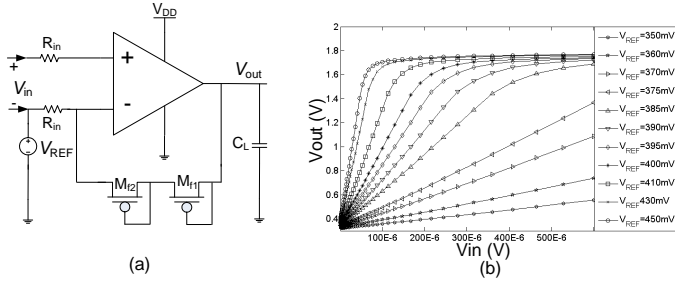


Fig. 4. Preamplification front-end: (a) is neural amplifier, (b) demonstrates variable gain of the amplifier with changing of V_{REF} .

B. Voltage level detector

A VLD consists of comparators, logic gates, master slave DFF and buffer. A low-power comparator comprises of two cascaded CMOS inverters [6], with threshold voltage set by the aspect ratios of the transistors. Disadvantage of the comparator is fixed threshold voltage in an integrated device. However, a modified version of the comparator (Fig. 5(a)) provides variable threshold voltage (V_{HETi}) and V_{STHi} in Fig. 5(a) can able to set the values of V_{HETi} .

$$V_{HETi} = \frac{V_{DD} - V_{SG3} - |V_{tp}| + V_m \sqrt{K_n / K_p}}{1 + \sqrt{K_n / K_p}} \quad (3)$$

where, V_{tp} and V_{tn} are the threshold voltage of the NMOS and PMOS device, respectively; V_{SG3} is source to gate voltage of M_{cp3} transistor; and $K_n = (W/L)_n \mu_n C_{ox}$ and $K_p = (W/L)_p \mu_p C_{ox}$. Eq. (3) shows that V_{SG3} is only variable parameter that can adjust value of V_{HETi} in an integrated circuit. Fig. 5 (b) and (c) show that variation of V_{SG3} with V_{STHi} changes threshold voltage level of the comparator in DC simulation. Thus advantages of the modified comparator are flexible threshold voltage controllability, no static power consumption, no hysteresis effect and relatively small transistor area.

Fig. 6(a) shows two such comparators can able to detect a certain voltage level of a signal and threshold voltages ($V_{iSTH1,2}$) of the comparators are adjustable (Fig. 5). Logic gates ensure to

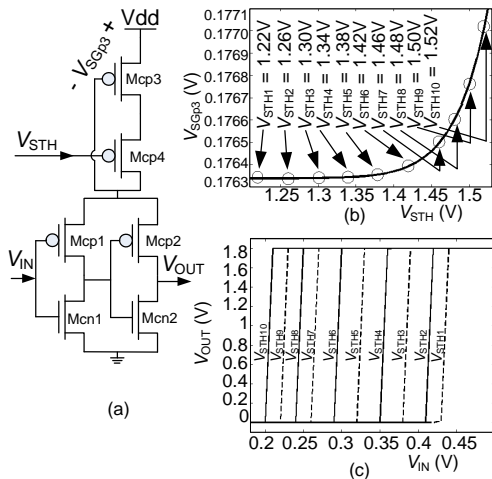


Fig. 5. A modified comparator: (a) schematic diagram of a comparator, (b) outputs of VLDs with different $V_{iSTH1,2}$. (c) shows DC swiping of the comparator for different values of V_{STHi} .

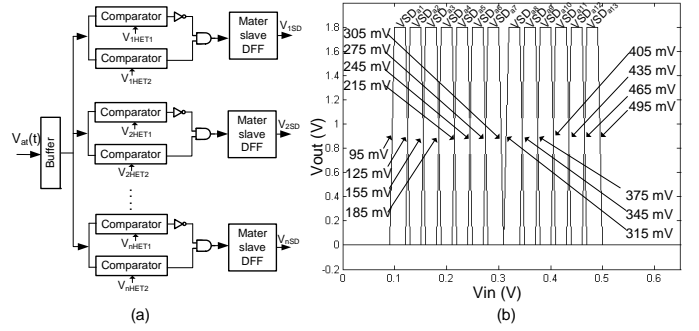


Fig. 6. Voltage level detectors: (a) block diagram of VSDs, (b) outputs of VSDs with different $V_{iSTH1,2}$.

detect the voltage span between lower (V_{iSTH1}) and higher (V_{iSTH2}) threshold voltage (Fig. 6(b)). Master slave DFF of VLD removes unnecessary high frequency samples and buffer isolates VLD from the neural amplifier.

C. Digital demodulator

A digital demodulator comprises of a RC circuit and VLD (Fig. 7(a)). A burst of pulses detected by VLD controls current flows through the RC circuit of DD. Each pulse charges the capacitor (C_{eb}) quickly, but discharging time of C_{eb} is longer than duration between two consequent pulses of clock. Thus, C_{eb} cannot be discharged completely during the burst of pulses. However, a VLD connected to RC circuit detects end of the burst where C_{eb} discharges completely through diode connection of M_{eb1} transistor and generates a pulse (V_{Di}).

D. High frequency detector

HFD (Fig. 7(b)) has main two building blocks, such as time frame selector (TFS) and pulse counters (PC). TFS consists of a RC circuit and a feedback (comparator and DFF). Clock pulses charge the RC circuit and the feedback discharges the RC to zero is triggered by certain level of voltages (V_{Cl}) of the RC. V_{TF} in Fig. 7(b) controls current flowing through the RC circuit due to each clock pulse and Fig. 8(a) shows slopes of V_{Cl} for 7 kHz clock frequency (disconnecting the feedback) for various V_{TF} . Fig. 8(b) shows different charging time of RC circuit (connecting the feedback) and Fig. 9(c) shows outputs of 3-bit counter (V_p) (Fig. 8(b)) that defines duration of time frames (T_f). PC counts number of pulses received from VLD (V_{Di}) and V_p resets the PC at the end of every T_f . Finally, Logic gates declare the seizure detection in a T_f .

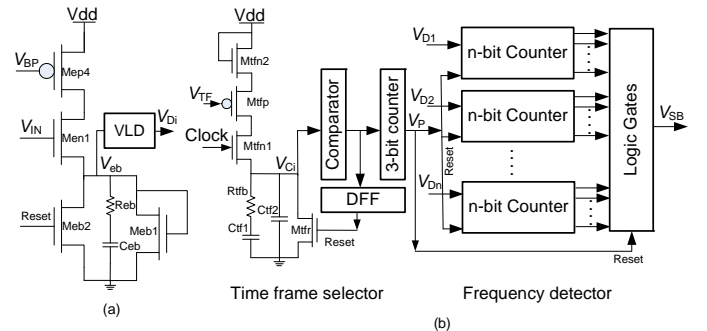


Fig. 7. Schematic diagram of : (a) digital demodulator (b) high frequency detector.

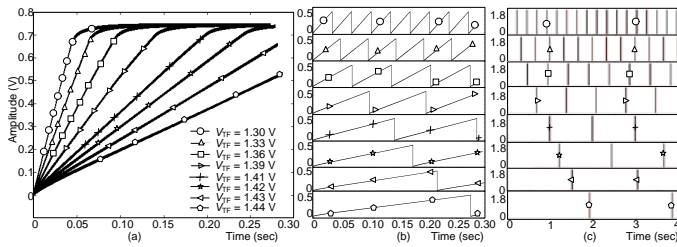


Fig. 8. Transient analysis of variable time frame selection: (a) different slopes of V_{CL} with different V_{TF} , (b) V_{CL} in Fig. 7(b) with feedback, and (c) V_p in Fig. 7(b) defines duration of T_f .

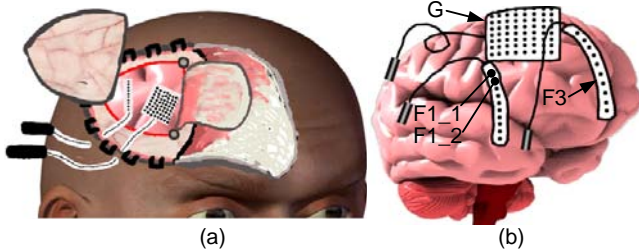


Fig. 9. Invasive EEG recording: (a) right craniotomy opening, (b) placement of subdural electrodes.

V. SIMULATION RESULTS

A patient with intractable epilepsy underwent right craniotomy for invasive EEG evaluation (Fig. 9(a)). Fig. 9(b) shows subdural electrodes placed over the fronto-lateral region (F1(1x10)), sub-frontal region (F3(1x10)) and fronto-temporal region (G(8x8)). Invasive EEG recording from F1_1 and F1_2 (Fig. 9(b)) showed in Fig. 1, where seizure onset was determined and marked by an epileptologist (DKN). This signal is fed into the SOD (Fig. 3) and fifteen seconds transient simulation results show in Fig. 10. Preamplifier modulates the input signal (Fig. 10(a)) into 7 kHz sampling frequency and adjusts the amplification of the signal manually in amplitude level of interest (setting V_{ref} to 430 mV in Fig. 4(b) provides amplification gain = 80dB and input dynamic range = 10 μ V to 100 μ V). Hyperexcitation of the amplified signal (V_{at}) (Fig.

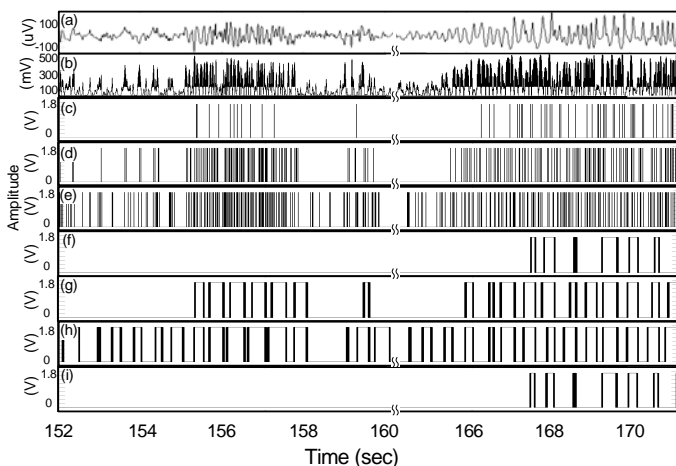


Fig. 10. Transient analysis of the detector: (a) seizure onset of Fig. 1.; (b) is modulated signal (V_{MOD}); (c)-(e) are output of VSDs (V_{SDI}); (f)-(h) high frequency detection; and (i) is seizure onset detection.

TABLE I.

| SIMULATED POWER CONSUMPTION (PC) ($V_{DD} = 1.8V$) | | | |
|--|------------|------------------|--------------|
| Block | PC(W) | Block | PC(W) |
| Preamplifier | 6.70 μ | HFD ^b | 6.30n |
| VLD ^a | 387.18p | DD ^c | 6.30n |
| Total power consumption | | | 6.71 μ W |

^aVLD: Voltage Level Detector, ^bHFD: High Frequency Detector, ^cDD: Digital Demodulator.

10(b)) is passes through three VLDs to detect specific features in between threshold voltages (V_{iHET1} and V_{iHET2}). From frequency and transient analysis of V_{at} , it is seen that amplitude of the ictal pattern at onset for this patient is mainly between 100 mV and 450 mV. Thus, threshold voltages of VLDs set to 405 mV to 435 mV, 245 mV to 275 mV and 125 mV to 155 mV. Outputs of the corresponding VLDs that show in Fig. 10 (c)-(e), pass through a HFD to extract frequency information. HFD has three 3-bit counters and T_f is determined by seizure frequency of the patient in Fig. 2(l). It is seen that setting T_f to 500 msec provided by $V_{TF} = 1.36$ V in Fig. 8(c) reaches to the f_{STH} of the patient. Frequency detections in the corresponding VLDs are shown in Fig. 10 (f)-(h). Finally, SOD is signaled alert pulses (Fig. 10(i)) based on Fig. 10 (f)-(h). Table I summarizes the power consumed by various functional blocks of the proposed detector.

VI. CONCLUSION

A low power (6.71 μ W) CMOS integrated low-voltage fast activity seizure onset detector has been demonstrated. The proposed detector provides patient-specific tunable parameters to adjust a seizure onset pattern with distinct amplitudes and frequencies. Several advantages of the proposed circuits were noted during the simulation, such as low power consumption of detector, negligible effect of flicker noise and reduce design complexities. Moreover, the SOD exploits identification of progressive increases in amplitude of signal to eliminate false alarm due to biological source.

ACKNOWLEDGMENTS

The authors are grateful for support from the NSERC, the Canada Research Chair in Smart Medical Devices, the Microsystems Strategic Alliance of Québec (ReSMiQ), and the EEG technicians of Notre-Dame Hospital.

REFERENCES

- [1] D. K. Nguyen and S. S. Spencer, *Invasive EEG in presurgical evaluation of epilepsy, Chapter 53 of The Treatment of Epilepsy*, 2004, pp. 633-658.
- [2] B. Litt, A. D'Alessandro, R. Esteller, J. Echauz, and G. Vachtsevanos, "Translating seizure detection, prediction and brain stimulation into implantable devices for epilepsy implantable devices for epilepsy: a clinical perspective," in *Neural Eng., IEEE EMBS*, pp. 485-488, 2003.
- [3] N. C. Bhavaraju, M. G. Frei, and I. Osorio, "Analog seizure detection and performance evaluation," *IEEE Trans. on Biomed. Eng.*, vol. 53, pp. 238-245, 2006.
- [4] V. Kuzmick, J. Lafferty, A. Serfass, D. Szperka, B. N. Zale, P., J. Johnson, and K. Moxon, "Novel Epileptic Seizure Detection System using Multiple Single Neuron Recordings," *IEEE BioEng. Confer.*, pp. 7-8, 2001.
- [5] B. Gosselin, V. Simard, and M. Sawan, "An ultra low-power chopper stabilized front-end for multichannel cortical signals recording," in *IEEE CCECE*, pp. 2259-2262, 2004.
- [6] A. Tangel and K. Choi, "The CMOS inverter" as a comparator in ADC designs," *AICSP*, vol. 39, pp. 147-55, 2004.

Étage de réception de signaux optiques pour un système de spectroréflexométrie proche-infrarouge

Projet final

Etienne Lareau (1313807)
GBM5320 – Dispositifs Médicaux Intelligents
École Polytechnique de Montréal

Résumé — Dans ce document, les résultats d'un projet de fin de session pour le cours GBM5320 – Dispositifs Médicaux Intelligents seront présentés. L'objectif était de reprendre le mémoire de maîtrise rédigé par Frédéric Normandin dans le cadre de travaux dans l'équipe Polystim et de bien comprendre le fonctionnement du circuit intégré réalisé. Celui-ci fait partie d'un système d'imagerie cérébrale fonctionnelle utilisant la spectroréflexométrie proche-infrarouge. La puce a comme fonction principale la pré-amplification de signaux provenant d'une photodiode et se doit d'être efficace pour des fréquences allant de 1 Hz à 25 kHz. Son niveau de bruit doit être particulièrement faible, puisque les signaux d'entrée varient entre 10 et 200 nA. Le système simulé dans Cadence est principalement constitué d'un amplificateur par transimpédance, de deux amplificateurs autopolarisés. Tous les éléments présentés ont été conçus avec la technologie CMOS 0.18 μm . Les résultats de simulation obtenus diffèrent légèrement de l'original et le manque d'explications de [1] et de connaissances sur l'électronique analogique peuvent expliquer certaines dichotomies rencontrées.

Mots-clés – Amplificateur à transimpédance, récepteur optique, CMOS, spectroréflexométrie, imagerie cérébrale.

I. INTRODUCTION

Au cours des dernières décennies, les avancées au niveau des techniques d'imagerie médicale ont permis de faire évoluer les connaissances dans plusieurs domaines de la médecine. L'apparition de l'imagerie fonctionnelle a notamment permis d'en apprendre énormément sur le fonctionnement du cerveau et de développer de nouvelles techniques diagnostiques pour les traumatismes crâniens et autres neuropathologies. Dans ce domaine qui évolue rapidement, l'imagerie optique occupe une place non négligeable et où les découvertes sont encore fréquentes et nombreuses.

Une technique qui a suscité beaucoup d'intérêt dans la communauté scientifique ces dernières années est la spectroréflexométrie par proche-infrarouge (SPIR). Elle permet principalement de détecter des variations d'oxygénation et de volume sanguins de façon non-invasive, par l'émission et la récupération de lumière dont la longueur d'onde varie entre le rouge et l'infrarouge. On peut déduire de ces informations un paramètre physiologique important : la saturation d'oxygène dans le sang. La première application de ce principe remonte aux années 1940 et la partie du corps illuminée était un bout de doigt ou un lobe d'oreille. Le choix de ces emplacements permettait à beaucoup de lumière de traverser les tissus de

l'émetteur jusqu'au récepteur. Ce n'est qu'en 1977 qu'il fut démontré que cette technique pouvait être utilisée sur le cerveau humain. Les difficultés techniques étaient plus prononcées, puisque la lumière subissait une très grande atténuation avant d'atteindre le détecteur. Par la suite, de nombreuses équipes ont fait évoluer la SPIR appliquée au cerveau et de nombreux systèmes performants existent aujourd'hui, dont des appareils d'imagerie multicanaux. Pour certaines applications, notamment chez les épileptiques, un appareil multicanal portable serait très utile, mais aucun système de ce type n'a encore été développé complètement. C'est un des projets sur lesquels l'équipe de recherche Polystim, de l'École Polytechnique de Montréal, travaille actuellement.

L'objectif final des travaux effectués par cette équipe est un système à 32 canaux qui soit léger, peu encombrant et étant relié sans fil à un ordinateur pour le traitement et l'analyse des données. Un des défis technologiques à relever pour un tel produit est d'obtenir des acquisitions dont le rapport signal sur bruit (SNR) soit suffisant et ce, en consommant très peu d'énergie. Les travaux de Frédéric Normandin dans le cadre de sa maîtrise au sein de Polystim [1] présentent un circuit intégré qui tente de répondre à ces conditions de faible bruit et de faible consommation.

Dans l'optique de travaux futurs dans l'équipe Polystim, les résultats de [1] ont été repris et le circuit intégré reproduit dans Cadence afin de bien en comprendre le fonctionnement et d'en détecter les forces et les faiblesses. Puisque les informations permettant de reproduire exactement le système précédent n'étaient pas toutes disponibles dans la documentation laissée par M. Normandin, plusieurs caractéristiques finales du circuit ont changé et les résultats de simulation diffèrent passablement du circuit original. Ces éléments seront tous abordés brièvement dans ce papier.

II. TRAVAUX DE FRÉDÉRIC NORMANDIN

Les travaux décrits dans [1] constituent la base du projet présenté ici. La prochaine section traite du système réalisé, de ses principales caractéristiques, de son architecture, mais également des informations importantes qui ne sont pas mentionnées dans la documentation disponible.

A. Spécifications du système

Afin de répondre aux besoins du système de spectroréflexométrie portable désiré, les spécifications

nécessaires ont préalablement été énoncées. Les principaux éléments concernent les caractéristiques du signal recueilli, le bruit référé à l'entrée et la consommation du circuit.

Les signaux lumineux permettant d'exciter une photodiode sont très faibles. En effet, c'est environ 1% du signal émis vers le cerveau qui est habituellement récupérable à la sortie. Les courants ainsi générés varient entre 10 et 200 nA et oscillent à des fréquences variant de 1 Hz à 25 kHz.

Le bruit référé à l'entrée, afin de ne pas submerger le signal d'intérêt ne doit pas dépasser l'ordre du nanoampère.

La consommation du circuit, afin de rendre possible un système portable multicanaux se doit de consommer très peu, c'est-à-dire ne pas dépasser l'ordre du milliwatt.

B. Circuit original

L'architecture privilégiée pour répondre aux spécifications demandées comporte trois principales sections : la pré-amplification, la post-amplification et le mélangeur analogique.

La figure 1 présente un schéma-bloc du circuit intégré conçu par M. Normandin. Celui-ci inclut une photodiode, mais cette composante n'a pas été reproduite dans les simulations du projet actuel et a été modélisée pour une source de courant.

Les multiplexeurs et le démultiplexeur utilisés servent à choisir certaines options disponibles. Le premier multiplexeur permet de choisir la source (photodiode ou source courant externe). Le démultiplexeur donne le choix entre deux types de pré-amplification. En effet, afin de tester les différentes avenues de conception possibles, deux amplificateurs différents ont été implémentés. Le premier est un amplificateur par transimpédance (TIA) dont l'entrée est un courant, tandis que le second est un TIA dont l'entrée est une tension différentielle. Les deux multiplexeurs à la droite du schéma permettent d'utiliser un ou deux étages de post-amplification, dépendamment de l'amplitude du signal d'entrée.

Le dernier étage (à droite complètement sur Fig. 1) est un mélangeur différentiel analogique et permet de démoduler le signal pré-amplifié, afin d'obtenir un signal DC en sortie qui représente l'amplitude lumineuse récupérée en entrée. Lorsque la lumière émise n'a pas été modulée, ce bloc n'est pas nécessaire.

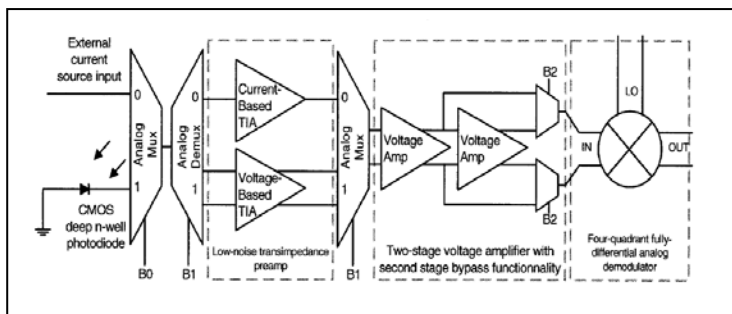


Figure 1. Schéma-bloc de l'étage de réception des signaux

C. Information manquante

Dans le cadre de ce projet, il aurait été impensable de concevoir un tel système en ne partant que du schéma-bloc. Dans le mémoire de maîtrise de M. Normandin, les schémas électriques de certaines composantes de la Fig. 1 sont fournis, incluant les dimensions de transistors utilisés. Cependant, plusieurs informations manquent afin de pouvoir répliquer exactement le circuit initial.

Premièrement, la structure des multiplexeurs et du démultiplexeur n'est pas fournie. Il a donc fallu les redessiner et ceci pourrait être une source de différence dans les résultats, mais ne devrait pas, puisque ces composantes n'ont pas la vocation de modifier le signal dans la plupart des cas. Une exception est le démultiplexeur où il faut transformer un courant en une tension différentielle. Le premier multiplexeur amène le même genre de problème, où il faut transformer une tension simple en tension différentielle.

Un autre élément qui n'est pas fourni dans la documentation est la valeur des tensions de polarisation qui sont utilisées pour les divers amplificateurs. Cette information est très importante pour le fonctionnement du circuit et affecte grandement les résultats. Cet aspect a fait l'objet d'une étude plus approfondie et pourrait être utile dans le futur, puisque les travaux effectués suite à M. Normandin dans [5] mentionnent que le circuit physique ne permet pas d'obtenir des gains acceptables. Une des raisons potentielles à ce problème pourrait être une mauvaise utilisation des tensions de polarisation.

Finalement, les résultats précis des simulations ne sont pas tous fournis. Seules les données pour les simulations *post-layout* et pour le prototype physique sont disponibles. L'analyse des résultats de ce projet tient compte de ces éléments.

III. RÉSULTATS POUR LES COMPOSANTS

La prochaine section résume le fonctionnement des divers blocs de construction du circuit, en décrit les caractéristiques spécifiques, commente les difficultés rencontrées dans le processus et énonce les résultats de simulation obtenus pour chaque composant séparé.

A. Amplificateur par transimpédance basé en tension

Suivant la conversion du courant d'entrée en tension différentielle, cet amplificateur sert à fournir le maximum de gain possible, tout en conservant une largeur de bande et des niveaux de bruit et de consommation acceptables.

Ce pré-amplificateur a deux étages, soit un amplificateur par transconductance et une transrésistance, ce qui génère un gain en V/V.

Puisque l'équivalent en courant de cet amplificateur était également présent et que les résultats se devaient d'être pratiquement les mêmes, cette composante n'a pas été simulée dans le système complet. De plus, la méthode de conversion du courant en tension différentielle a été totalement omise dans la documentation et représente une source d'incertitude supplémentaire.

B. Amplificateur par transimpédance basé en courant

Ce pré-amplificateur n'a qu'une entrée en courant et une sortie en tension. Il a la même vocation que l'amplificateur décrit en A.

L'architecture de cet élément a également dû être étudiée dans [4]. Elle consiste en un miroir de courant, intégrant une topologie cascode et une entrée PMOS. Les trois tensions de polarisation utilisées ont été les principales sources d'ajustements. Les valeurs ont été ajustées afin d'obtenir le meilleur gain possible, tout en ayant une valeur de sortie près de 900mV.

Un filtre passe-haut succède cette section afin d'éliminer la partie DC en sortie de l'amplificateur et d'ajuster la tension mode commun à une valeur permettant de maximiser la plage dynamique, soit 900 mV.

La transimpédance obtenue pour ces simulations est de 123 dBΩ. Cette valeur est plus élevée par rapport à celle obtenue dans [1], mais tout de même plausible, puisque que ces simulations négligent plusieurs éléments parasites pris en compte dans les simulations *post-layout*.

La bande passante de l'amplificateur varie entre 0Hz et plus de 1MHz.

De façon générale, les simulations de cette composante, à part obtenir un gain très élevé, semblent bien représenter la théorie. En effet, les signaux d'entrée en courant ressortent avec une tension d'amplitude acceptable et ne subissent pas de distorsion observable sur la plage de fréquences et d'amplitude d'intérêt.

C. Amplificateur différentiel de post-amplification

Les deux amplificateurs différentiels (AD) de post-amplification sont identiques. Ils permettent d'ajuster le gain en choisissant un ou deux étages d'AD, afin de ne pas faire saturer le signal de sortie dans le cas d'amplitudes d'entrée très élevées.

Dans les deux cas, un suiveur de tension précède l'AD afin de bien coupler les impédances. De plus, un filtre passe-haut suivi d'un ajustement de tension mode commun à 900mV succède aux deux AD.

Pour les AD, le travail nécessaire semblait moindre, puisqu'une seule tension de polarisation était présente. Plusieurs valeurs ont été testées afin de s'approcher des résultats attendus. Cependant, la topologie indiquée avec les résistances de rétroaction ne semble pas fonctionner. Plusieurs combinaisons ont été testées et les résultats obtenus ont toujours été des atténuations et non des gains, ce qui n'est pas logique. Finalement, les résistances de rétroaction ont été abandonnées et la tension de polarisation a été ajustée afin d'obtenir le gain voulu.

Le gain d'un étage de post-amplification est donc fixé à 25 dB. Les courbes obtenues correspondent à ce qui est prédit dans la documentation lorsqu'un signal différentiel est utilisé.

La bande passante de l'amplificateur va jusqu'à plus de 1 MHz.

D. Mélangeur analogique

Le mélangeur analogique est le dernier étage du système et est utilisé dans ce contexte en tant que démodulateur. Il est pertinent lorsque la source lumineuse a initialement été modulée. Cette option est utile pour séparer les signaux lorsque deux longueurs d'ondes d'illumination sont utilisées simultanément.

Ce bloc du circuit prend en entrées la tension différentielle à la sortie de l'AD de post-amplification et la tension différentielle sinusoïdale ayant servi à moduler la source (porteuse). À sa sortie, il ne reste que le signal d'intérêt amplifié, sans la porteuse.

Afin de représenter les derniers travaux de l'équipe Polystim, le mélangeur analogique n'a pas été utilisé dans les simulations. En effet, il a été évalué par Félix Chénier dans [5] que la meilleure solution pour l'application voulue était d'émettre la lumière en continu, donc de ne pas la moduler. Le signal d'intérêt est donc directement disponible à la sortie de l'étage de post-amplification.

E. Multiplexeurs et démultiplexeur

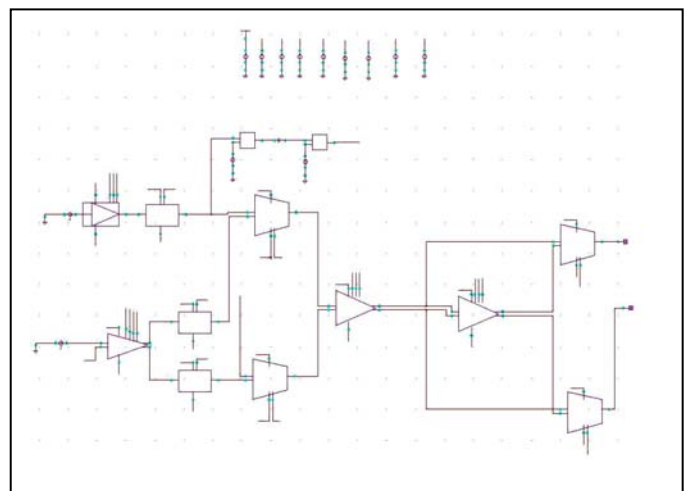
Le premier multiplexeur du schéma-bloc n'a pas de plus-value au niveau de la fonctionnalité du système en simulation. Il ne fait que le routage des signaux d'entrée. Il a été remplacé par deux sources de courant identiques en considérant que son impact sur le bruit et la consommation d'énergie était négligeable.

Le multiplexeur utilisé pour choisir la stratégie de pré-amplification est activé par B1. Il est réalisé à partir de schémas de porte de transmission et d'inverseur fournis dans [1].

Les deux multiplexeurs activés par B2 servant à activer ou non le deuxième étage de post-amplification ont également été très simples à construire et utilisent les mêmes blocs que le multiplexeur précédemment décrit.

Au niveau de l'altération du signal, après simulations, il est confirmé que ces composants n'ont aucune influence notable dans la plage fréquentielle d'intérêt, ce qui est l'objectif visé.

Figure 2. Banc de test du système complet



IV. RÉSULTATS GLOBAUX ET COMPARAISONS

Une fois chaque bloc du système fonctionnel et testé, il était nécessaire de valider les résultats globaux et de comparer les données de simulation obtenues avec celles publiées par M. Normandin.

A. Réponse globale

Pour la comparaison, les mêmes conditions de test ont été respectées dans la mesure du possible.

Le second étage de post-amplification n'a pas été utilisé tout au long des simulations finales. Seul l'amplificateur par transimpédance basé en courant a été simulé.

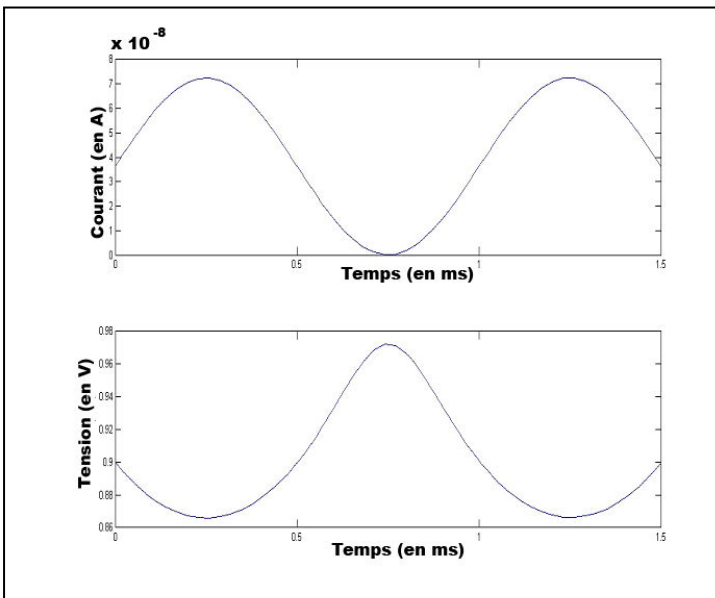
Les résultats obtenus dans ce projet comparés avec ceux de [1], pour la partie *post-layout*, sont consignés dans le tableau I.

Les résultats obtenus varient passablement, surtout de par une inversion du signal, mais puisque les divers blocs fonctionnent correctement séparément, c'est probablement la conversion d'une tension normale à différentielle ou le circuit de rétroaction des AD qui est problématique. En effet, aucune indication n'ayant été fournie à ce niveau, l'optimisation pourrait être améliorée. Un autre indice allant dans cette direction est que les problèmes ne sont rencontrés qu'après la post-amplification.

TABLEAU I. COMPARAISON DES RÉSULTATS OBTENUS

| PARAMÈTRE | PROJET | RÉSULTATS DE [1] | |
|--------------------------------------|-----------------|------------------|------------|
| | | COURANT | TENSION |
| CONFIGURATION | COURANT | COURANT | TENSION |
| BANDE PASSANTE (EN HZ) | 19-464k | 1-40k | 1-25k |
| GAIN TOTAL | 129 dB | 110 – 165 dB | |
| COURANTS D'ENTRÉE POUR SORTIE VALIDE | 0.2 à 50 nA c-c | 0.2 à 200 nA c-c | |
| CONSOMMATION | 5.0 mW | 1.4 mW | |
| BRUIT RÉFÉRÉ À L'ENTRÉE | Moins de 1 nA | 1.4 nA RMS | 3.8 nA RMS |

Figure 3. Signaux d'entrée (courant) et de sortie (tension) du système simulé



B. Niveau de bruit et consommation d'énergie

Les niveaux de bruit et la consommation d'énergie sont consignés dans le tableau I.

Pour le bruit référé à l'entrée, le niveau est extrêmement faible. Plusieurs raisons peuvent justifier cet élément, entre autre puisque le mélangeur et d'autres pièces n'ont pas été inclus dans le banc de test final, ce qui élimine plusieurs transistors, donc plusieurs sources de bruit. De plus, le fait que les éléments parasites ajoutés par les simulations *post-layout* ne soient pas considérés réduit le bruit. On peut conclure que le niveau de bruit est sous-évalué par rapport à la réalité dans ce cas.

Pour la consommation d'énergie, il semble que la reproduction du circuit actuelle n'ait pas été autant optimisée que dans les travaux qui ont inspiré ce projet.

V. CONCLUSION

En conclusion, bien qu'il ait pu sembler évident au départ de reproduire le circuit décrit dans [1] et d'obtenir des résultats semblables, les difficultés se sont avérées multiples. Pour un étudiant qui n'avait que de très limitées notions d'électronique analogique, la complexité du circuit était non négligeable et de nombreux éléments n'ont pas pu être analysés de façon rigoureuse.

De plus, il s'est avéré que plusieurs informations manquaient afin de reproduire le circuit fidèlement. Les simulations obtenues n'ont donc pas concordé parfaitement avec les données préalables.

La constitution des bancs d'essai a été un des points marquants de ces travaux puisque très éducatif non seulement sur l'outil de travail parfois capricieux qu'est Cadence, mais surtout également sur plusieurs notions importantes d'électronique analogique.

Malgré tout, les objectifs de ce du projet, soit acquérir une compréhension globale du fonctionnement du circuit et en simuler le fonctionnement, ont été atteints.

RÉFÉRENCES

- [1] F. Normandin, "Conception d'un circuit intégré dédié à la réception des signaux optiques dans un système d'imagerie basé sur la spectrorélectométrie infrarouge," Ottawa, Library and Archives Canada, 2007.
- [2] R.J. Baker, H.W. Li, et D.E. Boyce, "CMOS Circuit design, layout and simulation," New York, IEEE Press, 1998.
- [3] A.S. Sedra et K.C. Smith, "Microelectronic circuits," New York, Oxford University Press, 2004.
- [4] Khoman S. Phang, "CMOS Optical Preamplifier Design Using Graphical Circuit Analysis," Ottawa, National Library of Canada, 2002.
- [5] Félix Chénier, "Mise en oeuvre d'un système d'imagerie cérébrale fonctionnelle basé sur la spectrométrie infrarouge," Montréal, Mémoire de maîtrise (Ecole polytechnique de Montréal), 2008.

Système de mesure à basses fréquences pour la détection d'ondes cérébrales capté par EcoG

Jean-Christophe Gervais
Département de génie électrique
École Polytechnique de Montréal
Montréal, Canada
jean-christophe.gervais@polymtl.ca

Abstract- L'électrocorticogramme est une technique de détection d'ondes cérébrales. Pour ce faire, les systèmes de mesures implantables doivent limiter la transmission de l'information afin de ne pas endommager les tissus. Notre étude porte sur la réalisation d'un système de conditionnement basse fréquence afin d'optimiser l'information transmise pour la mesure des ondes Alpha. Pour ce faire, différentes topologies de filtres actifs placées en cascade, ont été simulées. Suite à l'optimisation des dimensions des amplificateurs à transconductance et des autres composants, les résultats montrent un filtre d'une largeur de bande de 7-11.5Hz, avec un gain de 29dB.

I. INTRODUCTION

Dans le domaine des dispositifs médicaux implantables, les scientifiques s'affèrent présentement à trouver des moyens de miniaturiser leurs électroniques afin de rendre leurs dispositifs complètement implantables. Il est vrai qu'avec les progrès phénoménaux effectués en circuit intégré au cours des dernières années, ils parviennent à réaliser des systèmes de plus en plus complexes.

Cependant, dans un avenir prochain, les dispositifs médicaux intelligents ne seront pas limités par le nombre de tâches qu'ils pourront accomplir, mais bien par la transmission de leurs données au travers de la peau. En effet, la quantité d'information produite par un système d'enregistrement de données neuronales peut être à ce point volumineuse que sa transmission à travers la peau peut être nuisible pour le tissu environnant [1]. Pour répondre à des standards gouvernementaux, une limite de $10\text{mW}/\text{cm}^2$ a été fixée.[2]

Donc, dans un but de réduction de la quantité d'information à échanger avec l'extérieur, il serait avantageux d'analyser partiellement les données acquises avant de les transmettre. Pour ce faire, il faudrait alors réaliser des unités de traitements et d'analyses des données recueillies.

En prenant pour exemple un enregistrement d'électrocorticogramme (EcoG), plusieurs types de signaux électriques provenant du cerveau sont enregistrés. Certains de ces signaux ont des caractéristiques bien précises et permettent de faire une analyse de l'état cérébral du patient. Ces signaux contiennent les ondes suivantes : *Delta* (0.5-4Hz), *Theta*(4-

8Hz), *Alpha*(8-12Hz), *Beta*(12-30Hz), et *Gamma*(>40Hz)[3]. Il serait donc bénéfique de filtrer ces différentes ondes et de les mesurer in vivo.

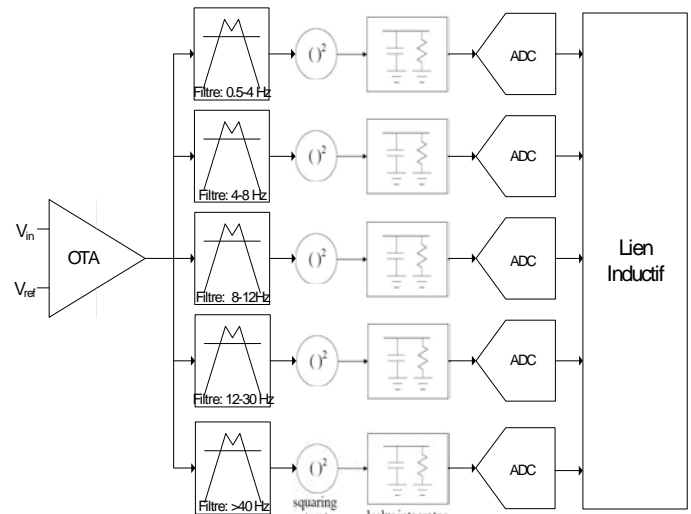


Fig. 1, Schéma bloc du système de mesure des potentiels provenant électrocorticographique

Bien que théorique, ce projet aura pour but de faire l'analyse et de comprendre un système de détection de ces différentes ondes. Il y aura ensuite la réalisation d'un filtre passe-bande d'ordre 4, avec une largeur de bande adaptée à chaque onde. Ces filtres seront une adaptation de la topologie retrouvée en [3]. Dans cet article portant sur la mesure de potentiels d'action localisés (LPFs), on fait la description d'un système permettant de mesurer l'intensité de ces potentiels. En s'inspirant de ce dernier, il serait donc possible de réaliser un système tel que présenté à la figure 1. Toutefois, il est à noter que dans le cadre de ce projet, l'étage de mise au carré et d'intégration ne seront pas implémentés. La partie filtrage se préconise afin d'effectuer des analyses plus approfondies.

Il s'agit davantage d'une preuve de concept que d'une création originale. Le but étant de se familiariser avec des outils de conception tel cadence et non de faire le design d'un circuit micro-électronique. Il y aura aussi une certaine familiarisation avec les contraintes propres aux dispositifs médicaux, telle la puissance dissipée.

II. SPÉCIFICATIONS DU SYSTÈME D'ENREGISTREMENT

Afin de pouvoir réaliser un système d'enregistrement de données provenant d'un électrocorticogramme, certaines règles de design s'imposent. Dans le cas d'un système d'amplification de LFPs, on trouve dans la littérature que le système doit entre autre un bruit total référée à l'entrée de maximum $30\mu V$ d'amplitude. Sa plage dynamique doit correspondre à l'amplitude maximale des LFPs. Son impédance d'entrée doit être supérieure et à celle des électrodes employées pour la captation de signaux. Il doit amplifier les signaux de la plage fréquentielle correspondant aux LFPs. Au niveau des caractéristiques physiques, ce système doit idéalement se contenir sur la plus petite surface possible et ne doit pas utiliser, si possible, de composant externe.[4]

On peut s'inspirer de ces différentes caractéristiques pour réaliser l'architecture de notre système destiné aux potentiels provenant d'EcoG. De plus, d'après la figure 2 et en se référant à *Iniewski*, on peut déterminer que notre système nécessitera une bande-passante de 0 à 500 Hz, un faible bruit total référé à l'entrée $< 2\mu V$, un haut taux de rejet du mode commun ($>80dB$ et une faible consommation de puissance.

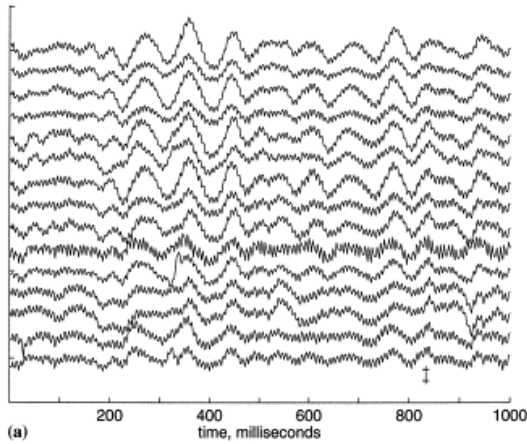


Fig. 2, 15 courbes d'ECoG d'un patient humain. On peut y voir les oscillations des ondes alpha ainsi qu'un bruit électrique ambiant. L'intervalle entre les traces est de $100\mu V$

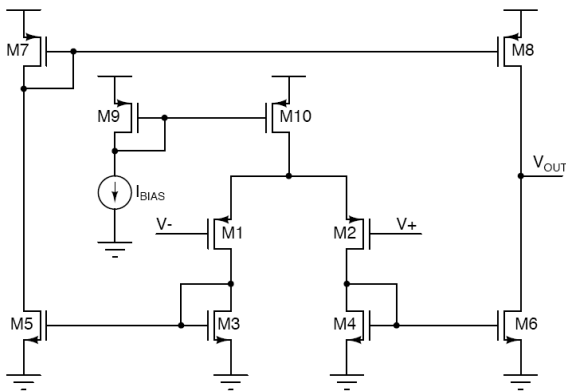


Fig. 3, Topologie de l'OTA employé dans le système.

III. TOPOLOGIE DES FILTRES

Les filtres qui seront utilisés dans ce système seront réalisés à l'aide de l'amplificateur à transconductance (OTA) trouvé dans [5]. La topologie de cet OTA est présentée à la figure 3. Cet OTA a pour avantage d'être symétrique puisqu'il est composé d'une paire différentielle et de quatre miroirs de courant. Il est donc plus facile de le paramétrer et de trouver des dimensions de transistors optimales à notre système.

De plus, la transconductance de cet OTA pourra être approximé par la formule suivante :

$$g_m \approx \frac{\kappa I_D}{U_T} \cdot 2 / (1 + \sqrt{1 + 4 + IC}) \quad (1)$$

Où κ est le coefficient de couplage de la grille en « subthreshold », U_T est le voltage thermique (kT/q) et IC le coefficient d'inversion défini comme suit :

$$IC = \frac{I_D}{I_S} \quad (2)$$

Soit le courant de drain divisé par le courant d'inversion modérée. Or, dans la topologie de notre OTA, les dimensions W/L ainsi que le courant de polarisation pourront être variés, permettant ainsi un certain contrôle sur la transconductance des OTAs[6]. Il faut aussi spécifier que dans le cadre de notre application, les signaux sont très petits et qu'une attention particulière doit être apporté au bruit. Il faudra privilégier un IC faible. Toutefois, afin de s'assurer d'une transconductance optimale, le IC devra être en région d'inversion modérée, soit entre 0.1 et 1.[7]

Le contrôle de cette transconductance permettra ensuite d'ajuster les filtres passe-bande inspirés de [1]. On y emploie 5 OTAs, dans le but de réaliser un filtre passe-bande d'ordre 4. En fait, il s'agit de 2 filtres passe-bande d'ordre 2 mis en cascade avec un filtre passe-bas entre les deux. Le fait d'avoir 2 filtres passe-bande mis en étage nous assure une pente d'environ 40 dB/décade. Pour sa part, le filtre passe-bas a pour but d'éliminer davantage les composantes fréquentielles plus élevées que celles permises par la largeur de bande du filtre.

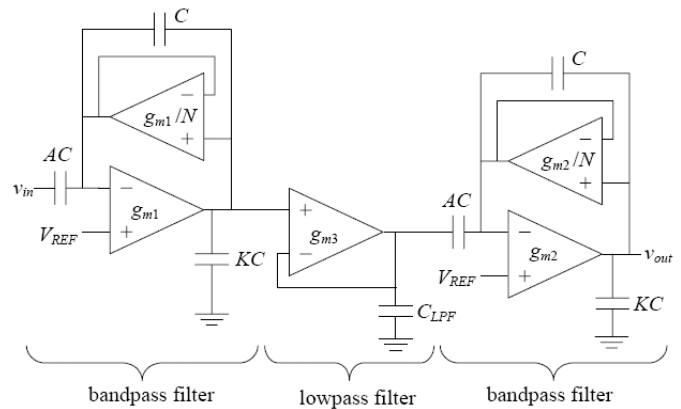


Fig. 4, Topologie d'une des branches du système consistant d'un filtre passe-bande du 4e ordre

L'auteur en [8] approxime la fonction de son filtre comme étant :

$$\frac{V_{out}(s)}{V_{in}(s)} = -\frac{AN}{\beta} \cdot \frac{(1 - \frac{s}{\omega_0\beta})}{\omega_0 + \frac{1}{Q} + \frac{s}{\omega_0}} \quad (3)$$

Où,

$$\omega_0 = \frac{gm}{\beta C} \quad (4)$$

$$\beta = \sqrt{N(A+1)(K+1) - N} \quad (5)$$

$$Q = \frac{\beta}{K+N} \quad (6)$$

Dans ces équations, K, A et N sont seulement des constantes.

La méthodologie qui suit décrira les techniques entreprises dans le but d'ajuster la largeur de bande des filtres.

IV. MÉTHODOLOGIE ET RÉSULTATS

La première étape était de trouver les différentes dimensions de notre OTA afin qu'il puisse bien s'accorder avec notre système. Afin de déterminer des dimensions des transistors minimisant le bruit total référé à l'entrée, on se réfère à l'équation suivante, soit la puissance du bruit total référée à l'entrée pour le circuit de la figure 3:

$$\overline{v_{ni,thermal}^2} = \left[\frac{16kT}{3g_{m1}} \left(1 + 2\frac{g_{m3}}{g_{m1}} + \frac{g_{m7}}{g_{m1}} \right) \right] \Delta f \quad (7)$$

Pour la paire différentielle d'entrée, les transistors ont les mêmes dimensions, alors leur transconductance est donnée par gm1. Donc, d'après l'équation 2, leur transconductance doit être la plus haute possible pour minimiser le bruit. Comme gm est proportionnel au rapport de W/L, la largeur W doit être élevée et la longueur L doit être la plus petite possible pour les transistors M1 et M2. Cependant, plus la longueur L est petite, plus le « flicker noise » est important. Il faut donc trouver un compromis afin de respecter les performances demandées du système.

Une fois ces valeurs déterminées, on a vérifié quel était le meilleur paramètre à faire varier pour avoir un contrôle sur la transconductance de l'OTA, le but étant d'obtenir des OTAs dont la transconductance est réduite d'un facteur N pour la rétroaction négative des filtres passe-bande.

On a donc fait varier les dimensions de l'étage différentiel de notre OTA, puisque c'est à cet étage que la transconductance est obtenue. On a aussi faire varier le I_{BIAS} de l'OTA, et c'est avec ce paramètre que nous avons obtenu les meilleurs résultats. Lorsque le I_{BIAS} est réduit d'un facteur N, la transconductance de l'OTA en est pratiquement réduite autant. On a utilisé un simple circuit de filtre passe-bas, avec un condensateur à la sortie de l'OTA, sans rétroaction, afin de déterminer notre transconductance. On se fiait alors à l'approximation suivante :

$$f_{gain\ unitaire} = \frac{gm}{2\pi C_L} \quad (8)$$

Bien que cette approximation est plus ou moins précise, puisqu'elle fait intervenir des pôles et des zéros plus éloignés qui influencent le comportement fréquentiel de l'OTA. Elle était suffisante pour gérer l'effet des modifications de I_{BIAS} .

Une fois les différents OTAs paramétrés, on était apte à construire les filtres. Dans le cadre de ce projet, on a décidé de seulement concevoir l'étage de filtre pour les ondes Alpha. On avait donc besoin d'avoir une largeur de bande s'étalant de 8-12 Hz. On a d'abord fait la simulation de chaque filtre indépendamment, afin de s'assurer de leur fonctionnement avant de les regrouper ensemble. Pour le premier étage du filtre, fig. 5, un filtre passe-bande avec une fréquence centrale d'environ 12 Hz a été réalisé. Afin d'ajuster la fréquence centrale, on a surtout fait varier les différents courants de polarisation, en trouvant un bon équilibre entre le courant de polarisation de l'OTA du bas et de celui de la rétroaction, qui permettait d'avoir une fréquence centrale respectable sans toutefois négliger le gain. On doit mentionner qu'auparavant, des tests sommaires ont permis de déterminer des valeurs de bases pour les différents condensateurs. Ainsi, on se retrouvait avec moins de paramètres à faire varier pour obtenir les spécifications désirées.

Pour ce qui est du 2^{ème} filtre passe-bande, soit celui de l'étage final, on a fixé une fréquence centrale à 8Hz. Les différentes valeurs de courant de polarisation figurent dans le tableau 2.

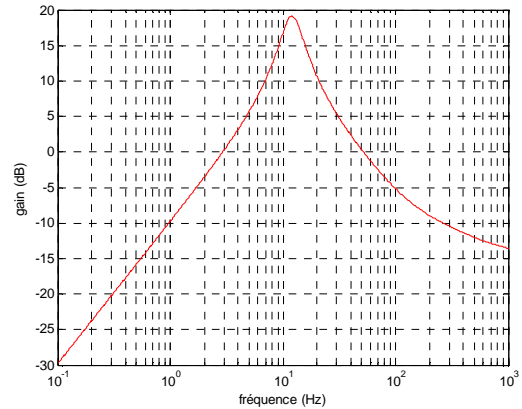


Fig. 5, Filtre passe-bande d'ordre 2 avec fréquence centrale à 12 Hz pour le premier étage du filtre

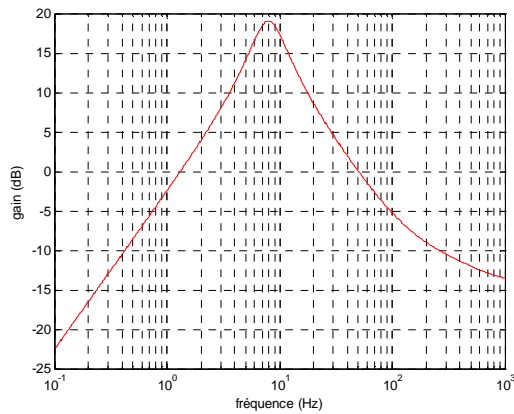


Fig. 6. Filtre passe-bande d'ordre 2 avec fréquence centrale à 8 Hz pour l'étage final du filtre

Finalement, on a réalisé le filtre passe-bas, pour lequel on a choisi une fréquence de coupure de 50Hz pour couper les composantes fréquentielles plus élevés, sans toutefois influencer le gain dans notre bande-passante. Une fois ces trois filtres prototypés, on a pu les mettre en cascade afin de prélever différentes mesures sur le filtre cascadé final.

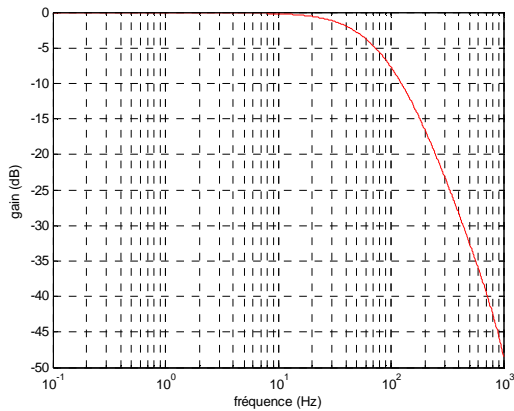


Fig. 7. Filtre passe-bas d'ordre 1 avec fréquence de coupure à 50Hz

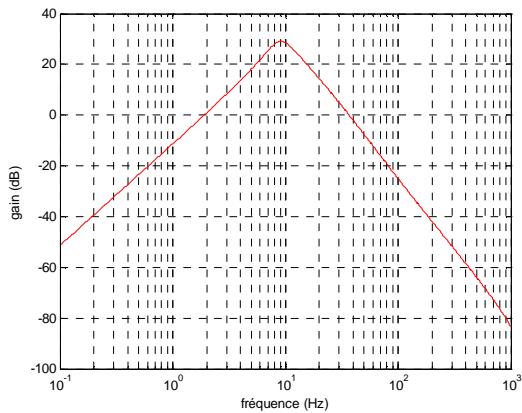


Fig. 8. Filtre passe-bande d'ordre 4 avec largeur de bande de 8-12 Hz pour filtrer les ondes cérébrales alpha

TABEAU II

| Caractéristiques | Valeur obtenue |
|---------------------------------|----------------|
| Gain à f_o (dB) | 29 |
| Largeur de bande (Hz) | 7-11,5 |
| Inversion de phase ($^\circ$) | 180 |
| Puissance consommée (nW) | 80 |
| Bruit intégré (μV) | 376 |
| Alimentation électrique (V) | 1.8 |
| Technologie CMOS (μm) | 0.18 |

V. DISCUSSION ET CONCLUSION

Au cours de ce projet un filtre passe-bande d'ordre 4 a été réalisé pour les ondes cérébrales alpha. Ce filtre a été réalisé dans une technologie CMOS 0.18 μm , en vue d'être implémenté en VLSI. Plusieurs contraintes ont été rencontrées. Ces différentes contraintes m'ont permis de me renseigner sur les difficultés que l'on rencontrait lorsqu'on implémentait des systèmes en circuit intégré et aussi au niveau du filtrage à très basses fréquences. Pour ce qui est des contraintes des circuits intégrés, je me suis rendu compte qu'on ne pouvait pas utiliser des condensateurs d'une grosseur supérieure à 50 μF . On devait aussi éviter le plus possible d'employer des résistances, afin de réduire la surface de silicium requise. C'est pourquoi on employait des transistors connectés en diode.[8]

D'ailleurs, on aurait pu utiliser ce genre de transistor connecté en diode à l'entrée différentielle de nos OTAs pour obtenir une dégénérescence de source, qui aurait entraîné une augmentation de la plage linéaire du système. C'est une des améliorations possibles que l'on peut réaliser lors de l'implémentation de filtres à basses fréquences.[8]

RÉFÉRENCE

- [1] Harrison, R.R.; Santhanam, G.; Shenoy, K.V., "Local field potential measurement with low-power analog integrated circuit," *Engineering in Medicine and Biology Society, 2004. IEMBS '04. 26th Annual International Conference of the IEEE*, vol.2, no., pp.4067-4070, 1-5 Sept. 2004
- [2]A. Djemouai and M. Sawan, "Prosthetic power supplies," *Wiley Encyclopedia of Electrical and Electronics Engineering*, vol. 17, pp.413-421,1999.
- [3] K. Iniewski editor, "Wireless Integrated Neurochemical and Neuropotential Sensin", *VLSI Circuits for Biomedical Applications*, pp.1-21,2008
- [4] R. R. Harrison, "Integrated Circuits for Neural Interfacing : Neuroelectrical Recording," *VLSI, Circuits for Biomedical Applications*, pp.165-169,2008.
- [5] R. Harrison and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications", *IEEE Journal of Solid-State Circuits*, vol. 38, 2003, pp. 958-965
- [6] Binkley,D.; Bucher, M.; Foty, D., " Design- oriented characterization ofCMOS over the continuum of Inversion Level and Channel Length," *Proc. 7th IEEE Int. Conf. On Electronics Circuits & Systems ICECS'2k*, pp. 161-164, 2000
- [7] R. Bucher, D. Kazakis, F. Krummenacher, D. Binkley, D. Foty, Y. Papananos, "Analysis of Transconductances at All Levels of Inversion in Deep Submicron CMOS", *9th IEEE Conf. on Electronics, Circ. & Syst. (ICECS 2002)*, Vol. III, pp. 1183-1186, Dubrovnik, Croatia, September 15-18, 2002.
- [8] Silva-Martinez, J.; Solis-Bustos, S., "Design considerations for high performance very low frequency filters," *Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on*, vol.2, no., pp.648-651 vol.2, Jul 1999

Module intégré pour la mesure d'impédance de l'interface électrodes-tissus

Seyed Amir Seraji
Département de Génie Biomédical
amirseraji@gmail.com

Abstract- In this paper, the design of a integrated circuit for the measure of tissue impedance is presented. The system is intended to be used during surgical procedures in order to monitor organ functionality. The chip is composed of a circuit for stimulus signal generation and a circuit for the measurement of the tissue impedance. The system is designed in CMOS technology and Verilog-A design.

I. INTRODUCTION

L'impédance des tissus biologiques est un paramètre fort intéressant. En effet, la variation de l'impédance d'un tissu est très souvent lié à un changement physiologique au niveau du corps humain. Étant donné la besoin d'avoir des dispositifs de très faible dimension dans le domaine biomédical, on a intérêt à faire recours à la microélectronique.

Le but de ce projet est de réaliser un circuit intégrer permettant de mesurer l'impédance des tissus biologiques. Le circuit conçu est un sous bloc d'un système de micro-capteurs destiné à être utilisé en chirurgie cardiaque afin de détecter les paramètres biomédicaux d'un corps vivant. Par exemple, le système pourrait permettre de détecter l'ischémie du myocarde puisque l'impédance de ce dernier varie en amplitude et en phase lors de l'ischémie.

Dans la section II, la méthode de mesure et les différents circuits nécessaires, afin d'effectuer la mesure d'impédance, sont présentés. La section III propose une description détaillée des différentes composantes du système ainsi que leurs spécifications de conception. Les résultats des simulations sont donnés à la section IV. Enfin, la section V la conclusion et les recommandations futures.

II. SPÉCIFICATIONS DU SYSTÈME

La méthode de mesure de l'impédance est basée sur un système de quatre électrodes (Z_{E1} , Z_{E2} , Z_{E3} et Z_{E4}). Le schéma bloc complet du système se trouve à la Fig. 1. Afin de stimuler le tissu (bloc SUT de la Fig. 1) d'impédance inconnue Z_x , un courant sinusoïdal i_o est injecté à travers les électrodes Z_{E1} et Z_{E4} , soient les électrodes d'excitation. D'autre part, les électrodes de mesure Z_{E2} et Z_{E3} permettent d'obtenir la réponse en tension V_x du tissu qui est en fait fonction de l'amplitude et la phase de l'impédance inconnue. Par la suite, cette réponse en tension est traitée dans le but d'obtenir la composante réelle et la composante imaginaire de Z_x . Ceci est réalisé à partir de deux circuits, un pour l'excitation du tissu (incorporé dans le

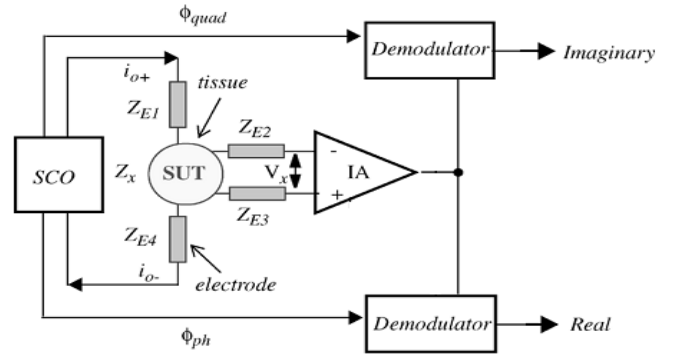


Fig. 1. Schéma bloc complet du système

bloc SCO de la Fig. 1) et l'autre pour le traitement des donnée (bloc IA et Demodulator de la Fig. 1).

Le premier circuit consiste en une source de courant sinusoïdale à une certaine fréquence f_{exc} . Ces deux valeurs sont dictées par les normes de sécurité médicale. Le second circuit, quant à lui, est composé d'un amplificateur d'instrumentation permettant de mesurer V_x et de deux démodulateurs qui effectuent l'extraction des composantes réelle et imaginaire de l'impédance recherchée.

Notre système doit respecter les spécifications suivantes. Afin de respecter les normes de sécurité, le courant d'excitation ne doit pas dépasser $5 \mu A_{rms}$ et ce pour des fréquence de 1 à 20kHz. Par ailleurs, le module doit être capable de mesurer des impédances allant de 100Ω à $10k\Omega$ et une phase dans la plage de $[0,30^\circ]$. D'autre, l'effet des électrodes sur la mesure d'impédance doit être pris en considération. Afin de faire cela, chaque électrode a été modélisé par une résistance de $1k\Omega$. On précise que le but du dispositif n'est pas d'obtenir la valeur exacte de l'impédance mais plutôt d'être en mesure de détecter les grandes variation de l'impédance des tissus biologiques.

III. CONCEPTION DU SYSTÈME

La section suivante présente la conception des différentes circuits de notre système.

A. Circuit d'excitation

Le rôle du circuit d'excitation est de fournir un courant sinusoïdal au SUT afin de produire une réponse en tension lorsque le courant i_o passe à travers la charge. Afin de généré

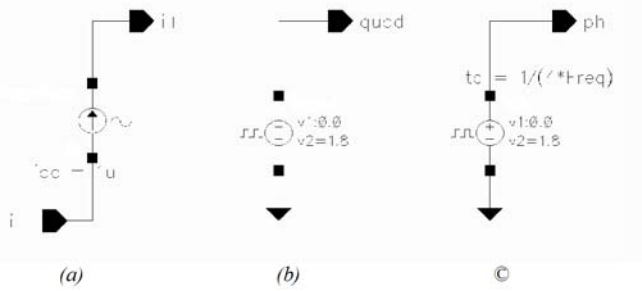


Fig. 2. Schéma du bloc SCO. (a) Source de courant sinusoïdal le circuit d'excitation, (b) Source de tension carrée pour la démodulation, (c) Source de tension carrée pour la démodulation avec un déphasage de 90°

cette sortie, une source de tension sinusoïdal à été utilisé. Comme nous l'avons précisé dans la section II, pour des fins de sécurité, le courant d'excitation ne doit pas dépasser 5 μA_{rms} . C'est pourquoi nous avons fixé le courant de la source à 1 μA . De plu, la fréquence du courant a été fixé à 1 kHz. Le schéma du circuit d'excitation est présenté à la Fig. 2(a).

B. Amplificateur d'instrumentation

L'amplificateur d'instrumentation a été réalisé en technologie CMOS selon les spécifications dans [1]. L'utilisation d'amplificateur différentiel à rétroaction résistive n'est pas adéquate pour ce modèle car se type d'amplificateur nécessite des courants élevés. Afin de contourner ce problème, des amplificateurs avec une rétroaction sur le courant on été utilisé. Le schéma complet de l'amplificateur d'instrumentation est présenté à la Fig. 3.

Les circuits d'entrée est de sortie agisse comme un amplificateur à transconductance et un amplificateur à transrésistance respectivement. Ainsi, si le courant dans la branche est en miroir dans la sortie alors on obtient

$$v_{out} = \frac{R_s}{R_g} \times (v_1 - v_2) - v_{Ref} \quad (1)$$

qui est la relation caractéristique d'un amplificateur d'instrumentation.

Si aucun signal n'est appliqué le circuit est entièrement en équilibre, c'est-à-dire que tous les courants sont égaux et que la tension de sortie est nulle. Toutefois, lorsqu'un signal différentiel est appliqué, les courants de sortie de l'amplificateur de transconductance G_m devient déséquilibré afin de garder les courants de drain de M_1 et M_2 égales. En effet, si les deux transistors sont bien dimensionnées leurs tension grille-source sont quasi égaux et on obtient

$$i_{R_s} = \frac{(v_1 - v_2)}{R_g} \quad (2).$$

Les transistors M_1 et M_2 sont linéarisés par l'amplificateur de transconductance G_m tandis que les transistors M_1 et M_2 sont linéarisés par l'amplificateur Av . Ce dernier convertie le courant en une tension selon l'équation suivante

$$i_{R_s} = \frac{(v_{out} - v_{Ref})}{R_s} \quad (3).$$

Étant donné que les le courant de sortie du circuit d'entrée est en miroir avec M_6-M_9 et M_5-M_{10} . Ainsi, la relation entrée-sortie devient exactement (1).

C. Circuit de démodulation

Dans le but de déterminer l'impédance Z_s , l'onde sinusoïdal provenant de l'amplificateur d'instrumentation doit être démodulé. Cette onde, qui est proportionnelle en amplitude et en phase à l'impédance du tissu, doit être démodulé avec une onde carrée. Cette dernière, est généré par une partie du bloc SCO. Le circuit de démodulation est composé de deux parties. D'une part, le multiplicateur reçoit les deux signaux et, comme son nom l'indique, les multiplie ensemble. Le multiplicateur a été conçue à l'aide du langage Verilog-A. Par la suite, le signal à la sortie du multiplicateur passe à travers un filtre passe-bas afin de retrouver la fréquence d'intérêt. Le filtre utilisé est un

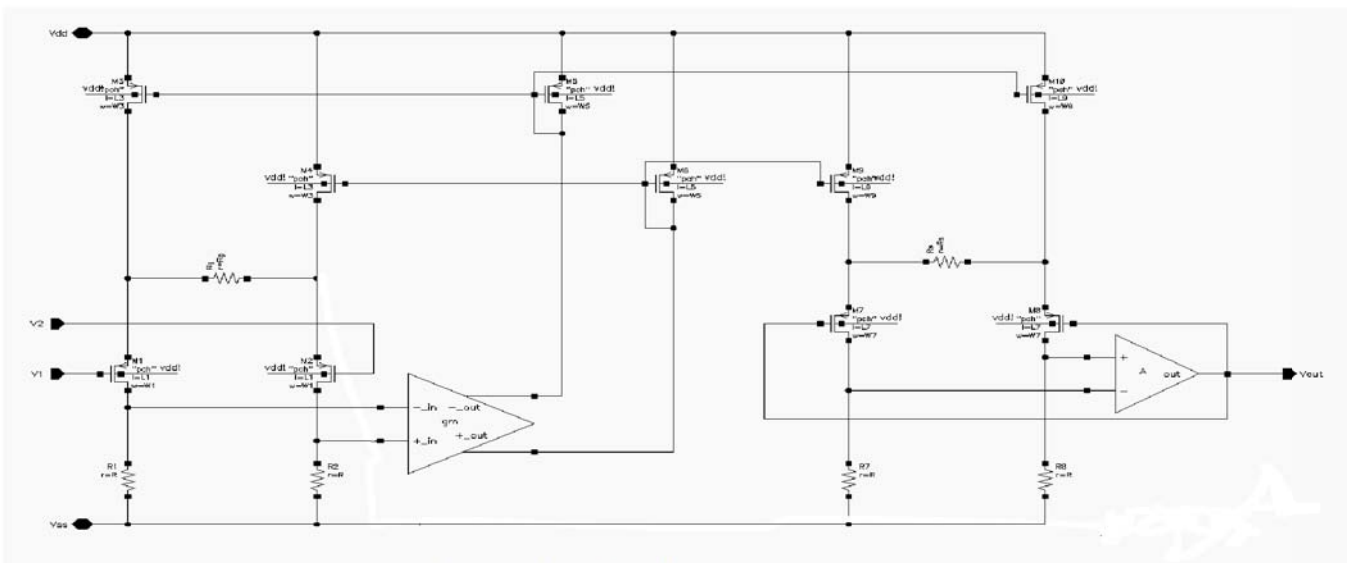


Fig. 3. Schéma de l'amplificateur d'instrumentation

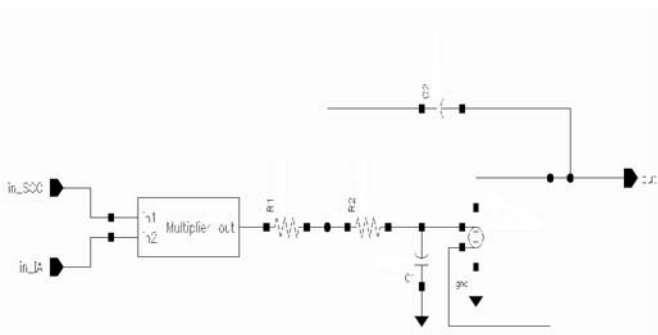


Fig. 4. Schéma du démodulateur (multiplicateur et filtre passe-bas)

filtre passe-bas Butterworth de deuxième ordre de configuration Sallen-Key [Fig. 4].

D. Circuit de génération de signaux en quadrature de phase

Afin de générer les signaux en quadrature de phase nécessaires pour la démodulation, nous avons utilisé deux sources de tension que nous avons intégré dans le bloc SCO. La première est une source de tension carrée avec une amplitude de 1,8 V [Fig. 2(b)]. La seconde est une autre source de tension carrée de même amplitude mais déphasé de 90° [Fig. 2(c)]. Le déphasage a été obtenu en implantant, dans la seconde source, un délai du quart de la période du courant i_o . Ainsi, nous sommes en mesure d'obtenir deux signaux carrés en quadrature de phase.

IV. RÉSULTATS

A. Multiplicateur

En effectuant une simulation transitoire, à l'aide d'un banc d'essai, nous avons observé la sortie du multiplicateur. Nous avons injecté deux tensions sinusoïdaux de même amplitude dans le bloc et nous avons relevé la sortie. D'après la Fig. 5 on voit que l'amplitude de la sortie est égale à la moitié de celles des signaux d'entrées. D'autre part, la fréquence du signal de sortie est deux fois plus grande que celles des signaux de sorties. On peut donc affirmer que le multiplicateur fonctionne adéquatement et que l'on obtient la sortie désiré.

B. Filtre passe-bas

Le bon fonctionnement du système dépend grandement du filtre passe-bas. Il est donc essentielle de s'assurer d'un fonctionnement adéquat. Tout d'abord, nous avons effectué une première simulation afin d'observer la réponse AC du filtre [Fig. 6]. On remarque que la fréquence de coupure du filtre est bel est bien à 1 Hz. D'autre part, nous avons effectuer des simulations en injectant une tension sinusoïdal dans le filtre. Nous avons observé les effets sur la sortie du filtre lorsque l'on fait varier la fréquence du signal d'entrée. La Fig. 7 présente le résultat de ces simulations. On remarque que pour des basses fréquences on obtient un signal à la sortie. En revanche, pour des fréquences supérieures à 1 Hz la sortie est quasi nulle. De plus, on note une variation de 40dB par décade. Ceci signifie donc que le filtre fonctionne correctement.

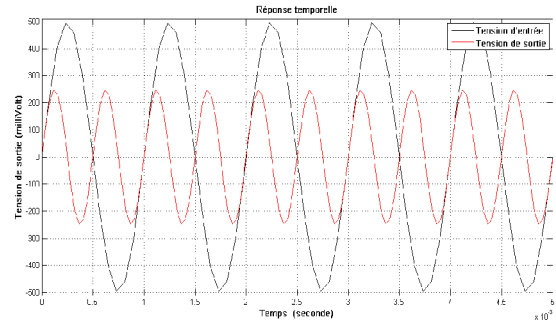


Fig. 5. Réponse temporelle du multiplicateur

C. L'amplificateur d'instrumentation

L'amplificateur d'instrumentation est le circuit le plus important de notre module. C'est celle-ci qui génère la réponse en tension qui nous permettra de retrouver l'impédance inconnue du tissu. Il est donc primordial que la réponse de cette amplificateur soit celle désiré. Tout d'abord, nous avons simulé la réponse AC de l'amplificateur afin de déterminer sa performance. La Fig. 8 représente les graphiques du gain et de

la phase de notre amplificateur. D'après cette figure, le gain à basse fréquence de l'amplificateur est d'environ 39 dB. En ce qui concerne ça fréquence à -3dB, elle est d'environ 1,5 MHz. De plus, la marge gain de est d'environ -20dB et la marge de phase est de -100° .

D'autre part, nous avons effectuer des simulations de la réponse temporelle de l'amplificateur en variant la différence de tension entre ces deux entrées. Pour faire cela, nous avons fixé la valeur de la source de tension continue à 500mV et on a fait varié la valeur de la tension de la source sinusoïdal de 0 à 1.8V. Le résultat de ces simulation est présenté à la Fig. 9. On remarque pour une différence de tension négative on obtient une tension de sortie négative. Par ailleurs, on remarque que la différence de tension à l'entrée doit être d'au moins 500mV afin d'obtenir tension de sortie adéquate, soit d'environ 1V.

CONCLUSION

Tout d'abord, l'intégration des différentes composantes du systèmes n'a pu être réalisé étant donné un manque de temps.

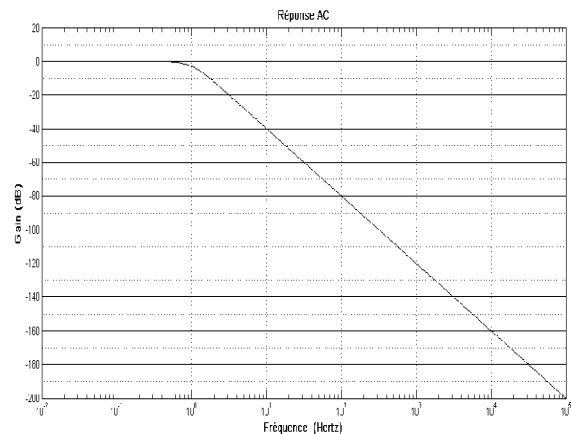


Fig. 6. Réponse AC du filtre passe-bas

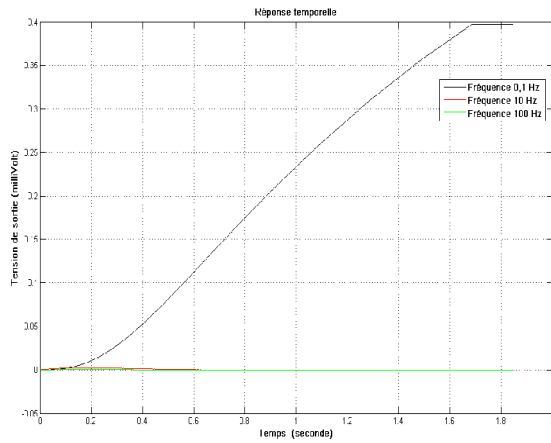


Fig. 7. Réponse temporelle du filtre pour plusieurs fréquences d'entrées

Malgré le bon fonctionnement des différentes parties du système, l'ensemble du système ne répondait pas aux spécifications.

La performance de l'amplificateur d'instrumentation est la source primaire de cette défaillance. En effet, malgré un gain adéquat, on remarque que les marges de gain et de phase sont négatives ce qui signifie que l'amplificateur est instable.

D'autre part, le filtre passe-bas que nous avons réalisé est conçu avec des composants dont les dimensions sont trop grandes. En effet, ils ne pourront être intégrés dans une puce. Une solution à cela pourrait être de réaliser les condensateurs avec des transistors MOS afin d'augmenter la capacitance et par conséquent diminuer les valeurs des résistances.

En somme, ce projet nous a permis d'obtenir de très bonne base dans la conception de circuit intégré, notamment le logiciel de conception Cadence, ainsi que le langage de programmation Verilog-A.

REMERCIEMENTS

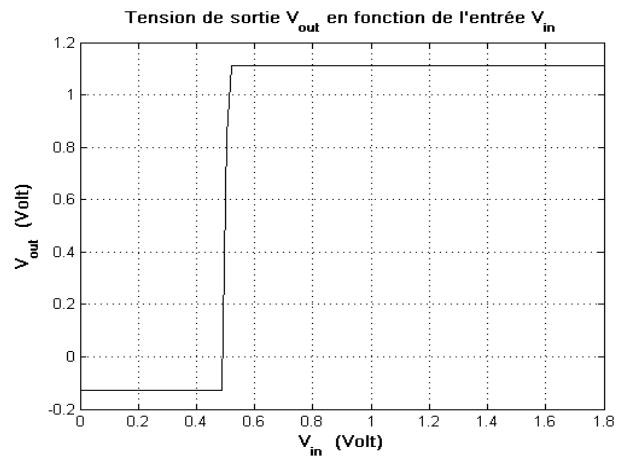


Fig. 9. Réponse temporelle de l'amplificateur d'instrumentation en fonction de la différence de tension à l'entrée

Tout d'abord, je tiens à remercier notre chargé de laboratoire, M. Louis-François Tanguay, pour son aide et support technique tout au long de la session. En fait, sans son appui ce projet n'aurait pu être réussi. D'autre part, je voudrais remercier notre professeur M. Mohamad Sawan grâce à qui j'ai pu acquérir les notions théoriques nécessaires pour réaliser le projet en question.

RÉFÉRENCES

- [1] R. Martins, S. Selberherr, & F.A. Vaz, "A CMOS IC for portable EEG acquisition systems," *IEEE Trans.Instrum. Meas.*, vol. 47, no. 5, pp. 1191–1196, Oct. 1998.
- [2] D. Prutchi & M. Norris, *Design and Development of Medical Electronic Instrumentation*; Wiley-IEEE, 2005
- [3] M. Degrauwe, E. Vittoz, & I. Verbauwhede. "A MicroPower CMOS-Instrumentation Amplifier", *IEEE journal of Solid-State circuits*, vol sc-20, No 3, June 1985
- [4] A. Yúfera, A. Rueda, et al., "A Tissue Impedance Measurement Chip for Myocardial Ischemia Detection", *IEEE Transactions on circuits and systems—I: Regular papers*, vol. 52, no. 12, December 2005
- [5] R.C. Yen & P. R. GRAY, A MOS Switched-Capacitor Instrumentation Amplifier, *IEEE journal of Solid-State circuits*, vol sc-17, No 6, December 1982

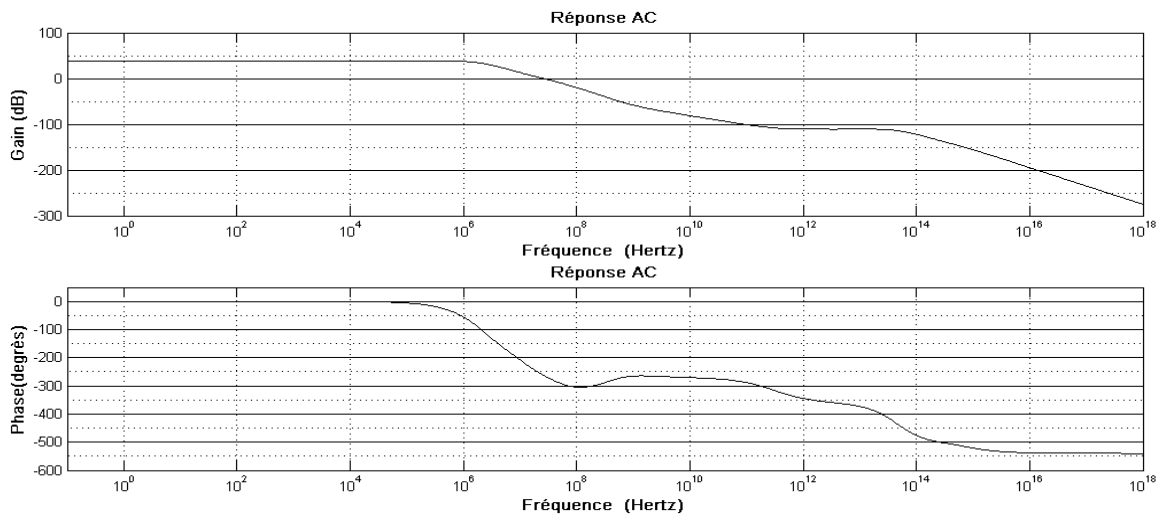


Fig. 8. Graphique du gain et de la phase de l'amplificateur d'instrumentation

Modélisation d'une source de courant à large bande pour la Tomographie d'Impédance Électrique

Yannick Sigmen

Département de génie électrique
École polytechnique de Montréal
Montréal, Canada
yannick.sigmen@polymtl.ca

Résumé—La Tomographie d'Impédance Électrique (TIE) est une technique d'imagerie qui consiste à injecter des courants et mesurer des tensions selon une séquence spécifique. La source de courant est un élément clé et doit être capable de fournir une haute impédance de sortie et un courant constant pour les fréquences requises. Cet article porte sur l'étude de deux topologies de circuits de conversion tension-courant : La première est un circuit de Howland classique, simple et très utilisé pour les TIE qui fonctionnent à 50 kHz. La deuxième topologie est un circuit qui doit permettre une utilisation avec une grande plage de fréquences. Notre étude évalue les deux circuits réalisés avec des composants discrets par simulation avec le logiciel LTSpice. Les réponses en fréquences de l'impédance de sortie et de la transconductance sont ensuite comparées aux performances obtenues avec les mêmes sources de courant, conçues avec la technologie CMOS 0,18 μ m. Les résultats montrent que la conception des deux circuits en VLSI permet d'obtenir de meilleures performances. La source de Howland a atteint des caractéristiques acceptables, mais pour une largeur de bande limitée. En revanche, la deuxième topologie a produit une impédance de sortie et une transconductance plus stable sur une plus grande largeur de bande. L'impédance de sortie a été maintenue à 1M Ω jusqu'à 346 kHz et la transconductance a été de 1,998 mS jusqu'à près de 1MHz. En se basant sur les résultats de simulations, la source large bande en VLSI a été considérée comme offrant les meilleures performances pour une grande plage de fréquences.

Mots-clés: source de courant, impédance de sortie, Modélisation avec Cadence, Tomographie d'Impédance Électrique

I. INTRODUCTION

La tomographie d'impédance électrique (TIE) est une technique d'imagerie permettant de visualiser les changements dans les propriétés électriques d'une région du corps. Pour obtenir ces images, des électrodes sont disposées sur la région d'intérêt. Des courants de faible amplitude sont appliqués par une paire d'électrodes pendant que le potentiel électrique résultant est mesuré aux autres paires d'électrodes. Certaines des applications les plus prometteuses de la TIE sont l'évaluation de la ventilation pulmonaire ainsi que la localisation de foyers épileptiques. Lorsque le patient bouge ou subit une crise d'épilepsie, les électrodes se déplacent et engendrent des artefacts dans les images qu'on appelle artefacts de mouvements et qui constituent un problème majeur en TIE. Ces artefacts de mouvements proviennent du

changement d'impédance de contact à l'interface électrode-peau. Ces impédances de contact peuvent être très élevées et variables en fonction des mouvements du sujet, des manipulations du personnel, de la transpiration, du séchage du gel et de la régénération de la peau sous l'électrode.

Dans les systèmes de TIE, les caractéristiques des sources de courant sont importantes pour minimiser ces artefacts de mouvements. C'est pourquoi l'impédance de sortie et la transconductance doivent être très élevées, et ce sur la plus grande plage de fréquences possible [1]. Afin d'optimiser ces performances, les sources de courant peuvent être réalisées avec une technologie CMOS [2]. La source de courant la plus populaire pour cette application est le modèle de Howland. Il s'agit d'une source de courant contrôlée par une tension qui utilise un seul ampli-op et une boucle de rétroaction pour fournir un courant constant à travers une charge. La source de Howland étant stable pour une petite plage de fréquences, cette topologie est souvent combinée à un circuit de conversion d'impédance afin de réduire les effets des capacités parasites qui sont significatives en haute fréquence.

Certaines applications en TIE nécessitent une très grande largeur de bande pour l'impédance de sortie. Afin d'obtenir un courant constant sur une plus grande plage de fréquences, une 2^{ème} topologie de source de courant consiste à utiliser un amplificateur d'instrumentation (AI) ainsi qu'un ampli-op pour isoler la tension de référence de l'AI. Notre étude portera sur le comportement de ces deux modèles de sources de courant et sur la comparaison des performances des simulations avec des composants discrets et en VLSI.

II. DESCRIPTION DES CIRCUITS

A. Source large bande

La figure 1 illustre la source de courant contrôlée par une tension qui utilise un AI fait à partir d'une topologie de trois ampli-ops [3]. Une analyse de ce circuit a été faite afin de déterminer les paramètres d'optimisation. Le condensateur C_{f1} est utilisé afin d'annuler les capacités parasites provenant du reste du circuit.

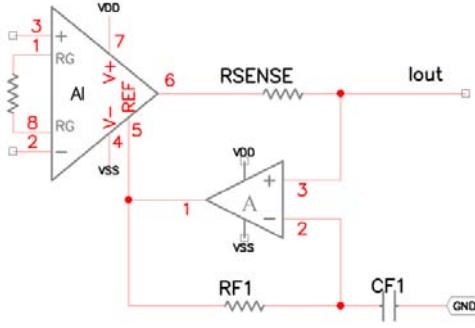


Figure 1. Circuit de la source de courant large bande

En supposant le gain en mode commun infini pour l'AI et que la tension aux bornes de la charge tend vers zéro, la transconductance G_m est donné par

$$G_m = \frac{i_{load}}{(V_2 - V_1)} = \frac{A_d}{R_{sense}} = \frac{A_d(0)}{R_{sense}} \frac{1}{1+s\tau_d} \quad (1)$$

On remarque que G_m varie de façon fréquentiel comme un filtre passe-bas de premier ordre. Quant à l'impédance de sortie, elle peut être approximée par

$$Z_{out} \approx R_{sense} A_0 \quad (2)$$

L'impédance de sortie dépend donc du gain en boucle ouverte de l'AI.

B. Source de Howland

La source de Howland est un circuit classique pour les systèmes de TIE, car il offre une des meilleures solutions en combinant des performances élevées, une stabilité inconditionnelle et une simplicité relative [4]. Ce circuit est illustré à la figure 2. L'impédance de sortie de ce circuit peut être donnée par :

$$R_o = \frac{R_2}{\frac{R_2}{R_1} \frac{R_4}{R_3}} \quad (3)$$

Or, en pratique si le rapport de R_4/R_3 est parfaitement balancé à celui de R_2/R_1 , l'impédance de sortie sera infinie. Par conséquent, le fait de réaliser ce circuit en VLSI pourra vérifier l'effet de cette imperfection par rapport à des composants discrets. De plus, une autre imperfection se situe au niveau du gain fini en boucle ouverte de l'ampli-op (a), qui dégrade aussi l'impédance de sortie :

$$R_o = (R_1 // R_2) \left(1 + \frac{a}{1 + R_2/R_1} \right) \quad (4)$$

Par conséquent, le montage de ce circuit en composants discrets nécessite des résistances avec une très grande précision et un ampli-op avec un gain en boucle ouverte très élevé.

C. Optimisation des sources en VLSI

Les circuits des deux sources de courant vont être réalisés en VLSI sur Cadence. Chaque ampli-op sera implémenté en utilisant une configuration deux étages, qui tenteront d'être optimisés afin de répondre aux critères précédents [5]. Le premier étage est une entrée différentielle fait de transistors à canal p avec la technologie 0,18um. Les transistors M3 et M4 forment un miroir de courant tandis que le transistor M5 fourni le courant du circuit de polarisation. Les transistors à canal p sont utilisés à l'entrée pour maximiser la transconductance du deuxième étage, qui doit être composé de transistors à canal n. Le deuxième étage est formé d'une configuration source commune, ce qui permet de contrôler le gain. Un condensateur est utilisé en rétroaction afin de s'assurer de la stabilité du circuit. Enfin, un circuit de polarisation, constitué des transistors M10 à M15, est utilisé afin de nous assurer que les transistors opèrent dans leur région voulue. La configuration permet de relier la transconductance des transistors à la conductance d'une résistance. En posant $(W/L)_{15} = 4(W/L)_{13}$, on obtient que

$$g_{m13} = \frac{1}{R_B} \quad (5)$$

Par conséquent, cette relation simplifie la détermination de la transconductance des autres transistors, qui va dépendre principalement de la géométrie.

La méthode utilisée afin de répondre aux spécifications consiste à optimiser les dimensions des transistors de chaque source de courant. La source de courant large bande a une transconductance qui dépend du gain différentiel et de la résistance R_{sense} . Comme cette résistance est choisie pour correspondre à celle de la charge, elle ne peut pas être modifiée. Or, A_d doit être optimisé et il est dépend de la transconductance g_m des deux transistors d'entrées. Il faut donc que leur rapport (W/L) soit optimisé.

Pour ce qui est de l'impédance de sortie, elle dépend du gain en boucle ouverte de l'ampli-op qui agit en suiveur de tension. Par conséquent, la transconductance des transistors pour les deux étages de gain doit être maximisée en ayant un rapport (W/L) adéquat. Pour maximiser la transconductance des transistors, ils doivent opérer dans leur région d'inversion modérée ou leur longueur de canal ne doit pas être minimale ($0.1 < IC < 1$) [6].

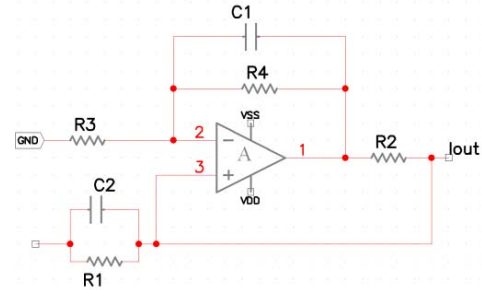


Figure 2. Circuit de la source de Howland

Le coefficient d'inversion IC est donné par

$$IC = \frac{I_d}{I_0 \frac{W}{L}} \quad (6)$$

Où I_d est le courant de drain, contrôlé par le circuit de polarisation et I_0 , un terme propre au transistor qui regroupent plusieurs paramètres.

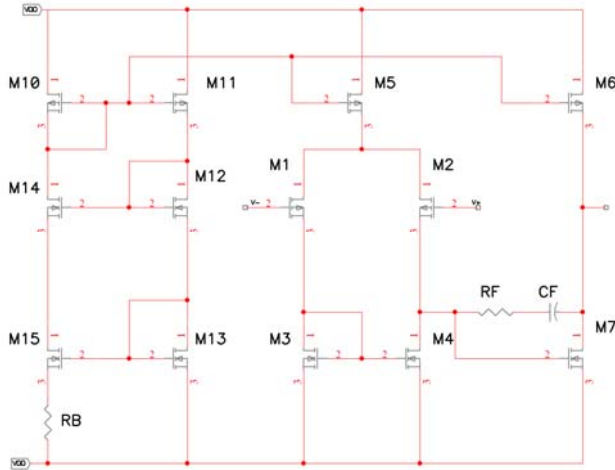


Figure 3. Schéma de l'ampli-op deux étages

III. PERFORMANCES DES CIRCUITS

Des bancs d'essais pour mesurer G_m et Z_{out} ont été créés dans Cadence. Pour la transconductance, le circuit est branché à une résistance de charge de 1Ω et l'entrée positive est branchée à une source sinusoïdale dont l'amplitude est de 1V et la fréquence de 50kHz. Il suffit alors d'effectuer une analyse AC et de faire tracer le courant de sortie sur la tension d'entrée. Pour mesurer l'impédance de sortie, le banc d'essais consiste à mettre les deux entrées à la masse et d'injecter la même source sinusoïdale à la sortie du circuit. Il suffit alors de mesurer le courant fourni par la source et de diviser la tension par la valeur trouvée. Les dimensions des transistors ont été optimisées à l'aide d'analyses paramétriques.

A. Source large bande

Les simulations ont été réalisées à l'aide du logiciel Cadence et ce pour une charge de 1Ω afin de modéliser la réponse idéale. Les résultats pour Z_{out} et G_m de la source de courant large bande sont illustrés aux figures 4 et 5.

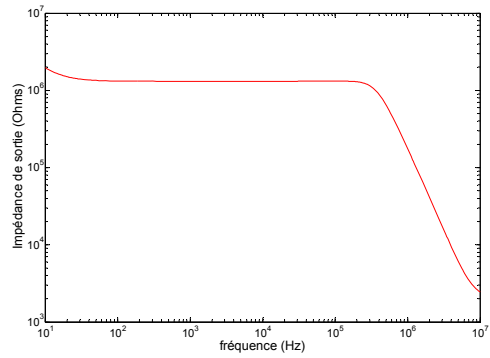


Figure 4. Impédance de sortie de la source large bande

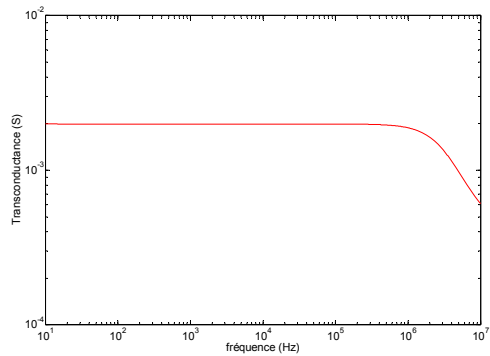


Figure 5. Transconductance de la source large bande

B. Source de Howland

Les simulations sur Cadence pour la source de Howland ont été faites avec les mêmes conditions que pour le circuit précédent. La source de Howland a donné les caractéristiques représentées aux figures 6 et 7.

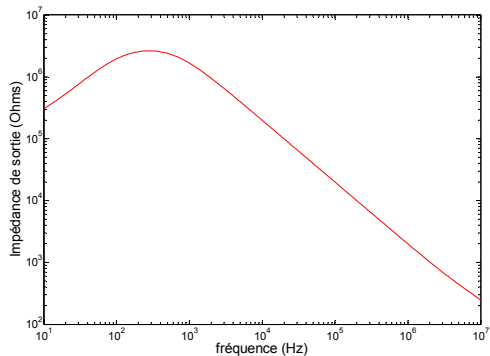


Figure 6. Impédance de sortie de la source de Howland

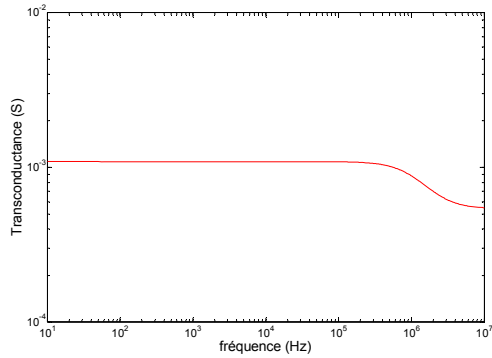


Figure 7. Transconductance de la source de Howland

IV. DISCUSSION ET COMPARAISON

Les résultats obtenus pour la simulation des deux sources de courant en VLSI seront exposés dans cette section et comparés aux résultats obtenus par simulation des mêmes circuits à l'aide de composants discrets. Les simulations pour les composants discrets ont été réalisées à l'aide du logiciel LTSpice de Linear Technology, en utilisant le LT1351, un ampli-op à faible puissance.

Les tableaux 1 et 2 résument les caractéristiques obtenues pour les deux sources de courant, et ce pour les deux types de simulations.

TABLE I. COMPARAISON DES DIFFÉRENTES IMPÉDANCES DE SORTIE DES SOURCES DE COURANT

| Fréquence (Hz) | Zout (Ω) | | | |
|----------------|--------------------------|---|---------------------------|--|
| | Source de Howland (VLSI) | Source de Howland (Composants discrets) | Source large bande (VLSI) | Source large bande (Composants discrets) |
| 10Hz | 308k | <1k | 1,96M | 11,89M |
| 1 k | 1,98M | 1,5k | 1,32M | 1,098M |
| 10 k | 1,67M | 7k | 1,32M | 107,3k |
| 50k | 198k | 900k | 1,32M | 21,7k |
| 100 k | 19,9k | 2k | 1,32M | 11,7k |
| 1 M | 2,01k | <1k | 176,4k | 1,13k |
| 10M | <1k | <1k | 2,44k | <1k |

Dans le tableau 1, on remarque que la source de Howland en composants discrets a une impédance maximale à 50 kHz, mais que l'impédance de la source large bande est supérieure pour les autres fréquences. En VLSI, la source de Howland n'a pu être optimisée pour une fréquence de 50kHz. Pour la source large-bande en VLSI, les résultats de simulation obtenus montrent que l'impédance de sortie est inférieure à basse fréquence par rapport aux simulations en composants discrets. Néanmoins, elle produit une impédance de sortie plus stable sur une plus grande largeur de bande.

En comparant la transconductance dans le tableau 2, on remarque que la source large-bande en VLSI offre les meilleures valeurs de G_m pour une plus grande plage de fréquences.

TABLE II. COMPARAISON DES DIFFÉRENTES TRANSCONDUCTANCES DES SOURCES DE COURANT

| Fréquence (Hz) | Gm (mS) | | | |
|----------------|--------------------------|---|---------------------------|--|
| | Source de Howland (VLSI) | Source de Howland (Composants discrets) | Source large bande (VLSI) | Source large bande (Composants discrets) |
| 1 k | 1,09 | 0,469 | 1,988 | 1,005 |
| 10 k | 1,09 | 0,841 | 1,988 | 1,005 |
| 50k | 1,09 | 0,841 | 1,988 | 1,005 |
| 100 k | 1,08 | 0,821 | 1,988 | 0,976 |
| 1 M | 0,882 | 0,681 | 1,881 | 0,129 |

CONCLUSION

Deux configurations de sources de courant contrôlées par une tension ont été implémentées en VLSI en utilisant une technologie CMOS 0.18μm. Ils ont été réalisés dans le but d'obtenir de meilleures caractéristiques pour la transconductance et l'impédance de sortie. L'impédance de sortie pour la source large bande a donné un résultat supérieur à 1MΩ pour une fréquence allant jusqu'à 361 kHz. Cette topologie est donc davantage appropriée pour une application en TIE qui nécessite une stabilité à haute fréquence.

D'après les discussions précédentes, les performances atteintes par la simulation en VLSI montrent que la conception de la source de courant large bande en technologie CMOS serait un bon choix afin d'améliorer les performances de la TIE.

RÉFÉRENCES

- [1] A. S. Ross, G. J. Saulnier, J. C. Newell and D. Isaacson, "Current source design for electrical impedance tomography," *Physiological Measurement*, vol. 24, pp.509–16, 2003.
- [2] J. Frounchi, M. H. Zarifi and F. Dehkoda, "A Differential Current Source for High Frequency Biomedical Applications in a 0.5 μm CMOS Integrated Circuit Technology," *IFMBE Proceedings*, Springer, Berlin, vol. 17, p 217-220.
- [3] Sedra A.S., Smith K. C., *Microelectronic Circuits*, 5th edition, Oxford University Press, 2004.
- [4] P Bertemes-Filho, et al. (2000) A comparison of modified Howland circuits as current generators with current mirror type circuits, *Physiol Meas.* 21 1–6.
- [5] Johns, David A., *Analog integrated circuit design*, Wiley, 1997, p222
- [6] R. Bucher, D. Kazazis, F. Kruppenacher, D. Binkley, D. Foty, Y. Papananos, "Analysis of Transconductances at All Levels of Inversion in Deep Submicron CMOS", *9th IEEE Conf. on Electronics, Circ. & Syst. (ICECS 2002)*, Vol. III, pp. 1183-1186, Dubrovnik, Croatia, September 15-18, 2002.

Mesure de la Température en Utilisant un substrat CMOS PNP Transistor

Sonfack Nomeny hermann
École polytechnique Montréal
hermann.sonfack-nomeny@polymtl.ca

Abstract-Dans ce document, nous présentons l'étude effectuée pour la réalisation d'un capteur de température qui se base sur la dépendance en température des substrats CMOS PNP transistor. En effet la tension base-émetteur d'un transistor BJT dépend de la température ambiante; Partant de cela, un circuit est développé pour pouvoir obtenir cette tension appelée communément V_{PTAT} qui nous renseigne sur notre facteur d'intérêt. Aussi pour la conversion de cette tension en données numériques, nous avons réalisé une tension de référence V_{ref} indépendante de la température qui avec le V_{PTAT} constitueront les entrées d'un ADC. Pour les simulations, nous avons utilisé les transistors CMOS de la technologie 0.18 μm .

I. INTRODUCTION

Les capteurs de température sont très utilisés dans le domaine biomédical et ils sont intégrés à la majorité des implants car on veut toujours savoir la température environnant les tissus ciblés pour pouvoir agir adéquatement. Donc le capteur doit être simple d'utilisation et doit pouvoir être facilement intégré dans les dispositifs implantables sans grande consommation de puissance.

Un capteur intelligent est un circuit intégré qui est composé du capteur et de l'électronique qui lui est associé. Les capteurs de température en technologie CMOS ont beaucoup d'avantages, ils sont généralement à bas prix et de petite taille et de plus ils augmentent la robustesse et les fonctionnalités

L'architecture complète du capteur représenté à la figure 1 comprend le circuit générateur du courant I_{PTAT} , le circuit générateur de la tension de référence et le convertisseur

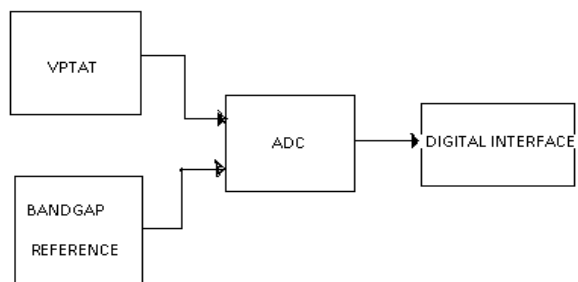


Fig. 1. Schéma bloc d'un capteur de température intelligent .

analogue numérique sigma delta. L'intervalle de température ciblé est compris entre -50 et 140 celcius.

Partant des travaux de *Johan H. Huising*[1] qui a réalisé un capteur de température en utilisant un substrat PNP transistor de la technologie 0.5 μm , on a implémenté le circuit, cette fois ci en technologie 0.18 μm , le circuit générant le V_{PTAT} . Par la suite nous avons réalisé une tension de référence appelé « bandgap cell reference » qui est indépendante de la température et qui avec la tension le V_{PTAT} constituent les entrées d'un convertisseur analogue numérique pour le traitement des données.

II. METHODOLOGIES ET PRINCIPLES

A. Transistor bipolaire substrate

En technologie CMOS, on peut utiliser les MOSFETs et les BJTs comme capteur de température. Les BJTs sont plus utilisés car ils présentent une très faible diffusion. On distingue deux types de transistors bipolaires : les transistors latérale et substrate. On préfère le deuxième car il a un comportement plus idéal et est moins sensible au stress de l'assemblage. En effet les transistors substrate ont la meilleure performance en ce qui concerne les non idéalités de la caractéristique I_C (V_{BE} , T). Au regard de tout cela, on le choisit pour générer le courant I_{PTAT}

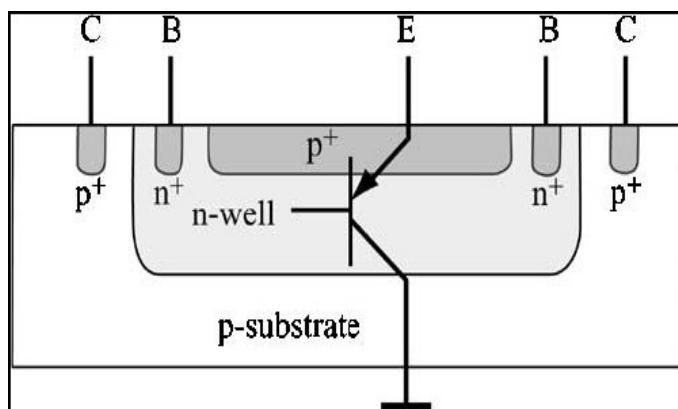


Fig. 2. Substrate pnp in n-well CMOS technology

B. Mesure de la température à partir de la tension base-émetteur du transistor BJT

Si un transistor bipolaire est polarisé de manière directe dans sa région active, la relation entre le courant du collecteur I_C et la tension base-émetteur V_{BE} est donnée par l'équation suivante :

$$I_C(T) = I_S(T) e^{\frac{qV_{BE}}{KT}}$$

Où k est la constante de Boltzmann, q la charge de l'électron et I_S le courant de saturation du transistor. En tenant compte de la dépendance en température d' I_S , on a l'équation suivante :

$$I_C(T) = A_E C T^n e^{\frac{qV_{BE} - V_{g0}}{KT}}$$

Où A_E est l'aire d'émission et V_{g0} est le bandgap à 0k. On exprime V_{BE} en fonction d' I_C et on trouve :

$$V_{BE}(T) = V_{g0} + \frac{KT}{q} \ln\left(\frac{I_C(T)}{A_E C T^n}\right)$$

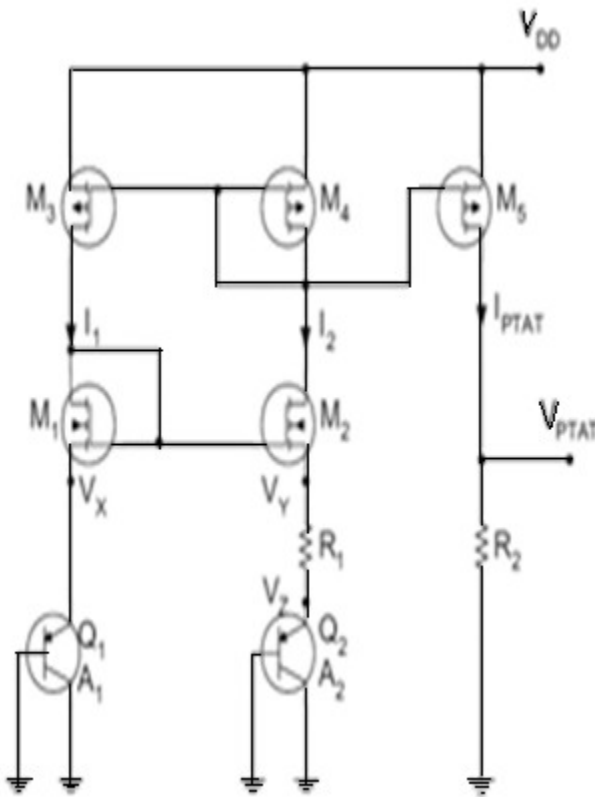


Fig. 3. Circuit pour générer la tension V_{PTAT}

L'utilisation d'un seul transistor bipolaire pour la mesure de la température est certes possible mais le résultat ne sera pas très précis du fait de la non linéarité (dépendance en \ln). Pour résoudre le problème, on utilise deux transistors bipolaires avec des densités de courants de collecteur différents.

On obtient par analyse les équations suivantes :

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = \frac{KT}{q} \ln\left(\frac{I_{C1}}{I_{C2}}\right)$$

$$V_y \approx V_x$$

$$V_{R1} = V_y - V_z = V_x - V_z$$

$$V_{R1} = \Delta V_{BE} = V_{BE1} - V_{BE2} = \frac{KT}{q} \ln\left(\frac{I_{C1}}{I_{C2}}\right)$$

$$I_{R1} = I_2 = \frac{V_{R1}}{R1} = \frac{1}{R1} \frac{KT}{q} \ln\left(\frac{I_{C1}}{I_{C2}}\right)$$

$$I_{R1} = I_2 = \frac{V_{R1}}{R1} = \frac{1}{R1} \frac{KT}{q} \ln\left(\frac{A_1}{A_2}\right)$$

A_1 et A_2 sont respectivement les surfaces des transistors 1 et 2. Si n désigne le rapport entre ces aires, on obtient finalement :

$$I_{R1} = I_2 = \frac{V_{R1}}{R1} = \frac{1}{R1} \frac{KT}{q} \ln(n)$$

Le courant obtenu à la sortie avec les miroirs de courant est :

$$V_{PTAT} = R_2 I_{PTAT} = R_2 I_5 = R_2 \frac{W_5}{W_4} I_2$$

Donc on obtient une tension de sortie qui varie de façon linéaire avec la température. De plus en jouant avec les largeurs des transistors 5 et 4, on peut améliorer le gain de courant.

C. Principes de la tension de référence Bandgap

La tension de référence Bandgap est un important bloc analogique utilisé pour la construction de plusieurs systèmes analogues et mixtes. Le bandgap qu'on a réalisé ici est de premier ordre donc comme on sait que la tension base-émetteur du transistor BJT varie de façon logarithmique avec la température, le circuit utilisé élimine le premier ordre, qui a le plus gros coefficient associé.

Les principes de la tension de référence Bandgap CMOS sont similaires à ceux des transistors BJTs. Une tension de compensation $V_C(T)$ est ajoutée à $V_{BE}(T)$ pour compenser au moins le premier ordre de la dépendance en température de $V_{BE}(T)$. Cette correction de la tension est obtenue en amplifiant la différence $\square V_{BE} = (KT/q) \ln p$ de ces tensions bases-émetteurs qui opèrent à des densités de courant

III. RÉSULTATS

On a implémenté le circuit du capteur de température (V_{PTAT}) et de la tension de référence Bandgap sur le logiciel Cadence en technologie 0.18 μm .

Le ratio des aires des transistor BJTs est fixé à 10
On obtient la figure 5 a la sortie V_{PTAT} .

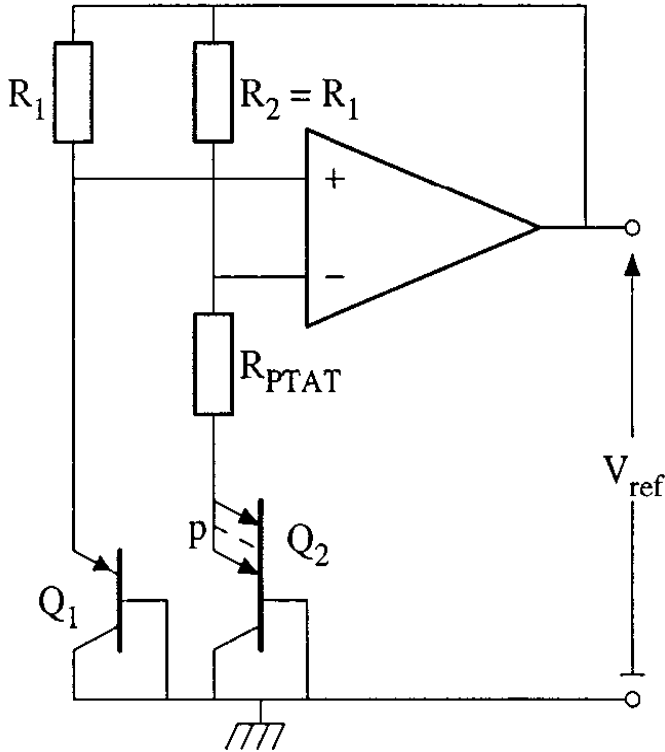


Fig. 4. Circuit de la tension de référence V_{BG}

différents . On obtient ainsi la tension de sortie de référence

$$V_{ref} = V_{BE}(T) + V_C(T) = V_{BE}(T) + A DV_{BE}(T)$$

Où A est le facteur d'amplification.

La figure 4 montre le circuit utilisé pour réaliser la tension de référence Bandgap. On a également utilisé des transistors PNP substrat vu qu'ils sont plus performants et qu'il présente un comportement plus proche de l'idéal. Puisque tous les collecteurs des transistors sont connectés au substrat commun, une configuration spéciale est requise pour amplifier la tension PTAT. À partir du circuit présenté à la figure4, on trouve la valeur de la sortie du circuit de référence :

$$V_{ref} = V_{EB2} + (1 + R_2/R_{PTAT})(V_{PTAT} + V_{QS})$$

Où comme on l'a montré plus haut $V_{PTAT} = (KT/q)\ln(n)$ et V_{QS} est la tension d'offset de l'amplificateur.

On présume que la tension d'offset de l'amplificateur est nulle et on obtient l'équation suivante :

$$V_{ref} = V_{EB2} + (1 + R_2/R_{PTAT}) (KT/q)\ln(n)$$

L'amplificateur utilisé est réalisé à l'aide de transistor MOSFETs dont le design est présenté en [2].

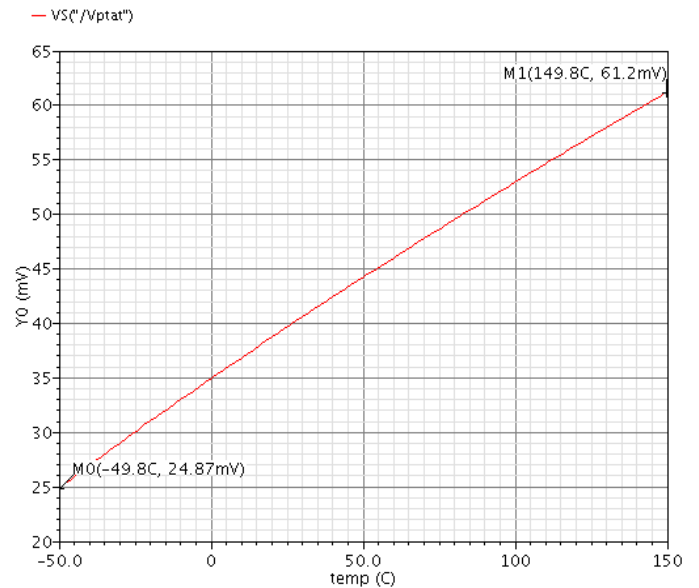


Fig. 5. Courbe de la tension V_{PTAT} en fonction de la température

Pour la tension de référence, on obtient la courbe de la figure6.

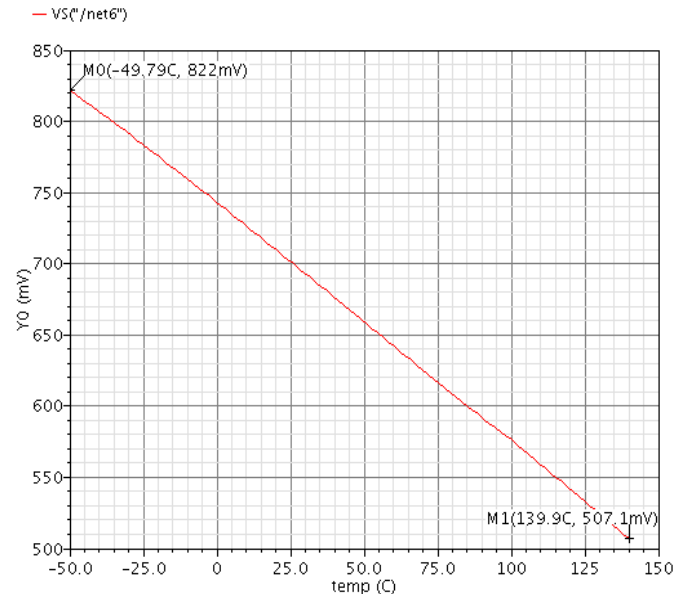


Fig. 6 Courbe de la tension V_{ref} en fonction de la température

IV. DISCUSSION

On remarque sur la figure 5 que la tension de sortie V_{PTAT} varie linéairement en fonction de la température sur toute la plage de température considérée. Pour une température d'environ -50°C on obtient une valeur de tension de 24.87mV et pour une température d'environ 150°C on obtient une tension de 61.2mV . Ce qui nous fait $0.55\text{mV}/^{\circ}\text{C}$. La puissance consommée par le capteur est de $200\mu\text{A}$, ce qui est très faible donc il pourra aisément être intégré dans un système implantable.

Toutefois il convient de mentionner que le PTAT est affecté par certaines irrégularités telles que les résistances parasites séries, la variation du gain de courant des transistors, l'injection haut-niveau et l'effet de la tension d'EARLY. Tous ces non idéalités sont traités en [1] et on présente également la façon de les contourner pour augmenter la précision du PTAT. Quant au circuit de la tension de référence, on remarque que la tension de référence chute en fonction de la température. Ceci s'explique par le fait que l'amplificateur opérationnel utilisé ne présente pas une tension d'offset nulle telle qu'on l'a assumé. Bakker *et al.* [5] ont montré comment réduire ce problème d'offset en utilisant un « nested-chopper instrumentation amplifier ». Aussi on peut citer ici l'imprécision du gain de courant des transistors qui influencent la valeur de la tension de référence. Un moyen de traiter ce problème de gain a été développé par Meijer [6].

Enfin, on voit que l'élimination du premier ordre de la dépendance en température de la tension base-émetteur du transistor BJT n'est pas suffisante pour le rendre indépendant de la température. Pour palier à cela, plusieurs techniques de compensation d'ordre supérieur ont été développées. On peut citer ici celle en [7] « Buck's voltage transfer cell compensation » et celle en [8] « piecewise linear curvature correction ».

V. CONCLUSION

Nous avons étudié deux circuits essentielles pour la réalisation d'un capteur de température intelligent. Il est à rappeler que celui-ci se compose essentiellement d'un circuit générateur de la tension V_{PTAT} , d'un circuit générateur de la tension de référence V_{ref} et d'un convertisseur analogue numérique $\Sigma\Delta$. Dans les résultats nous avons obtenu une dépendance linéaire de la tension V_{PTAT} . Toutefois la tension de référence présentait une dérive en fonction de la température. Les causes possibles ont été énoncées ainsi que des références ou ces problèmes étaient traités.

REFERENCES

- [1] Pertijs, M.A.P.; Meijer, G.C.M.; Huijsing, J.H., "Precision temperature measurement using CMOS substrate PNP transistor," *IEEE Sensors*, Vol. 4, pp.294 - 300, June 2004.
- [2] G. C. M. Meijer, G. Wang, and F. Fruett, "Temperature sensors and voltage references implemented in CMOS technology," *IEEE Sensors*, vol. 1, pp. 225–234, Oct. 2001.
- [3] Mohamad Sawan, Professor, Benoit Gosselin, and Louis-Francois Tanguay, Ph.D. Candidates, Laboratoire de neurotechnologies Polystim, www.cours.polymtl.ca/gbm5320/.
- [4] G. Wang and G. C. M. Meijer, "Temperature characteristics of bipolar transistors fabricated in CMOS technology," *Sens. Actuators A*, vol. 87, pp. 81–89, Dec. 2000.
- [5] A. Bakker, K. Thiele, and J. H. Huijsing, "A CMOS nested-chopper instrumentation amplifier with 100 nV offset," in *Proc. ISSCC'00*, San Francisco, USA, pp. 156–157, Feb. 2000, pp. 156–157.
- [6] Jianghua Chen; "A curvature compensated CMOS bandgap voltage reference for high precision applications", ASIC, 2007. ASICON, 07. pp. 510-513 7th, International Conference on 22-25 Oct. 2007
- [7] G. A. Rincon-Mora and P. E. Allen, A 1.1-V current mode and Piecewise linear curvature corrected bandgap reference IEEE J. Solid-State Circuits, 1998, Vol. 33, pp. 1551~1554.