

Référence de tension PTAT/NTC intégrée en CMOS UMC 0.18 μm

Anders Elmén

20 juin 2005

Projet de semestre 4ème année

Laboratoire de Systèmes Microélectroniques

Supervision : Prof. Yusuf Leblebici, Christophe Guillaume-Gentil,

Milos Stanisavljevic

Table des matières

1	Résumé	4
2	Spécifications, constantes et définitions	5
2.1	Spécifications	5
2.2	Constantes	5
2.3	Définitions	5
2.4	Abréviations	5
3	Introduction	6
4	Référence de tension	6
5	Théorie générale	6
5.1	Fonctionnement du circuit de référence	6
5.2	Dépendance de la température d'une jonction P-N	8
6	Analyse des circuits	10
6.1	Circuit PTAT	10
6.1.1	Cas idéal	10
6.1.2	Appariement paire N	11
6.1.3	Appariement miroir de courant	12
6.2	Circuit NTC	12
6.2.1	Cas idéal	12
6.2.2	Tension de décalage	13
6.2.3	Appariement miroir de courant	13
6.3	Tension de référence V_{REF}	14
7	Sources d'erreur	14
7.1	Répartition des erreurs	14
8	Dimensionnement des circuits	14
8.1	Circuit PTAT	14
8.1.1	Paire N	15
8.1.2	Miroir de courant	15
8.2	Circuit NTC	16
8.3	Amplificateur opérationnel	16
8.4	Résistances	17
8.5	Résultats	18
8.5.1	Transistors	18
8.5.2	Résistances	18

9	Simulation	19
9.1	Amplificateur opérationnel	19
9.2	Circuit de référence	19
9.2.1	Comportement en fonction de la température	19
9.2.2	Comportement en fonction de la tension d'alimentation	20
9.2.3	Simulation transitoire	21
9.2.4	Consommation de courant	21
9.2.5	Simulation de "corners"	22
9.2.6	Simulation Monte-Carlo	23
10	Conclusion	24
11	Suite	24
	Références	25
A	Schémas des simulations	26

1 Résumé

Une référence de tension intégrée a été conçue en technologie CMOS UMC $0.18\mu\text{m}$. Le circuit de référence est composé par deux sous-circuits, un circuit PTAT et un circuit NTC. La somme de leurs courants permet de fournir une tension stable, indépendante de la température, la tension d'alimentation et de la technologie de fabrication. Les calculs traitent les cas idéals et les cas où on a tenu compte une série des erreurs, statistiques et systématiques. Le circuit a été dimensionné selon les calculs et son fonctionnement au niveau schéma a été vérifié par des simulations. Les conclusions du travail indiquent que le circuit NTC fonctionne satisfaisant, mais que le circuit PTAT comporte une dépendance de tension d'alimentation qui diminue la performance du circuit de référence.

2 Spécifications, constantes et définitions

2.1 Spécifications

Dans l'énoncé du projet, les spécifications suivantes sont données :

Symbole	Paramètre	Min.	Typ.	Max.	Unité	Remarque
V_{REF}	Tension de référence	0.6		1.3	V	Modifiable
I_{REF}	Courant de référence		200		nA	@ 25 °C
VREFACCU	Précision de V_{REF}			5	%	$3\sigma^*$
V_{DD}	Tension d'alimentation	0.9		1.8	V	
IDDREF	Consommation de courant			2	μ A	@ 25 °C
TEMP	Plage de température	0		70	° C	
TSTART	Temps de démarrage			100	ms	
PSRR	Taux de réjection de l'alimentation	30			dB	@ 1kHz**

*) Sur toute la plage de température et pour tous les "corners".

***) $PSRR = 20 \log \Delta V_{DD} / \Delta V_{REF}$

2.2 Constantes

Constante	Notation	Valeur	Unité
Tension de la bande interdite pour silicium Si à 0 K	V_{G0}	1.206	V
Constante de Boltzmann	k	$1.380 \cdot 10^{-23}$	J/K
Charge de l'électron	q	$1.602 \cdot 10^{-19}$	C
Tension thermodynamique à 300 K	U_T	0.026	V
Facteur de pente	n	1.14	1
Variation en β	A_β	3.077	% μ m
Variation en tension de seuil V_{T0}	A_{VT0}	4.787	mV $\cdot \mu$ m

2.3 Définitions

Définition	Notation		Unité
Coefficient d'amplification	K_n, K_p	$\mu_{n,p} \cdot C_{ox}$	A/V ²
Longueur du canal	L		μ m
Largeur du canal	W		μ m
Beta	β	$K_{n,p} \cdot W/L$	A/V ²

2.4 Abréviations

Abréviations	Signification
NTC	Negative Temperature Coefficient
PTAT	Proportional To Absolute Temperature

3 Introduction

Ce document est le rapport d'un projet de semestre effectué dans le *Laboratoire de Systèmes Microélectroniques* à l'École Polytechnique Fédérale de Lausanne. Dans l'énoncé du projet, l'étudiant est en charge de la conception d'un circuit de référence de tension à la bande interdite avec transistors MOS en faible inversion (anglais : weak inversion bandgap reference). Le circuit est soumis à certaines spécifications qui sont indiquées dans l'énoncé.

4 Référence de tension

Les références de tension sont des blocs de service analogiques classiques qui sont utilisés dans différentes applications. Un tel circuit fournit une tension stable et précise, indépendante de la température, la tension d'alimentation et des fluctuations de la technologie de fabrication. Ces propriétés ont un intérêt pour une multitude d'applications. Il existe plusieurs façons d'approcher un tel problème, mais ce projet traite une *référence de tension à la bande interdite* (anglais : *bandgap voltage reference*). On exploitera la dépendance de la température d'un matériau semiconducteur dont la bande interdite est inversement proportionnelle à la température. En utilisant des transistors en faible inversion, la consommation de courant peut devenir très basse.

5 Théorie générale

5.1 Fonctionnement du circuit de référence

Cette référence de tension est composée par deux sous-circuits, un circuit PTAT (Proportional To Absolute Temperature) et un circuit NTC (Negative Temperature Coefficient). Le circuit PTAT fournit un courant qui est proportionnel à la température. Le circuit NTC fournit un autre courant qui diminue en fonction de la température. L'addition de ces courants et l'ajustement de leur pentes crée une référence stable. La figure 1 donne la structure du circuit et la figure 2 montre un exemple d'un circuit dimensionné pour un courant de référence de 100nA.

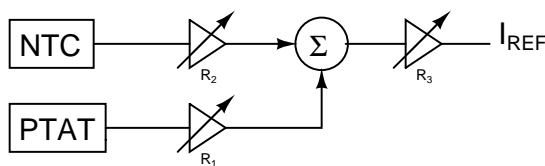


Fig. 1 - Schéma de principe

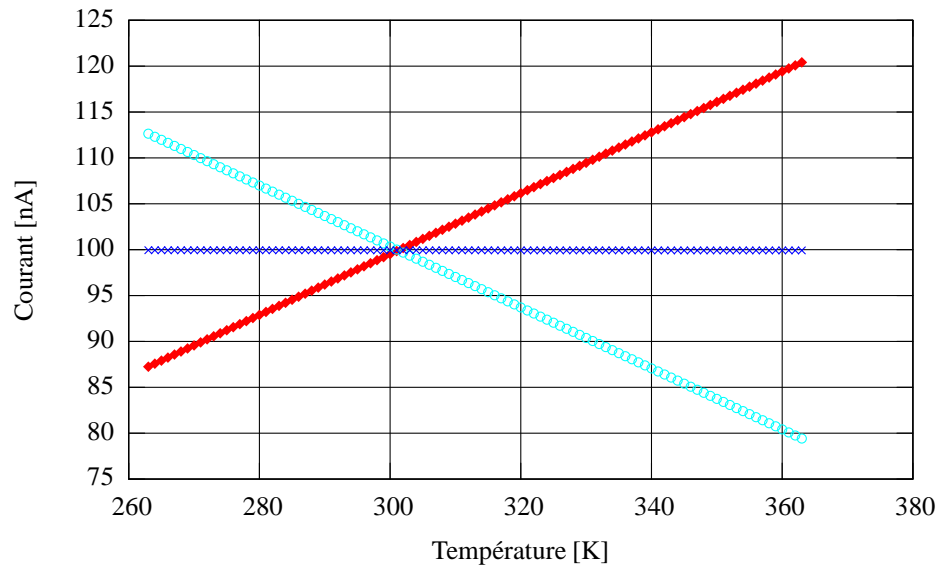


Fig. 2 - Exemple avec un courant de référence 200nA. Bleu - $0.5I_{REF}$, Rouge - I_{PTAT} et Turquoise - I_{NTC}

Le circuit PTAT est réalisé par une paire de transistors NMOS en faible inversion qui déterminent le courant de polarisation d'un miroir de courant. La réalisation du circuit NTC se fait avec un transistor bipolaire en technologie CMOS. Les deux sous-circuits et un miroir de courant pour sommer I_{PTAT} et I_{NTC} sont montrés dans la figure 3.

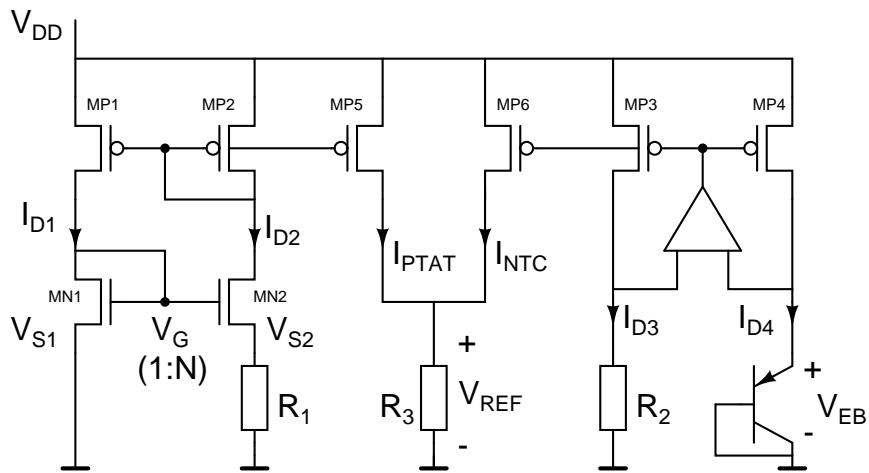


Fig. 3 - Schéma complet

5.2 Dépendance de la température d'une jonction P-N

Pour trouver la pente de la dépendance de la température d'une jonction P-N, on part des équations de la physique de semiconducteurs. Ici on traite le cas d'un transistor bipolaire. En régime actif, la densité de courant du collecteur (de diffusion, en négligeant l'effet de porteurs minoritaires) d'une telle jonction s'écrit

$$\vec{J}_C = q \cdot D_B \vec{\nabla} n \quad (1)$$

où q est la charge d'un électron, D_B la valeur moyenne de la diffusivité et $\vec{\nabla} n$ le gradient de concentration [2]. Les relations de Shockley (la loi de la jonction) donne la concentration des électrons en fonction de la distance x (largeur de la jonction), de la tension appliquée V_{BE} et de la *tension thermodynamique* $U_T = kT/q$.

$$n_p(x_p) = n_{p0} \cdot e^{V_{BE}/U_T} \quad \text{où} \quad n_{p0} = \frac{n_i^2}{N_A} \quad (2)$$

La constante N_A est la concentration d'impuretés accepteurs et n_i^2 la concentration intrinsèque des électrons à l'équilibre.

$$n_i^2 = CT^m \cdot e^{-V_{G0}/U_T} \quad (3)$$

Dans l'équation 3, C est une constante qui dépend de propriétés du substrat, mais est indépendante de la température. Si on fait une approximation de l'équation on peut dire que le gradient de n est égal à

$$\frac{\Delta n}{\Delta x} = \frac{n_{p0}}{x} \left(e^{V_{BE}/U_T} - 1 \right) \approx \frac{n_{p0}}{x} \cdot e^{V_{BE}/U_T} \quad (4)$$

quand $V_{BE} \gg U_T$. En mettant les équations 1, 2, 3 et 4 ensemble, la densité de courant s'exprime de la façon suivante :

$$\vec{J}_C = \frac{q \cdot D_B \cdot n_{p0}}{x} e^{V_{BE}/U_T} = \underbrace{\frac{q \cdot D_B C}{x \cdot N_A}}_{=B} \cdot T^m \exp\left(\frac{V_{BE} - V_{G0}}{U_T}\right)$$

$$\vec{J}_C = BT^m \exp\left(\frac{V_{BE} - V_{G0}}{U_T}\right)$$

Pour exprimer la tension base-émetteur, on forme le rapport entre deux densités de courant, l'une à la température de référence (300 K) et l'autre à une température arbitraire (ambiante).

$$\frac{J}{J_0} = \left(\frac{T}{T_0}\right)^m \exp\left(\frac{q}{k} \left(\frac{V_{BE} - V_{G0}}{T} - \frac{V_{BE0} - V_{G0}}{T_0}\right)\right) \quad (5)$$

En résolvant l'équation 5 pour $V_{BE}(T)$ on trouve

$$\ln\left(\frac{J_C}{J_{C0}}\right) = m \cdot \ln\left(\frac{T}{T_0}\right) + \left(\frac{q}{k} \left(\frac{V_{BE} - V_{G0}}{T} - \frac{V_{BE0} - V_{G0}}{T_0}\right)\right)$$

Et finalement [3]

$$V_{BE}(T) = V_{G0} \left(1 - \frac{T}{T_0}\right) + V_{BE0} \left(\frac{T}{T_0}\right) + \frac{kT}{q} \left(m \cdot \ln\left(\frac{T_0}{T}\right) + \ln\left(\frac{J_C}{J_{C0}}\right)\right) \quad (6)$$

Pour trouver la pente de cette fonction, on utilise la dérivée par rapport à T.

$$\frac{\partial V_{BE}(T)}{\partial T} = -\frac{V_{G0}}{T_0} + \frac{V_{BE0}}{T_0} + \frac{mkT}{q} \cdot \frac{\partial}{\partial T} \left(\ln \frac{T_0}{T}\right) + \frac{kT}{q} \frac{\partial}{\partial T} \left(\ln \frac{J_C}{J_{C0}}\right)$$

La relation entre densité de courant J_C et température est *linéaire*, c'est à dire $\alpha \cong 1$

$$J_c = f(T^\alpha)$$

Après développement, la dérivée pour $T = T_0$ ($J_C = J_{C0}$) devient

$$K_{NTC} = \frac{\partial V_{BE}(T)}{\partial T} = \frac{V_{BE0} - V_{G0}}{T_0} + (\alpha + m) \left(\frac{k}{q}\right)$$

L'application numérique donne une valeur

$$K_{NTC} = \frac{\partial V_{BE}(T)}{\partial T} \cong -2.19\text{mV/K}$$

Pour une dérivation plus détaillée, voir référence [5].

6 Analyse des circuits

6.1 Circuit PTAT

Le circuit PTAT fournit un courant proportionnel à la température. Ce circuit est montré dans la figure 3.

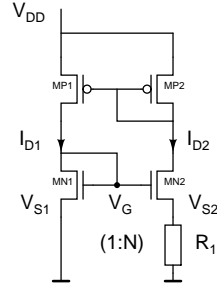


Fig 3 - Circuit PTAT

Les transistors MP1 et MP2 forment un miroir de courant avec les deux transistors en forte inversion. Les transistors MN1 et MN2 sont en faible inversion et on peut exploiter leur dépendance à la température pour créer un courant qui augmente en fonction de la température.

6.1.1 Cas idéal

Pour trouver la relation entre température et courant on part de l'équation 7. Celle-ci donne le courant de drain I_D pour un transistor MOS en faible inversion (voir [6]).

$$I_D = I_{D0} \cdot e^{\frac{V_G}{nU_T}} \left(e^{\frac{-V_S}{U_T}} - e^{\frac{-V_D}{U_T}} \right) \quad (7)$$

Dans ce cas de figure, la tension de drain est nettement plus grande que la tension thermodynamique : $V_D \gg U_T$. L'exponentiel qui contient V_D devient très petit et l'équation 7 peut ainsi être simplifié

$$I_D \cong I_{D0} \cdot \exp\left(\frac{V_G}{nU_T} - \frac{V_S}{U_T}\right) \quad (8)$$

Puisque la source du transistor MN1 est connectée directement à la masse ($V_{S1} = 0$), le courant de drain qui traverse le transistor MN1 est donné par

$$I_{D1} = I_{D0} \cdot \exp\left(\frac{V_G}{nU_T}\right) \iff V_G = nU_T \ln\left(\frac{I_{D1}}{I_{D0}}\right) \quad (9)$$

Par contre, la tension de source du transistor MN2 est égal au produit de la résistance R_1 et du courant I_{D2} . Celui-ci dépend du comportement exponentiel du transistor et la résistance mentionnée. Le courant I_{D2} est proportionnel à la température. Ces deux relations sont présentées dans les équations ci-dessous.

$$I_{D2} = I_{D0} \exp\left(\frac{V_G}{nU_T} - \frac{V_{S2}}{U_T}\right) \quad \text{où} \quad V_{S2} = R_1 \cdot I_{D2} \quad (10)$$

En utilisant l'expression pour V_G en forme logarithmique de l'équation 9 et avec l'équation 10, on trouve

$$U_T \ln \left(\frac{I_{D2}}{I_{D0}} \right) - U_T \ln \left(\frac{I_{D1}}{I_{D0}} \right) = -R_1 I_{D2}$$

Finalement, l'équation 11 montre la relation implicite qui donne I_{D2} (le courant P_{TAT}) en fonction de la tension thermodynamique et le rapport $N = I_{D2}/I_{D1}$ entre les deux courants de drain.

$$I_{PTAT0} = I_{D2} = \frac{U_T}{R_1} \ln \left(\frac{1}{N} \right) \quad (11)$$

6.1.2 Appariement paire N

Pour étudier le circuit plus en détail il faut tenir compte des effets d'appariement. Pour les transistors MN1 et MN2, polarisés en faible inversion, la différence concerne surtout les tensions de seuil, V_{T0} . Pour les calculs suivants on fait l'hypothèse que les courants de drain I_{D1} et I_{D2} suivent la relation $I_{D2} = N \cdot I_{D1}(1 + \varepsilon_0)$. De nouveau on part de l'équation 7 mais le terme I_{D0} (qui dépend de la tension de seuil) n'est pas le même pour les deux transistors.

$$I_{D0} = K_W \beta U_T^2 \cdot \exp \left(\frac{-V_{T0}}{nU_T} \right)$$

En introduisant les variables V_{T01} et V_{T02} pour les deux tensions de seuil, et le facteur k qui représente une valeur constante, les courants de drain s'écrivent :

$$I_{D1} = k \cdot \exp \left(\frac{-V_{T01}}{nU_T} + \frac{V_G}{nU_T} \right) \iff V_{T01} = V_G - nU_T \ln \left(\frac{I_{D1}}{k} \right)$$

$$I_{D2} = k \cdot \exp \left(\frac{-V_{T02}}{nU_T} + \frac{V_G}{nU_T} - \frac{V_{S2}}{U_T} \right) \iff V_{T02} = V_G - nU_T \ln \left(\frac{I_{D2}}{k} \right) - n \cdot V_{S2}$$

En utilisant la différence en tension de seuil $\delta V_{T0} = V_{T01} - V_{T02}$ et la loi d'Ohm $V_{S2} = R_1 \cdot I_{D2}$ on trouve après quelques simplifications :

$$I_{D2} = \frac{U_T \ln N^{-1}(1 + \varepsilon_0)}{R_1} - \frac{\delta V_{T0}}{nR_1} \quad (12)$$

La différence en courant ε_0 n'influence pas énormément I_{D2} . Si on néglige cette différence, I_{D2} vaut :

$$I_{D2} \cong \frac{U_T \ln N^{-1}}{R_1} - \frac{\delta V_{T0}}{nR_1}$$

L'erreur dû à l'appariement nommé ε_1 , le courant I_{D2} devient :

$$I_{D2} = I_{PTAT0} (1 + \varepsilon_1)$$

où l'erreur ε_1 vaut

$$\varepsilon_1 = \frac{\delta V_{T0}}{nU_T \ln(N)}$$

6.1.3 Appariement miroir de courant

L'appariement des transistors MP2 et MP5 entraîne une différence de courant due aux fluctuations de β . Cette différence est définie par la relation :

$$\varepsilon_2 = \frac{\delta\beta}{\beta} = \frac{\beta_2 - \beta_1}{\beta}$$

Le courant I_{PTAT} est donné par

$$I_{PTAT} = I_{D2} (1 + \varepsilon_2)$$

$$I_{PTAT} = I_{PTAT0} (1 + \varepsilon_1) (1 + \varepsilon_2)$$

En négligeant le terme de $\varepsilon_1\varepsilon_2$ l'expression pour le courant I_{PTAT} s'écrit :

$$I_{PTAT} = I_{PTAT0} (1 + \varepsilon_1 + \varepsilon_2)$$

Les résistances ne sont pas parfaites et l'erreur dû aux ces variations est nommé ε_{R1} . On peut maintenant écrire l'expression totale pour I_{PTAT} :

$$I_{PTAT} = I_{PTAT0} (1 + \varepsilon_1 + \varepsilon_2 + \varepsilon_{R1})$$

6.2 Circuit NTC

6.2.1 Cas idéal

De façon analogue que pour le circuit PTAT, le circuit NTC fournit un courant qui est *inversement proportionnel* à la température.

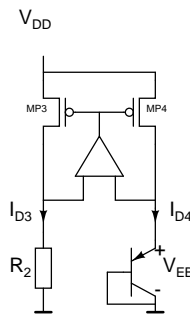


Fig. 4 - Circuit NTC

Dans le circuit on exploitera un transistor bipolaire PNP dont la base a été connecté au collecteur et à la masse, on n'a en fait qu'une jonction PN. Le courant de collecteur I_C pour ce transistor croit exponentiellement par rapport à la tension appliquée. En régime actif, cette relation s'exprime [6]

$$I_C = I_S \cdot e^{V_{BE}/U_T} \iff V_{BE} = U_T \ln \frac{I_C}{I_S} \quad (13)$$

Le courant I_S est appelé *courant spécifique* du transistor. Le calcul suivant est approximé en fonction d'un l'amplificateur opérationnel parfait¹. Par conséquent les courants de drain I_{D3} et I_C sont égaux, et la différence de tension entre les deux bornes de l'amplificateur est nulle. On en déduit l'équation suivante

$$R_2 I_{D3} = V_{EB} = -V_{BE} \quad (14)$$

En utilisant les équations 13 et 14 on trouve le courant I_{NTC} en fonction de la température et du rapport entre I_{NTC0} et I_S .

$$I_{NTC0} = \frac{-V_{BE}}{R_2} = -\frac{U_T}{R_2} \ln \left(\frac{I_{NTC0}}{I_S} \right)$$

6.2.2 Tension de décalage

En réalité l'amplificateur opérationnel comporte toujours une tension de décalage (offset voltage) V_O entre les deux bornes d'entrée. Cette tension est due à l'appariement de la paire différentielle dans l'amplificateur et elle ne peut plus être négligée dans les calculs de I_{NTC} . Le courant I_{NTC} doit être exprimé en fonction de V_O .

$$I_{NTC} = \frac{-V_{BE}}{R_2} + \frac{V_O}{R_2}$$

et pour l'exprimer à la même manière qu'en section 6.1.3 avec l'erreur de décalage ε_3

$$I_{NTC} = I_{NTC0} (1 + \varepsilon_3)$$

où

$$\varepsilon_3 = \frac{V_O}{U_T \ln(I_{NTC0}/I_S)}$$

6.2.3 Appariement miroir de courant

À la même façon qu'en section 6.1.3 le miroir de courant formé par les transistors MP3-MP6 comporte aussi des effets d'appariement. L'erreur due aux effets d'appariement est donnée par

$$\varepsilon_4 = \frac{\delta\beta}{\beta}$$

Le courant I_{NTC} devient

$$I_{NTC} = I_{NTC0} (1 + \varepsilon_3) (1 + \varepsilon_4)$$

Avec le terme $\varepsilon_3\varepsilon_4$ négligé et l'erreur de la résistance introduite, l'expression total du I_{NTC} s'écrit

$$I_{NTC} = I_{NTC0} (1 + \varepsilon_3 + \varepsilon_4 + \varepsilon_{R2})$$

¹L'impédance d'entrée $Z_{in} = \infty$ et le gain $A = \infty$

6.3 Tension de référence V_{REF}

La résistance R_3 détermine le niveau de la tension de référence.

$$I_{REF} = I_{PTAT} + I_{NTC}$$

$$I_{REF} = I_{PTAT0} (1 + \varepsilon_1 + \varepsilon_2 + \varepsilon_{R1}) + I_{NTC0} (1 + \varepsilon_3 + \varepsilon_4 + \varepsilon_{R2})$$

La tension de référence est donnée par l'expression suivante

$$V_{REF} = I_{REF} \cdot R_3$$

$$V_{REF} = R_3 (I_{PTAT0} (1 + \varepsilon_1 + \varepsilon_2 + \varepsilon_{R1}) + I_{NTC0} (1 + \varepsilon_3 + \varepsilon_4 + \varepsilon_{R2}))$$

7 Sources d'erreur

7.1 Répartition des erreurs

Le circuit de référence doit fournir une tension qui ne varie pas plus que 5 %. Cette erreur est constituée par deux parties :

Erreur systématique : Cela comporte 2.5 % de l'erreur totale. Cette partie est composée par les défauts de la modélisation des transistors et le taux de réjection de l'alimentation, PSRR.

Erreur statistique : L'autre moitié de l'erreur totale. Cette partie comprends les erreurs dues à l'appariement des transistors, la tension de décalage de l'amplificateur opérationnel et les variations des rapports de résistances.

Les valeurs des résistances peuvent varier beaucoup (20 %), mais la tension en sortie du circuit de référence est une fonction des *rapports* des résistances et ceux-ci restent assez stable. Les deux sous-circuits sera dimensionnés pour fournir le même courant (100 nA) à une température de 25 °C et ils peuvent donc varier 2.5 % de ses valeurs nominales.

8 Dimensionnement des circuits

8.1 Circuit PTAT

L'erreur total du courant I_{PTAT} ne peut pas excéder 2.5 %. Il faut donc évaluer la valeur de la racine carrée moyenne pour trouver l'erreur maximale permise. La racine carrée moyenne² d'une série de valeurs discrets vaut

$$R(x) = \sqrt{\sum_{i=1}^n x_i^2}$$

²Anglais : RMS - Root Mean Square

Pour le circuit PTAT cette relation s'exprime

$$\sqrt{\varepsilon_1^2 + \varepsilon_2^2 + \varepsilon_{R1}^2} \leq 0.025$$

L'erreur ε_{R1} vient du rapport entre les résistances R_1 et R_3 . Étant donné la valeur de $\varepsilon_{R1} = 0.06$ on trouve après des calculs

$$\varepsilon_1 = \varepsilon_2 = 0.01716 \cong 0.017$$

8.1.1 Paire N

Le dimensionnement du circuit PTAT est basé sur les conditions d'un *courant de référence* et sa *tolérance* de 3σ . Le rapport de largeur et longueur s'exprime [6]

$$\frac{W}{L} = \frac{I_D}{2nU_T^2 K_{n,p} I_C} \quad (15)$$

où I_C est le facteur d'inversion et $K_n = \mu_n \cdot C_{OX}$. L'effet d'appariement s'exprime en fonction de la racine carrée du produit $W \cdot L$ [1]

$$W \cdot L = \left(\frac{A_{VT}}{3\sigma_{VT}} \right)^2$$

où A_{VT} est une constante qui dépend de la technologie de fabrication, $A_{VT} = 4.787 \text{ mV}\mu\text{m}$. La solution du système d'équations non-linéaire permet de trouver W et L . La relation entre l'erreur ε_1 et l'écart type σ_{VT} s'exprime

$$\sigma_{VT} = nU_T \ln(N) \cdot \varepsilon_1$$

Pour un courant de drain $I_D = 100 \text{ nA}$ et un facteur d'inversion $I_C = 0.01$ à la température 300 K , le rapport de largeur et longueur vaut

$$\frac{W}{L} = \frac{100 \cdot 10^{-9}}{2 \cdot 1.14 \cdot (26 \cdot 10^{-3})^2 \cdot 268 \cdot 10^{-6} \cdot 0.01} = 24.491$$

et

$$W \cdot L = \left(\frac{4.787 \cdot 10^{-3}}{3 \cdot 1.14 \cdot 26 \cdot 10^{-3} \cdot 2.0794 \cdot 0.017} \right)^2 = 2.171$$

Les valeurs de W et L valent

$$W = 7.3 \quad L = 0.3 \quad [\mu\text{m}]$$

8.1.2 Miroir de courant

Pour dimensionner le miroir de courant on part de nouveau de l'équation 15. Les transistors MP1 et MP2 sont en forte inversion, leur facteur d'inversion I_C (hypothèse de travail) vaut dix. L'appariement pour les transistors en forte inversion concerne surtout le facteur de courant, β et le produit $W \cdot L$ s'exprime [4]

$$W \cdot L = \left(\frac{A_\beta}{3\sigma_\beta} \right)^2$$

où $A_\beta = 3.077 \cdot 10^{-2}$ (une constante de la technologie de fabrication). L'écart type du courant découle directement de l'erreur d'appariement $\varepsilon_4 = \sigma_\beta$. Le rapport W/L est calculé de la manière suivante

$$\frac{W}{L} = \frac{100 \cdot 10^{-9}}{2 \cdot 1.14 \cdot (26 \cdot 10^{-3})^2 \cdot 58.75 \cdot 10^{-6} \cdot 10} = 0.112$$

et le produit $W \cdot L$

$$W \cdot L = \left(\frac{3.077 \cdot 10^{-3}}{3 \cdot 0.018} \right)^2 = 0.336$$

La solution aux équations ci-dessus donne

$$W = 0.2 \quad \text{et} \quad L = 1.7 \quad [\mu\text{m}]$$

La technologie de fabrication ne permet que des largeurs $W \geq 0.24 \mu\text{m}$ et les valeurs trouvées dans les calculs ci-dessus sont dans quelques cas trop petites. Pour résoudre ce problème les largeurs et longueurs sont augmentées en gardant le rapport W/L . L'écart type de β et V_{T0} diminue en fonction du produit $W \cdot L$, on aura aucun risque de diminuer la précision du circuit en augmentant la taille des transistors.

8.2 Circuit NTC

Les propriétés du circuit NTC sont surtout déterminés par la résistance R_2 et la taille du transistor MP3. Le transistor MP4 est utilisé pour la polarisation du transistor bipolaire. Comme en section 8.1 on forme la somme des erreurs du courant I_{NTC} . Ici l'erreur d'appariement entre MP3 et MP6 est nommé ε_3 et l'erreur due à la tension de décalage ε_4 . L'erreur ε_{R2} découle du rapport entre R_2 et R_3 et elle a la même valeur que ε_{R1} .

$$\varepsilon_{NTC} = \sqrt{\varepsilon_3^2 + \varepsilon_4^2 + \varepsilon_{R2}^2} \leq 0.025$$

En utilisant les équations du circuit établies précédemment on trouve qu'on peut permettre les valeurs suivantes : $\varepsilon_3 = \varepsilon_4 \cong 0.017$. Pour les transistors MP3 et MP6 on prend les mêmes dimensions que pour les transistors MP1 et MP2. L'erreur ε_3 est le rapport entre la tension V_{EB} et la tension de décalage V_o . Si $V_{EB} = 0.6\text{V}$, V_o peut atteindre un niveau de $0.6 \cdot 0.017 = 10.2\text{mV} \cong 10\text{mV}$. On emploiera cette valeur pour le dimensionnement de l'amplificateur opérationnel.

8.3 Amplificateur opérationnel

L'amplificateur est d'un type simple avec un étage. Il est constitué par deux transistors en forte inversion, une paire différentielle en faible inversion et deux transistors pour la polarisation du circuit. Le schéma est montré dans figure 5.

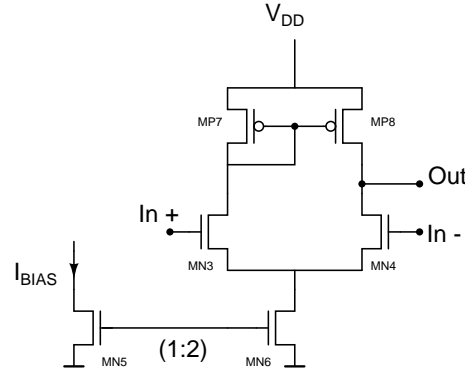


Fig. 5 - Amplificateur opérationnel

L'amplificateur est dimensionné pour un courant de 100nA dans chaque branche de la paire différentielle, donc la taille de transistors MP7 et MP8 est la même que pour MP1 et MP2. Le courant de polarisation, I_{BIAS} sera connecté au courant I_{PTAT} pour compenser la diminution de gain de l'amplificateur en fonction de la température³. Les transistors MN5 et MN6 a été dimensionnés en utilisant l'équation 15 et les tailles de MN3 et MN4 sont calculés selon la même manière qu'en section 8.1.1. Le résultat issu des calculs est présente ci-dessous.

MN3 et MN4 : $W = 20$ et $L = 0.5$ [μm]

MN5 : $W = 1$ et $L = 0,6$ [μm] où le transistor MN6 a la même longueur mais une largeur deux fois plus grande que MN6.

8.4 Résistances

Les pentes des courants I_{PTAT} et I_{NTC} dépendent des résistances associées aux circuits respectifs. Elles doivent être ajustées pour assurer un courant de référence I_{REF} stable. Étant donné le rapport N et sachant qu'on veut $I_{PTAT0} = 100\text{nA}$ à 300 K, les valeurs des résistances R_1 , R_2 et R_3 sont déterminées dans le développement analytique suivant. Les pentes s'expriment

$$\frac{\partial I_{PTAT0}}{\partial T} = \frac{k}{qR_1} \ln\left(\frac{1}{N}\right) \quad \text{et} \quad \frac{\partial I_{NTC0}}{\partial T} = \underbrace{\frac{\partial V_{BE}}{\partial T}}_{=K_{NTC}} \cdot \frac{1}{R_2}$$

Sachant qu'on veut une dérivée dI_{REF}/dT égal à zéro et utilisant les équations ci-dessus le rapport entre R_1 et R_2 s'écrit

$$\frac{R_2}{R_1} = \frac{q \cdot K_{NTC}}{k \ln(N)}$$

L'application numérique des relations en haut donne le rapport R_2/R_3

$$\frac{R_2}{R_1} = \frac{1.602 \cdot 10^{-19} \cdot (-2.19 \cdot 10^{-3})}{1.380 \cdot 10^{-23} \cdot \ln(8)} = 12.226 \cong 12.2$$

³Dans les simulations, une source de courant idéale a été utilisée.

Toutes les résistances a été crée dans *non-salicide p-diffusion*, car elle a une grande précision et une résistivité élevée. D'après l'équation 11 la valeur de R_1 vaut

$$R_1 = \frac{U_T}{I_{PTAT0}} \ln \left(\frac{1}{N} \right)$$

$$R_1 = \frac{26 \cdot 10^{-3}}{100 \cdot 10^{-9}} \ln 8 = 5.3738 \cdot 10^5 \cong 540 \text{ k}\Omega$$

et par conséquent le rapport des deux résistances

$$R_2 = R_1 \cdot 12.226 = 6.588 \text{ M}\Omega$$

La somme des I_{PTAT} et I_{NTC} vaut 200 nA. On peut donc calculer la résistance R_3 partant de la tension de référence la plus basse 0.6 V

$$R_3 = \frac{V_{REF}}{I_{REF}} = \frac{0.6}{200 \cdot 10^{-9}} = 3 \text{ M}\Omega$$

La tension de référence peut être variée avec une résolution de 0.1V, la résistance à ajouter pour chaque chute de tension de 0.1V vaut donc

$$R_{masque} = \frac{0.1}{200 \cdot 10^{-9}} = 500 \text{ k}\Omega$$

En tout, la résistance pour fournir une tension de 1.3 V est égal à sept fois R_{masque}

$$500 \text{ k}\Omega \cdot 7 = 3.5 \text{ M}\Omega$$

Les tailles de résistances ont été calculées par logiciel. Elles sont présentées dans la section 9.2

8.5 Résultats

Les tailles de transistors et résistances trouvées dans les calculs précédents sont présentées dans les tableaux suivants. Les valeurs a été agrandies selon les règles de conception de la technologie.

8.5.1 Transistors

Nom	W [μm]	L [μm]
MP1 - MP9	4.8	44
MN1	24	1
MN2	192	1
MN3 - MN4	20	0.5
MN5	1	0.6
MN6	2	0.6

8.5.2 Résistances

Nom	Résistance	W [μm]	L [μm]
R1	540 k Ω	1	6 · 220
R2	6M Ω	1	20 · 850
R3	3 M Ω	1	10 · 850

9 Simulation

Toutes les simulations ont été fait avec Cadence et Spectre en utilisant le modèle BSIM3 pour les transistors. Quelques valeurs ont parfois été ajustées pour assurer le fonctionnement satisfaisant. Tous les schémas de Cadence se trouvent dans l'annexe A.

9.1 Amplificateur opérationnel

La figure suivante montre le comportement de l'amplificateur opérationnel. Il a été compensé avec une capacité pour assurer sa stabilité. Dans le graphique (fig. 6), on voit qu'on a une marge de phase $\varphi_m = 75^\circ$ et aussi une bande passante qui est largement suffisant. Le schéma qui a été utilisé pour cette simulation se trouve dans l'annexe 1, figure A4.

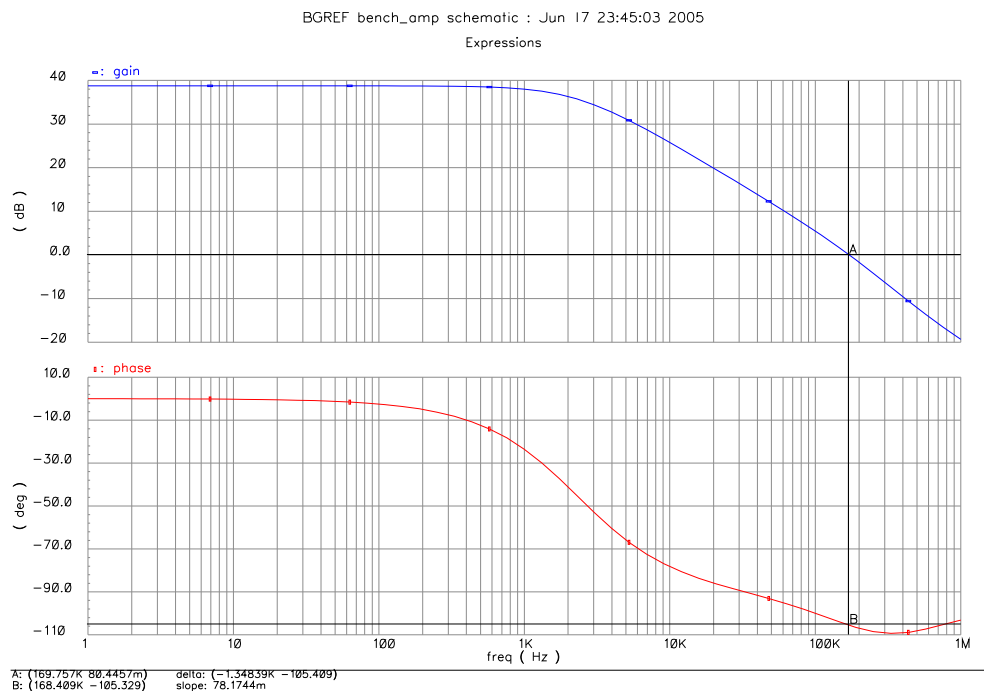


Fig. 6 - Amplificateur opérationnel

9.2 Circuit de référence

9.2.1 Comportement en fonction de la température

Le résultat issu d'une simulation de la circuit de référence se trouve dans la figure 7 (schéma dans fig A1). Ici on voit que les courants I_{PTAT} (M0) et I_{NTC} (M1) sont assez près de leurs valeurs calculées. Ici la tension d'alimentation est fixée à 1.35 V, la valeur moyenne de la plage de tension permise.

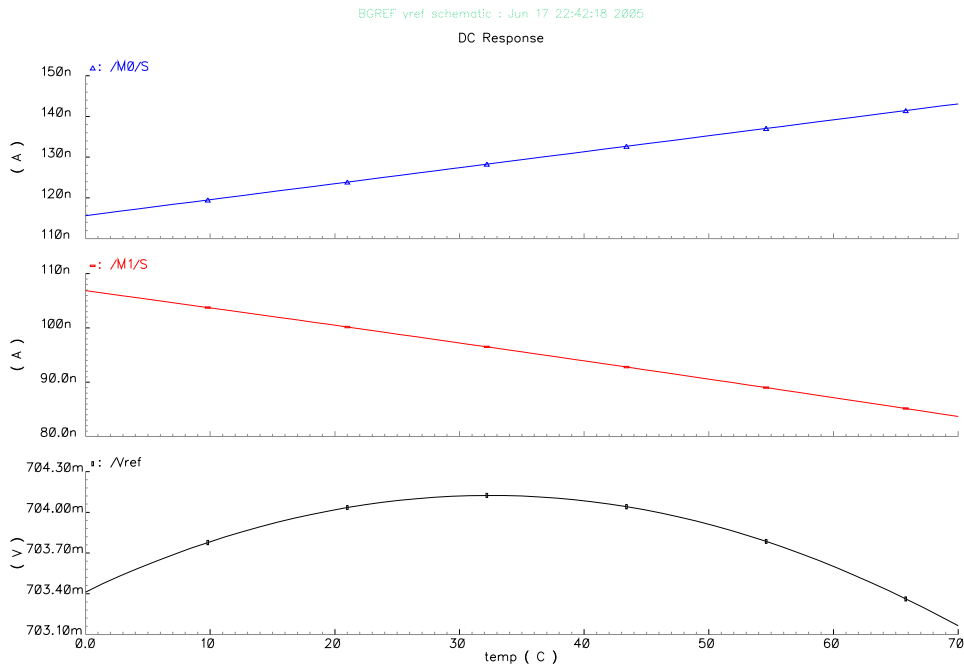


Fig. 7 - La tension en sortie V_{REF} et les courants I_{PTAT} ($M0$) et I_{NTC} ($M1$).

La variation de V_{REF} est au maximum 0.9 mV (la différence entre 32 °C et 70°) \approx 1.3 %

9.2.2 Comportement en fonction de la tension d'alimentation

Pour trouver la stabilité de V_{REF} en fonction de la tension d'alimentation, une simulation paramétrique a été fait. La figure 8 montre le comportement quand cette tension prend de valeurs de 1.0 V jusqu'à 1.8 V ($M0 - I_{PTAT}$ et $M1 - I_{NTC}$).

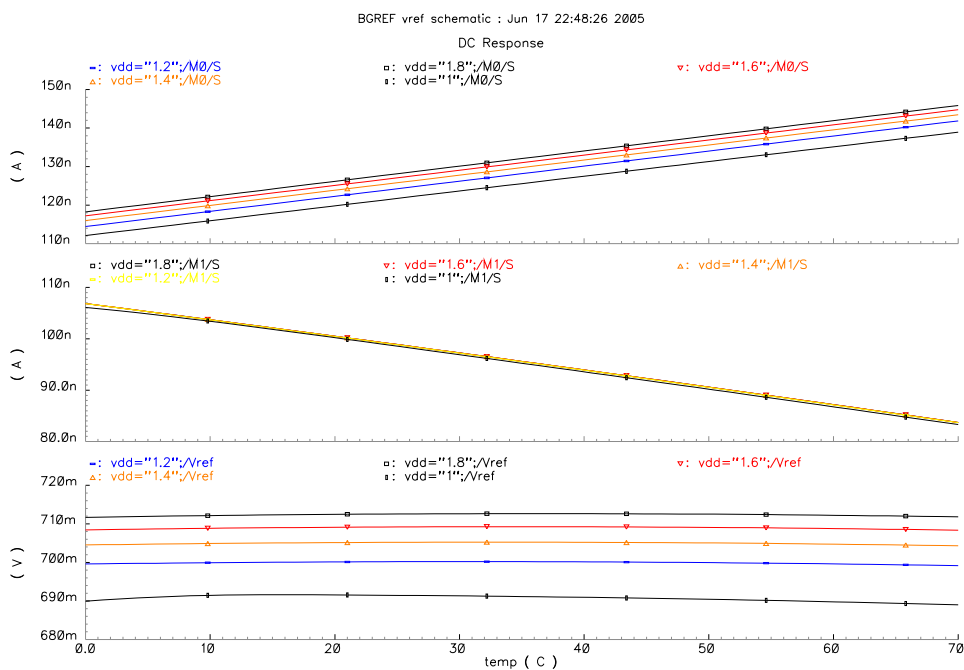


Fig. 8 - Comportement du circuit quand V_{DD} varie.

Le courant I_{PTAT} n'est pas tellement bien. Il a une variation près de 6 %. Le circuit NTC est par contre très stable, sa variation n'est que 0.3%. Les fluctuations de I_{PTAT} a une incidence significative de la tension en sortie V_{REF} . Elle varie de 3 %.

9.2.3 Simulation transitoire

Pour vérifier le temps de démarrage, une simulation transitoire a été fait, figure 9. On voit dans la figure que le circuit démarre dans le pire de cas (0°) en $200 \mu s$. Le temps de démarrage dépend fortement des courants de fuite dans le circuit. Les valeurs issues de cette simulation ont le but de montrer l'ordre de grandeur du temps de démarrage et ne peuvent pas être interprétées comme une indication exacte. Dans la réalité, le couplage capacitif dans les transistors (du circuit PTAT) peut parfois totalement bloquer le démarrage. Un circuit consacré au démarrage doit être ajouté pour assurer le fonctionnement du circuit.

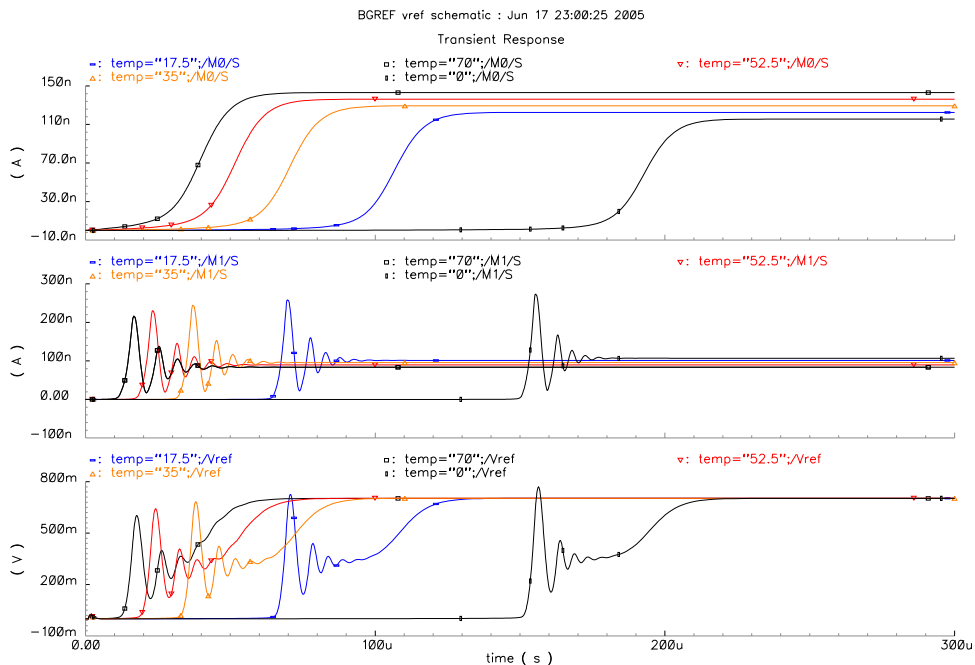


Fig. 9 - Simulation transitoire.

9.2.4 Consommation de courant

La spécification de la référence indique que la consommation de courant ne peut pas excéder $2 \mu A$. La figure 10 montre qu'on est bien dessous cette valeur. La consommation à $0^\circ C$ vaut la somme des courants dans la graphique plus 100 nA utilisé pour la polarisation de l'amplificateur opérationnel.

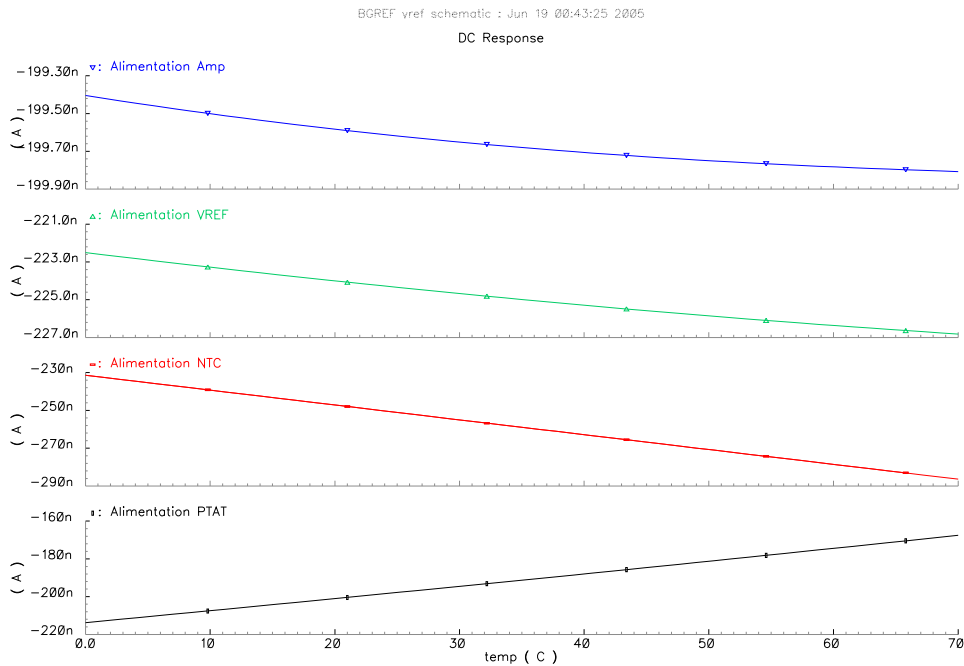


Fig. 10 - Consommation de courant

La consommation de courant dans le pire de cas vaut $870 \text{ nA} + 100 \text{ nA} \cong 1 \mu\text{A}$.

9.2.5 Simulation de “corners”

La simulation de “corners” permet de trouver comment la tension en sortie varie quand les paramètres de la technologie de fabrication varient. On a ici cinq différents cas :

TT Cas typique, valeurs nominales

SS Slow-slow.

FF Fast-Fast.

SNFP Slow N-Fast P.

FNPS Fast N - Slow P.

Le résultat de la simulation est montré dans la figure 11. La variation est petite, 4.4 mV entre SS et FF, égal à 0.6 %.

10 Conclusion

Cette référence de tension conforme assez bien aux spécifications. C'est surtout le circuit PTAT qui a besoin d'amélioration. En ce qui concerne les calculs d'appariement, on peut bien aller plus loin, les équations utilisées dans ce rapport sont parfois trop simplifiées. Les effets de la modulation de la longueur de canal peut aussi être mieux modélisés dans les calculs.

11 Suite

1. Amélioration du circuit PTAT, type cascode ou d'autre.
2. Une comparaison entre BSIM3 et EKV. Le modèle EKV modélise l'opération du transistor en faible inversion complètement différent que BSIM3.
3. Approfondir les calculs en ce qui concerne la modélisation de transistors.

Remerciements

Un très grand merci à *Christophe Guillaume-Gentil* et *Milos Stanisavljevic* qui n'ont jamais hésité à répondre à mes questions et qui m'ont encouragé. Merci également à chacun qui m'a donné de l'aide et de l'inspiration suffisante pour conclure ce projet.

Références

- [1] Marcel J.M. Pelgrom et al. Matching properties of mos transistors. *IEEE Journal of Solid-state circuits*, Vol 24 no. 5, 1989.
- [2] Marc Ilegems. *Dispositifs à semiconducteur, Partie 1 : Propriétés électroniques*. Département de physique, École Polytechnique Fédérale de Lausanne, Lausanne, 1996.
- [3] David A. Johns and Ken Martin. *Analog Integrated Circuit Design*. John Wiley & Sons, Inc., New York, 1997.
- [4] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2000.
- [5] Gabriel A. Rincón-Mora. *Voltage references*. IEEE Press - Wiley Interscience, 2002.
- [6] Eric Vittoz. *Conception de circuits intégrés analogiques : Notes de cours*. École Polytechnique Fédérale de Lausanne, 2000.

A Schémas des simulations

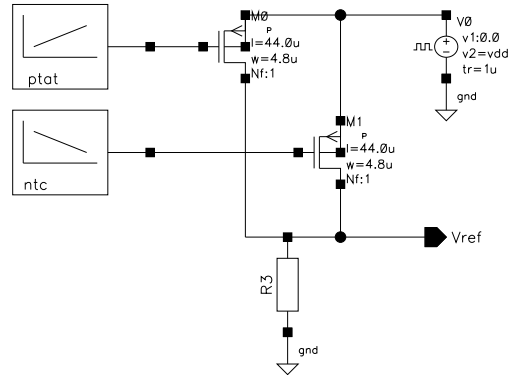


Figure A1 - Schéma du circuit de référence

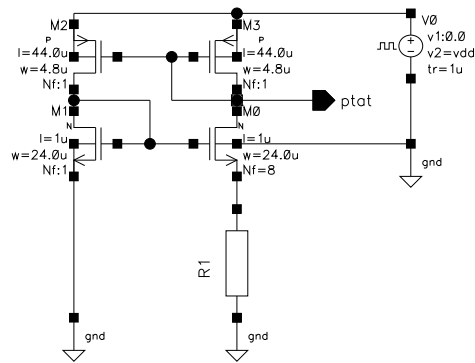


Figure A2 - Circuit PTAT

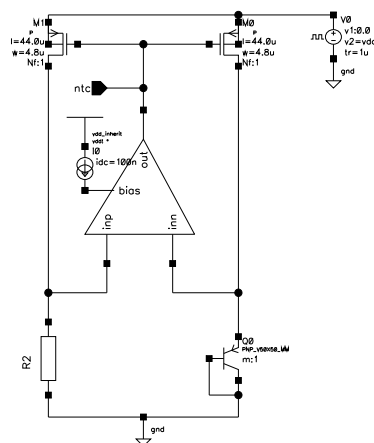


Figure A3 - Circuit NTC

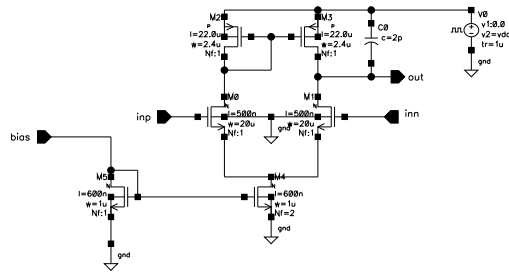


Figure A4 - Amplificateur opérationnel

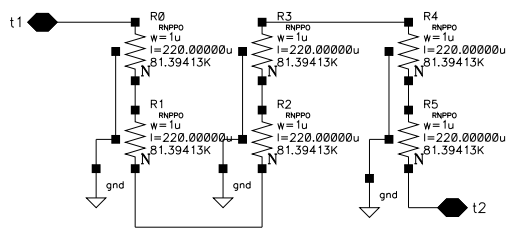


Figure A5 - Résistance R1

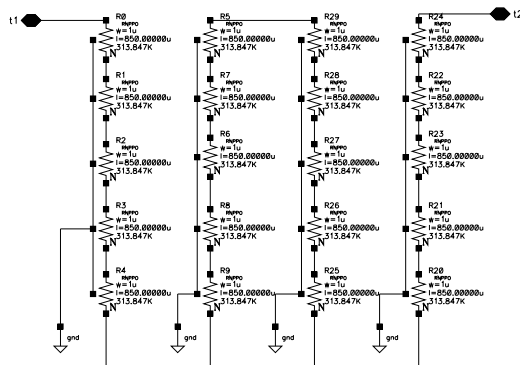


Figure A6 - Résistance R2

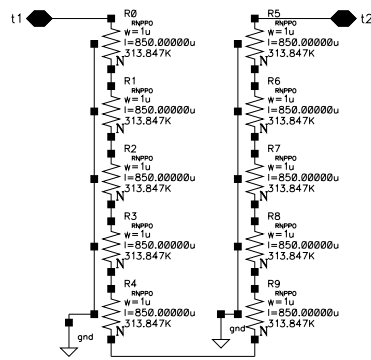


Figure A7 - Résistance R3