

THÈSE

Préparée au

Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS

En vue de l'obtention du grade de

Docteur de l'Institut National des Sciences Appliquées de Toulouse

Spécialité □

Electronique

par

Jean-Philippe LAINE

Mécanismes d'injection de porteurs minoritaires dans les circuits intégrés de puissance et structures de protections associées

Soutenu le 15 Décembre 2003, devant le jury □

Rapporteurs	J. MILLAN	Professeur à l'Université de Barcelone
	J. ROUDET	Professeur à l'Université de Grenoble
Examineurs	H. FOCH	Professeur à l'ENSEEIH de Toulouse
	C. LOCHOT	Ingénieur de recherche Motorola
	E. SICARD	Professeur à l'INSA de Toulouse
Directrice de Thèse	M. BAFLEUR	Directrice de recherche au CNRS
Invités	E. HEMON	Manager Design Motorola
	A. PEYRE-LAVIGNE	Manager Pôle Capteurs Métrologie 3RT

Remerciements

Le travail présenté dans ce mémoire a été effectué au sein du groupe "Composants et Intégration de Puissance" (CIP) du LAAS-CNRS et du laboratoire de recherche et développement (DDL) de la société Motorola Semiconducteurs à Toulouse.

Je tiens à remercier Monsieur Malik GHALLAB, Directeur du LAAS-CNRS, Monsieur Jean-Louis SANCHEZ, responsable du groupe "Composants et Intégration de Puissance" (CIP) et Monsieur Jean-Louis CHAPTAL, Directeur de recherche et développement de la société Motorola, pour m'avoir accueilli au sein du laboratoire.

Ce travail a été conduit sous la direction de Madame Marise BAFLEUR, Directrice de recherche au CNRS et de Monsieur Christophe LOCHOT, Ingénieur de recherche de la société Motorola. Je leur adresse ma profonde reconnaissance pour leur disponibilité, leur encadrement, leur confiance, leur soutien permanent, leur bonne humeur ainsi que les échanges scientifiques entretenus qui m'ont permis de réaliser mes travaux dans de meilleures conditions.

Je voudrais adresser mes sincères remerciements, en premier lieu, à Monsieur José MILLAN, Professeur à l'Université de Barcelone, et Monsieur James ROUDET, Professeur à l'Université de Grenoble, d'avoir accepté la lourde tâche d'être rapporteurs de mes travaux de thèse.

Je voudrais remercier vivement Monsieur Henri FOCH, Professeur à l'ENSEEIH, et Monsieur Etienne SICARD, Professeur à l'INSA Toulouse, pour avoir accepté de participer au jury de thèse.

Je tiens à exprimer ma profonde reconnaissance à Monsieur Erwan HEMON, manager design de la société Motorola, d'avoir permis la réalisation des composants de test ainsi que Monsieur André PEYRE-LAVIGNE, manager 3RT et ancien directeur de recherche et développement de la société Motorola, d'avoir proposé cette étude très intéressante. Sans leur contribution, mes travaux de thèse n'auraient pu aboutir.

Je tiens à remercier Monsieur Olivier GONNARD qui m'a grandement soutenu en cours de mes débuts de recherche ainsi que de nombreux échanges scientifiques.

Je voudrais remercier tous ceux qui sont impliqués dans mes travaux, à commencer par :

- Mesdames Sandrine ASSIE, assistante-ingénieur du groupe 2I du LAAS-CNRS, Catherine PAPIER de la société Motorola ainsi que messieurs Nicolas MAURAN, ingénieur d'étude du LAAS-CNRS, et Alain COLOMBIE pour leurs compétences techniques et leurs contributions à la caractérisation des composants de test.
- Toute l'équipe de Design de Motorola, dirigée par Erwan HEMON, à savoir Luca BERTOLINI, Stéphane OLLITRAULT, Arlette MARTY, Jean Noël DEBREIL, Marc PEPY.
- Les équipes de recherche et développement de Motorola Phoenix dirigée par Hak Yam TSOI, à savoir Kuntal JOARDAR, Patrice PARRIS, Abe BOSE, Moaniss ZITOUNI, Edouard DE FRESART, Vijay PATHASARATHY, Véronique MACARY, Mike ZUNINO, David COLLINS.

Mes remerciements vont ceux qui m'ont soutenu et surtout supporté pendant les trois merveilleuses années, à commencer par le LAAS-CNRS : Olivier G. (encore lui!), Christophe S. (l'impossible), Eric I. (Mr "Speedy"), Hervé C. (et son grand vocabulaire), David T., Stéphane A., Isabelle B., Patrice B., Frédéric M. (la référence du sport et du cinéma!), Christian C., Olivier P., Jean-Baptiste S., Laurence M., notre charmante assistante Isabelle N., Nicolas N. (notre expert informatique), Nicolas G., Ghislain T., Nathalie C., Abdelhakim A., Patrick A.

Et par Motorola : Adeline F., Sébastien C., Frédéric D., Michel Z., Cécile, Christophe L. (toujours lui!), Philippe R., et enfin notre charmante assistante Catherine L.

Mes derniers remerciements vont à mes amis pour leurs vifs encouragements, à commencer par Laëtitia, Jaspreet, Agnès, Luc, Julien, Célia, Caroline, Guilhem, Nicolas.

Enfin, c'est avec beaucoup d'émotion que je dédie ce mémoire à mes parents, et mes proches qui m'ont soutenu et ont fait preuve d'une grande patience pendant les trois longues années.

Sommaire

Introduction générale	11
Chapitre 1 : Etat de l'art des protections	15
I. La technologie "Smart Power"	16
I.1. Introduction	16
I.2. Transistor de puissance latéral DMOS (LDMOS)	18
I.3. Transistor de puissance vertical (VDMOS)	19
II. Techniques d'isolation	20
II.1. Auto-isolation	20
II.2. Isolation diélectrique	21
II.3. Isolation par jonction	23
III. Problème d'isolation par jonction injection du courant de substrat	24
III.1. Pont en H	24
III.2. Injection du courant dans le substrat	26
III.2.a. Injection de porteurs majoritaires	26
III.2.b. Injection de porteurs minoritaires	27
III.2.c. Caractéristiques du courant de substrat	28
III.3. Conséquences sur les circuits intégrés	29
III.3.a. Généralités	29
III.3.b. Conséquences des porteurs minoritaires	30
III.4. Conclusion	34
IV. Structures de protections	34
IV.1.a. Transistor isolé (ILD MOS)	34
IV.1.b. Protections passives aneaux de garde	36
IV.1.c. Protections actives barrière active	37
IV.1.d. Protections actives circuits de protection	40
V. Conclusion	41

Chapitre 2 : Méthodologie de conception	45
I. Présentation de la méthodologie de conception.....	46
II. Présentation de la méthodologie de caractérisation du courant de substrat.....	48
II.1. Présentation de la technologie de substrat.....	49
II.2. Véhicule de test.....	50
II.2.a. Présentation.....	50
II.2.b. Caractérisation électrique.....	51
III. Outils d'extraction.....	52
III.1. Caractéristiques du phénomène d'injection de courant de substrat.....	52
III.2. Outils disponibles.....	53
III.2.a. Outil de simulation "SubstrateStorm".....	53
III.2.b. Outil de simulation physique ISE.....	55
IV. Outil de simulation physique.....	56
IV.1. Présentation générale.....	56
IV.2. Modèles physiques.....	58
IV.3. Calibrage de la simulation.....	60
IV.3.a. Profils de dopage.....	60
IV.3.b. Résistance de substrat.....	61
IV.3.c. Durée de vie des porteurs minoritaires.....	64
IV.4. Simulation physique 2D/3D.....	72
IV.5. Contraintes de maillage.....	74
IV.6. Exemple d'application substrat aminci.....	76
IV.7. Simulation mixte physique et électrique.....	77
IV.8. Conclusion.....	78
V. Conclusion.....	79
Chapitre 3 : Impact du substrat	81
I. Présentation de la technologie du substrat.....	82
I.1. Présentation de la technologie du substrat P ⁻	82
I.2. Substrat aminci.....	83
I.3. Présentation de la technologie du substrat P ⁻ /P ⁺	85
I.3.a. Epitaxie fine de 3,5µm.....	85
I.3.b. Epitaxie épaisse de 9,5 µm.....	86
II. Mécanismes d'injection de porteurs minoritaires dans une technologie de P ⁻	87
II.1. Structures de test.....	87

II.2.	Résultats statiques	89
II.3.	Résultats statiques du substrat aminci	93
II.4.	Résultats transitoires	95
II.5.	Conclusion	96
III.	Mécanisme d'injection en technologie de substrat P⁻/P⁺ à épitaxie "fine" ou en technologie de substrat P⁺	97
III.1.	Structures de test	97
III.2.	Résultats statiques	98
III.3.	Résultats transitoires	101
III.4.	Conclusion	102
IV.	Mécanisme d'injection en technologie de substrat P⁻/P⁺ à épitaxie "épaisse"	103
IV.1.	Structures de test	103
IV.2.	Résultats statiques	103
IV.3.	Résultats transitoires	108
IV.4.	Conclusion	109
V.	Comparaison des trois technologies étudiées	110
VI.	Conclusion	111
Chapitre 4 : Stratégie de protections actives		115
I.	Principe de fonctionnement	116
II.	Structure de protection actives □ transistor bipolaire	118
II.1.	Structure de test	119
II.2.	Principe de fonctionnement	121
II.3.	Paramètres de conception	124
II.3.a.	Influence de la taille de la protection active bipolaire	124
II.3.b.	Influence de la résistance d'émetteur R_e	125
II.3.c.	Influence de la résistance du collecteur R_c	127
II.3.d.	Influence de la résistance de base R_b	128
II.3.e.	Influence de la largeur du puits P⁺	130
II.3.f.	Influence de la résistance de substrat	131
II.3.g.	Influence de la température extérieure	134
II.3.h.	Règles de conception	135
II.4.	Contraintes d'intégration	137
II.5.	Structure de protection bipolaire intégrée	139
II.5.a.	Présentation	139

II.5.b.	Structure de test	140
II.5.c.	Courant de substrat	141
II.5.d.	Décharge électrostatique	143
II.5.e.	Tenue en énergie	144
II.5.f.	Bilan	146
III.	Structures de protections actives □ transistor MOS	146
III.1.	Structure de test	146
III.2.	Principe de fonctionnement	147
III.3.	Paramètres de conception	150
III.3.a.	Influence de la résistance passante du transistor MOS	150
III.3.b.	Influence de la largeur du puits P+	151
III.3.c.	Influence de la résistance de substrat Rsub	152
III.3.d.	Influence de la température extérieure	153
III.3.e.	Règles de conception	154
III.4.	Contraintes d'intégration	155
III.5.	Structure de protection MOS intégrée	156
IV.	Conclusion et perspectives	158
	Conclusion générale	163
	Bibliographie	167

tel-00011035, version 1 - 18 Nov 2005

Figures

Chapitre 1	15
Figure 1 □ Exemple de circuit intégré de puissance destiné aux applications automobiles ..	17
Figure 2 □ Structure de puissance latérale DMOS (LDMOS)	18
Figure 3 □ Structure LDMOS RESURF	19
Figure 4 □ Structure verticale DMOS (VDMOS)	19
Figure 5 □ Coupe technologique d'auto-isolation	21
Figure 6 □ Coupe technologique de l'isolation SOI complète	22
Figure 7 □ Coupe technologique de l'isolation SOI partielle	22
Figure 8 □ Coupe technologique de l'isolation par jonction	23
Figure 9 □ Schéma électrique du pont en H	24
Figure 10 □ Présentation technologique des circuits intégrés du pont H	25
Figure 11 □ Pont en H en fonctionnement normal	25
Figure 12 □ Pont en H en fonctionnement de recirculation	25
Figure 13 □ Coupe schématique de l'injection des porteurs majoritaires	27
Figure 14 □ Coupe technologique pendant l'injection des porteurs minoritaires	28
Figure 15 □ Mécanisme de diffusion des porteurs minoritaires	29
Figure 16 □ Structure technologique CMOS	30
Figure 17 □ Présentation du thyristor parasite dans les circuits CMOS	30
Figure 18 □ Présentation du phénomène de "latch-up" dans la structure CMOS	31
Figure 19 □ transistor bipolaire NPN	32
Figure 20 □ Circuit "bandgap □ référence»	32
Figure 21 □ Couplage de sorties	33
Figure 22 □ LDMOS classique	35
Figure 23 □ LDMOS isolé (ILD MOS)	35
Figure 24 □ Coupe schématique de l'anneau de garde	36
Figure 25 □ Rapport I_C/I_E en fonction de W et de la polarisation de l'anneau de garde	37
Figure 26 □ coupe schématique de barrière active	38
Figure 27 □ Principe de fonctionnement de la barrière active	38
Figure 28 □ rapport de courant collecté I_C/ courant émis I_E (en fonction de V_E et de la largeur du caisson W)	39
Figure 29 □ Présentation de circuits intégrés de la technologie "Smart Power"	40
Figure 30 □ Présentation du circuit de protection	40

Chapitre 2	45
Figure 31 □ Présentation de méthodologie de conception.....	47
Figure 32 : Coupe technologique du circuit intégré de puissance.....	49
Figure 33 : Motifs de test.....	50
Figure 34 : Polarisation des circuits intégrés pour l'évaluation du courant de substrat.....	51
Figure 35 : Générateur d'impulsion de courant négatif.....	52
Figure 36 □ Vue du layout d'un circuit intégré.....	53
Figure 37 □ Extraction de paramètres de plusieurs niveaux.....	54
Figure 38 □ Résultat de simulation "SubstrateStorm".....	54
Figure 39 □ Présentation physique du courant de substrat.....	59
Figure 40 : Coupe technologique utilisée en simulation physique.....	61
Figure 41 : Dispositif de test pour la détermination de la résistance du substrat.....	62
Figure 42 : Dispositif expérimental de la mesure de résistance substrat R_{sub}	62
Equation 1 : Longueur de diffusion.....	64
Figure 43 : Différents processus de recombinaison.....	64
Equation 2 : Durée de vie des porteurs selon le modèle SRH.....	65
Figure 44 : Variation de la durée de vie fonction du dopage du substrat.....	66
Figure 45 : Impact de la durée de vie sur le courant collecté.....	66
Figure 46 : Comparaison simulation-expérience.....	67
Figure 47 : Méthode Open-Circuit Voltage Decay.....	68
Figure 48 : Résultats de caractérisation.....	70
Figure 49 : Coupe technologique de la diode substrat P/caisson N^+	71
Figure 50 : Comparaison simulation-expérience à $T=150^{\circ}C$	71
Figure 51 : Dispositif de test étudié.....	72
Figure 52 : Comparaison entre la simulation 2D et la simulation 3D.....	73
Figure 53 : Structure physique de maillage fin.....	74
Figure 54 : Structure physique de maillage grossier.....	75
Figure 55 : Structure physique de maillage optimisé.....	75
Figure 56 : Structure physique 3D.....	76
Figure 57 : Résultats.....	77
Figure 58 : Exemple de simulation mixte.....	78
Chapitre 3	81
Figure 59 □ Présentation de la technologie P-.....	83

Figure 60 : Présentation du substrat P⁻ aminci à 50μm	83
Figure 61 : Substrat standard d'épaisseur t_{SUB}=380μm	84
Figure 62 : Substrat aminci d'épaisseur t_{SUB}=50μm	84
Figure 63 : Structure de test	84
Figure 64 □ Présentation de la technologie du substrat 3,5μm P⁻/P⁺	85
Figure 65 □ Présentation de la concentration de bore (cm⁻³) fonction de la profondeur (μm) (coupe AA)	85
Figure 66 □ Présentation de la technologie du substrat 9,5μm P⁻/P⁺	86
Figure 67 : Structures de test	87
Figure 68 : Coupe technologique des structures de test	88
Figure 69 : Schéma équivalent du dispositif de test	88
Figure 70 : Courants mesurés en fonction de la tension appliquée au drain NLD MOS1	89
Figure 71 : Flux des porteurs minoritaires (électrons) et majoritaires (trous) dans le substrat P⁻ issu des résultats de simulation physique (coupe transversale)	90
Figure 72: Flux de porteurs minoritaires dans le substrat de la structure physique 3D	91
Figure 73 : Courant collecté en fonction de la distance entre deux caissons N⁺	92
Figure 74 : Courant injecté et courant collecté fonction de la température	93
Figure 75 : Résultats	93
Figure 76 Flux des porteurs minoritaires (électrons) dans le substrat P⁻ aminci issu des résultats de simulation physique (coupe transversale)	95
Figure 77 : Résultat transitoire de courant injecté et courant collecté	96
Figure 78 : Structures de test	97
Figure 79 : Courants mesurés en fonction de la tension d'émetteur V_e (structure C)	98
Figure 80 : Flux des porteurs minoritaires (électrons) et majoritaires (trous) dans le substrat P⁺ issu des résultats de simulation physique (coupe transversale)	99
Figure 81 : Courant collecté en fonction de la largeur W	100
Figure 82 : Courant injecté et courant collecté fonction de la température (structure C) ...	101
Figure 83 : Résultat transitoire (pour W=30μm)	101
Figure 84 : Courants mesurés en fonction de la tension appliquée au drain NLD MOS1 ...	103
Figure 85 : Flux des porteurs minoritaires (électrons) à faible injection du courant injecté dans le substrat P⁻/P⁺ issu des résultats de simulation physique	104
Figure 86 : Flux des porteurs minoritaires (électrons) et majoritaires (trous), potentiel électrostatique dans le substrat P⁻/P⁺ issu des résultats de simulation physique	106
Figure 87 : Courant collecté en fonction de la distance entre deux caissons N⁺	107

Figure 88 : Courant injecté et courant collecté en fonction de la température	107
Figure 89 : Résultats de courants collecté et injecté jusqu'à 1A	108
Figure 90 : Résultats de courants collectés et injecté jusqu'à 6A	109
Figure 91: Résultat comparatif des trois technologies fonction du courant injecté en mode statique	110
Chapitre 4	115
Figure 92 □ Coupe technologique du principe de fonctionnement de la protection active ..	117
Figure 93 □ Schéma équivalent du fonctionnement de la protection active	118
Figure 94 □ Structure de test de transistors LDMOS simples	119
Figure 95 □ Vue de puce technologique sur un boîtier céramique	119
Figure 96 □ Structure de test avec des transistors LDMOS et bipolaires	120
Figure 97 □ Présentation de structures bipolaires	120
Figure 98 □ Coupe technologique de la structure bipolaire	121
Figure 99 □ Coupe technologique du dispositif de test	122
Figure 100 □ Schéma équivalent du dispositif de test	122
Figure 101 □ Courant collecté I_c en fonction du courant injecté I_e	123
Figure 102 □ Courant collecté I_c en fonction du courant injecté I_e pour différentes tailles de structure de protection bipolaire	125
Figure 103 □ Schéma équivalent du circuit de test avec la résistance d'émetteur R_e	126
Figure 104 □ Courant collecté I_c en fonction du courant injecté I_e pour différentes valeurs de résistance d'émetteur R_e	126
Figure 105 □ Schéma équivalent du dispositif de test avec la résistance de collecteur R_c	127
Figure 106 □ Courant collecté I_c en fonction du courant injecté I_e pour différentes valeurs de résistance de collecteur R_c	128
Figure 107 □ Schéma équivalent du dispositif de test	129
Figure 108 □ Courant collecté I_c en fonction du courant injecté I_e pour différentes valeurs de résistance de base R_b	129
Figure 109 □ Schéma équivalent du dispositif de test	130
Figure 110 □ Courant collecté I_c en fonction du courant injecté I_e pour différentes largeurs du puits P_+	131
Figure 111 □ Schéma équivalent du dispositif de test avec différentes valeurs de résistance de substrat R_{sub}	132

Figure 112 □ Courant collecté I_c en fonction du courant injecté I_e fonction de la résistance de substrat.....	133
Figure 113 □ Courant collecté I_c en fonction du courant injecté I_e à $T=25^\circ\text{C}$ et $T=150^\circ\text{C}$..	134
Figure 114 □ Présentation de structures de protection bipolaires symétriques	138
Figure 115 □ Courant collecté au transistor NLD1 en fonction de la tension appliquée au transistor NLD2.....	138
Figure 116 □ Présentation de la structure intégrée	139
Figure 117 □ Vue de layout de la structure de protection intégrée.....	140
Figure 118 : Banc de test	141
Figure 119 □ Courant collecté avec ou sans la structure bipolaire intégrée	141
Figure 120 □ Réponse transitoire des structures de test	142
Figure 121 □ Courant de fuite au niveau du drain du transistor LDMOS.....	144
Figure 122 □ Présentation du test en énergie	145
Figure 123 □ Réponse du test en énergie.....	145
Figure 124 □ Structure de test avec transistors LDMOS et transistors MOS.....	147
Figure 125 □ Structures MOS de protection.....	147
Figure 126 □ Coupe technologique du dispositif de test.....	148
Figure 127 □ Circuit de test	149
Figure 128 □ Courant collecté I_c en fonction du courant injecté pour une structure MOS... 	149
Figure 129 □ Courant collecté I_c en fonction du courant injecté I_e avec différentes structures de protection MOS.....	151
Figure 130 □ Courant collecté I_c en fonction du courant injecté pour différentes largeurs de puits P_+	152
Figure 131 □ Courant collecté I_c en fonction du courant injecté pour différentes valeurs de résistance de substrat.....	153
Figure 132 □ Courant collecté I_c en fonction du courant injecté I_e à $T=25^\circ\text{C}$ et $T=150^\circ\text{C}$..	154
Figure 133 □ Présentation de structures de protection MOS symétriques	155
Figure 134 : Présentation d'une structure de protection MOS intégrée.....	156
Figure 135 □ Présentation de structure de protection LDMOS intégrée.....	157
Figure 136 : Banc de test	157
Figure 137 □ Courant collecté I_c en fonction du courant injecté I_e à $T=25^\circ\text{C}$ et $T=150^\circ\text{C}$.	158

Introduction générale

Depuis quelques années, de nouveaux produits électroniques ont considérablement amélioré le confort et la sécurité dans les applications automobiles. Les systèmes électroniques complexes tels que le système de freinage assisté ABS (Anti-Blocking System), la stabilisation du véhicule automobile à l'aide du correcteur de trajectoire ESP (Electronic Stability Program), le système de régulation de l'air conditionné en sont quelques exemples. De plus, avec la miniaturisation, de plus en plus de dispositifs électroniques remplacent des pièces mécaniques grâce à leur robustesse, fiabilité et surtout leur faible encombrement. Cette tendance est très suivie dans d'autres applications, telles que la téléphonie mobile, les imprimantes à multiples fonctions, les ordinateurs portables...

L'émergence de ces produits de haute technologie dans le marché actuel est le résultat de la maîtrise des performances des circuits intégrés ainsi que leur miniaturisation. En effet, de nouveaux procédés technologiques ont largement contribué à cette évolution. De plus, cette dernière a vu naître l'intelligence des systèmes électroniques, c'est-à-dire des puces électroniques capables de répondre aux contraintes imposées par l'environnement. Un exemple de cette réalisation est la technologie de puissance intelligente ou "Smart Power" en anglais dans les applications automobiles.

Cette technologie a permis des avancées significatives au niveau de l'intégration des dispositifs dans une même puce. En d'autres termes, elle héberge des circuits intégrés de puissance DMOS, des transistors bipolaires, des transistors CMOS. L'intégration de ces circuits dans une même puce a permis de réaliser des systèmes de contrôle, de protection, de diagnostic. Ces éléments sont le moteur de l'intelligence de la puce électronique.

L'intégration de ces dispositifs dans une même puce est réalisable si les problèmes d'isolation entre les différents blocs de fonction sont résolus. Ce problème d'isolation repose sur l'injection du courant parasite dans le substrat entre ces blocs. Cette perturbation induit des conséquences dangereuses sur le circuit intégré, voire à sa défaillance. En effet, avec la réduction des dimensions de la micro-électronique, les problèmes d'isolation rencontrés deviennent de plus en plus fréquents en raison de la faible distance qui sépare les circuits.

L'objectif de ce travail consiste à analyser les origines du problème d'isolation dans un circuit intégré en fonction de la technologie employée puis proposer des solutions pour remédier au problème de courant de substrat. L'analyse de ce courant parasite sera effectuée à partir des méthodes de caractérisation expérimentales et de simulations physiques. Cette démarche d'évaluation permettra de mieux comprendre les mécanismes d'injection du courant parasite

de manière à développer des structures de protection pour le réduire voire le supprimer. Ainsi nous pourrions améliorer la robustesse et la fiabilité des circuits intégrés de puissance intelligente.

Le premier chapitre présente les techniques d'isolation des circuits intégrés. Il permet de décrire les origines ainsi que les conséquences du problème d'isolation. Il tente d'identifier la nature du courant parasite dans le substrat. Ainsi, nous décrivons les solutions de protections déjà développées pour réduire ce courant de substrat. Nous nous sommes appuyés sur ces structures de protections pour notre travail de développement de nouvelles structures de protection en tenant compte des contraintes d'intégration ainsi que des exigences de réduction des dimensions.

Le développement de ces protections optimisées ne peut être réalisé qu'à l'aide d'une méthodologie de conception. C'est l'objet du deuxième chapitre qui détaille cette méthodologie de conception des structures de protections. Elle s'appuie sur la simulation physique 2D et 3D et peut s'appliquer à toutes filières technologiques. Elle inclut la possibilité d'effectuer des simulations mixtes, c'est-à-dire le couplage de simulation physique et électrique, indispensables pour l'optimisation des structures de protections.

Le troisième chapitre est consacré aux différentes technologies du substrat. Il détaille les propriétés physiques du substrat de manière à proposer des solutions originales de protection. Nous démontrons que les solutions originales de protection ne peuvent être appliquées que dans certaines de ces technologies. Nous présentons également une solution basée sur l'amincissement de substrat qui a été réalisée pendant l'étude.

Le quatrième chapitre traite de la nouvelle génération des structures de protections actives. Il présente la démarche de conception de ces protections avec les résultats de caractérisations électriques. Il décrit comment les contraintes d'intégration de ces protections sont résolues. Enfin, nous validons ces structures de protections à l'aide de mesure électrique sur silicium. Egalement, nous présentons des règles de conception pour assurer la meilleure efficacité contre le courant de substrat.

La conclusion de ce manuscrit résume le travail sur les structures de protections contre le courant de substrat employées dans une technologie donnée. Des perspectives de ce travail y sont présentées pour mettre en évidence l'utilisation des structures de protections dès l'introduction de nouvelles technologies dans les années à venir.

Chapitre 1

Etat de l'art des protections

Depuis quelques années, de nouveaux matériels électroniques de haute technologie, tels que l'imprimante à multiples fonctions, l'électronique automobile, la téléphonie mobile ont apparu abondamment sur le marché. Cette prépondérance de produits à haute valeur ajoutée s'explique par le coût compétitif des composants électroniques grâce à leur miniaturisation ainsi que la maîtrise des systèmes complexes. Des nouveaux procédés technologiques ont largement contribué à cette évolution. Cette dernière a vu naître l'intelligence de systèmes électroniques, c'est-à-dire des puces électroniques capables de répondre aux contraintes imposées par l'environnement.

Cette tendance est le résultat du développement de la technologie de puissance intelligente ou "Smart Power" [\[MUR96-A\]](#).

I. La technologie "Smart Power"

I.1. Introduction

Dans les années 1970, les circuits intégrés de puissance bipolaires, en particulier des transistors discrets, ont été largement utilisés dans les applications de contrôle de moteurs électriques, des imprimantes...

Avec le progrès des procédés technologiques et l'apparition de la technologie MOS dans les années 1980, l'idée de développer une technologie mixte bipolaire-MOS a été introduite pour répondre aux problèmes de dissipation thermique et de consommation des composants bipolaires. Cette idée a permis des avancées significatives en matière d'intégration de composants, d'où l'introduction à la veille des années 1990 de la technologie Bipolaire-CMOS-DMOS (BCD) [\[MUR96-B\]](#).

Cette dernière offre l'avantage d'obtenir sur la même puce en terme de complexité des circuits de contrôle CMOS, en terme de précision des transistors bipolaires analogiques et en terme de faible dissipation et de consommation des composants de puissance de nouvelle génération DMOS. Ainsi ont pu être créés de nouvelles fonctions de contrôle, de diagnostic, de protection.

Ces nouveaux éléments ont été le moteur de l'intelligence de cette technologie de puissance. Ainsi augmentent la robustesse et la fiabilité des systèmes.

Grâce à cette technologie, de nombreuses avancées en terme de réalisations dans les applications domestiques, d'électronique automobile, de la téléphonie mobile ont vu le jour afin de garantir la sécurité, le confort et la simplicité d'utilisation à la demande du marché [\[MUR96-B\]](#).

A titre d'exemple, dans le domaine automobile, cette technologie a apporté la sécurité avec les produits complexes de freinage ABS (Anti-Blocking System), de correction de trajectoire ESP (Electronic Stability Program) et le confort avec des systèmes de commande perfectionnés grâce aux moteurs électriques (ouverture automatique de vitres automobiles, air conditionné...) (Figure 1).

La Figure 1 donne un aperçu de réalisation de puce dédiée aux applications automobiles avec des composants LDMOS de puissance, au nombre de six reliés aux batteries, des circuits intégrés de contrôle, de diagnostic, de protection contre les décharges électrostatiques, la surcharge de courant, l'élévation anormale de température des dispositifs...

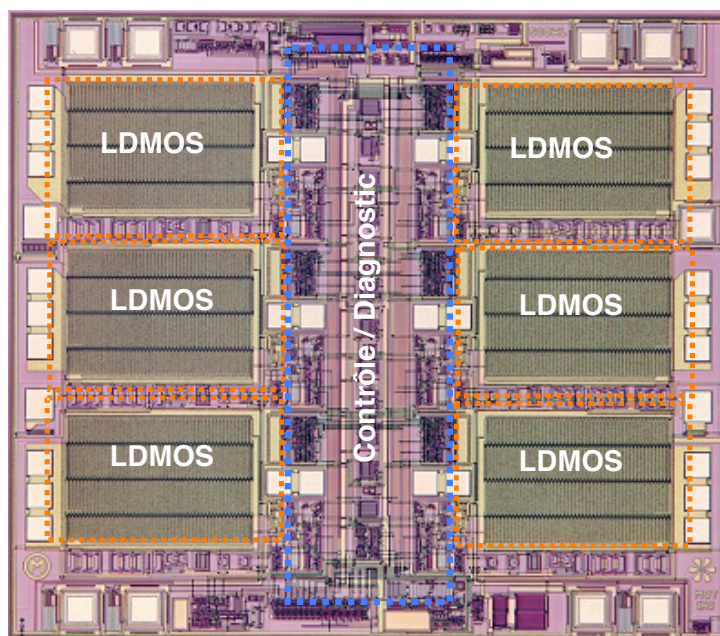


Figure 1 Exemple de circuit intégré de puissance destiné aux applications automobiles

Avec la miniaturisation, la technologie de puissance intelligente a considérablement réduit l'encombrement des boîtiers de dispositifs dans une carte électronique en les remplaçant par un boîtier à multiples fonctions. Cette tendance est très suivie dans le domaine de la téléphonie mobile en proposant des mobiles de plus en plus petits.

L'utilisation de cette technologie de puissance intelligente dans les applications est certes limitée dans les gammes de puissance haute tension jusqu'à 700V en raison de la compétitivité du coût de fabrication [MUR96-A] [GON01-B].

Suivant cette gamme de tension, deux types de structures de composants de puissance DMOS sont utilisés : transistors de puissance latéraux (LDMOS) jusqu'à 120V et verticaux (VDMOS) au-delà de 120V.

1.2. Transistor de puissance latéral DMOS (LDMOS)

La structure latérale de transistor DMOS à canal N réalisée dans une couche épitaxiée N⁻ sur un substrat N⁺, présentée en Figure 2, est basée sur le principe de l'utilisation de contact de drain en surface permettant la conduction latérale du courant vers le contact de source. Une telle configuration procurant une bonne tenue en tension dépend du dopage de l'épitaxie N⁻ et surtout de la distance entre les contacts de drain et de source. Cependant, une grande distance augmente la résistance passante du transistor. Une telle structure reste un mauvais candidat vis-à-vis des exigences de la micro-électronique.

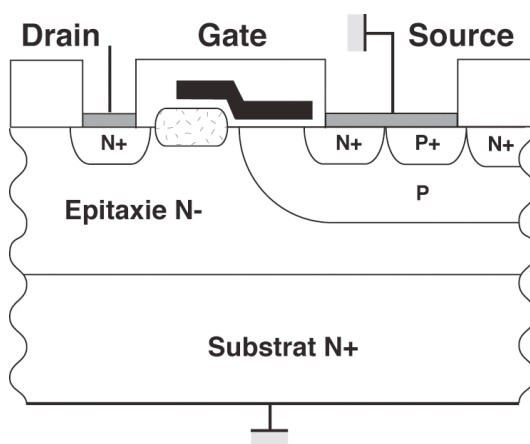


Figure 2 Structure de puissance latérale DMOS (LDMOS)

L'introduction d'une structure modifiée appelée LDMOS RESURF (Reduce Surface Field en anglo-saxon) a permis d'augmenter la tenue en tension du transistor sans modification de la structure [LUD00]. Aucune étape technologique n'est nécessaire à réaliser à part l'utilisation d'un substrat P⁻ au lieu du substrat N⁺ (Figure 3). Cette technique aujourd'hui très populaire implique le déplacement du point de claquage, à l'origine en surface, vers la jonction plane épitaxie N⁻/substrat P⁻ dont la tenue en tension est facilement contrôlable avec l'épaisseur de cette épitaxie. De plus, cette nouvelle structure permet de réduire la résistance passante entre le Drain et la Source.

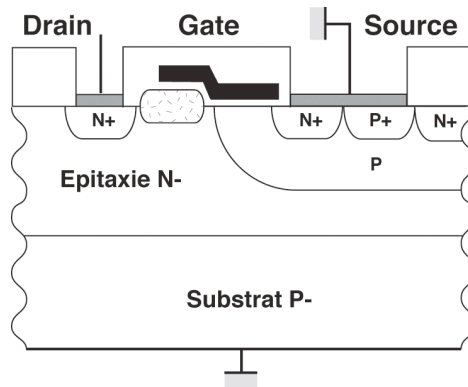


Figure 3 □ Structure LDMOS RESURF

Avec la miniaturisation, cette configuration reste très applicable pour obtenir des transistors de tenue en tension jusqu'à 120V.

1.3. Transistor de puissance vertical (VDMOS)

Contrairement à la structure précédente, le contact de drain se trouve à la face arrière du substrat permettant la conduction verticale du courant vers le contact de source en surface (Figure 4). Au niveau du procédé technologique, une couche épitaxiée N⁻ est utilisée sur un substrat N⁺. Cette configuration permet d'obtenir une tenue de tension jusqu'à 700V grâce au contrôle du dopage et de l'épaisseur de cette épitaxie N⁻.

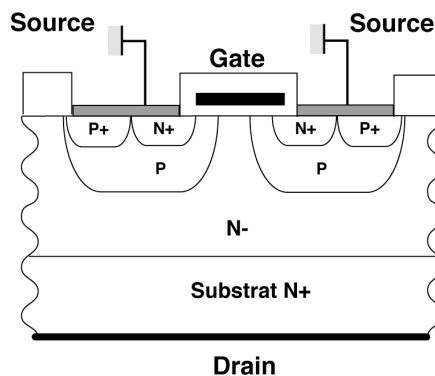


Figure 4 □ Structure verticale DMOS (VDMOS)

Cette structure a été la première famille de la technologie "Smart Power". Elle a permis de faire cohabiter des structures à haute tension et d'autres à basses tensions intégrées sur une même puce [MUR96-A] [ALV03].

Le succès de cette technologie dans les applications s'explique par sa capacité à intégrer plusieurs structures, et surtout à résoudre le problème d'isolation galvanique entre les composants de haute tension et ceux de basse tension. Il s'agit de la technique d'isolation la plus simple ou auto-isolation. Avec l'accroissement de la complexité des circuits intégrés de puissance, l'isolation entre les divers composants est devenue un véritable défi technologique.

II. Techniques d'isolation :

L'isolation entre des circuits de puissance travaillant à plusieurs ampères et des circuits logiques ou analogiques à des milli-ampères ou moins doit être assurée électriquement c'est-à-dire en régime statique et dynamique. Son efficacité dépend de la perturbation, généralement générée par la partie puissance en raison de son fort niveau en courant, aux parties sensibles, celles à basse tension.

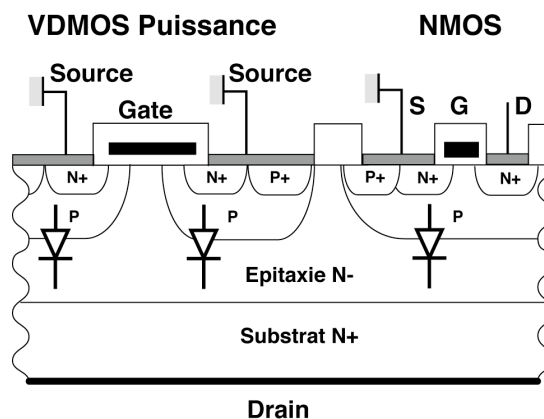
Les techniques d'isolation utilisées dans la technologie Smart Power sont au nombre de trois : auto-isolation, isolation diélectrique et isolation par jonction.

II.1. Auto-isolation

Cette technique a été proposée en raison de son très faible coût de réalisation puisque aucune étape technologique n'est nécessaire pour assurer l'isolation [FUJ91]. Elle implique l'utilisation de structures à base de jonctions PN polarisées en inverse. La Figure 5 illustre un exemple de cette isolation, souvent utilisée dans les structures verticales.

Un composant de puissance vertical VDMOS, dont le contact de drain est en face arrière du substrat et celui de source en surface, est présenté avec le transistor NMOS des circuits CMOS. Les couches actives N⁺ sont hébergées dans un caisson P diffusé dans l'épithaxie N⁻. L'isolation est obtenue lorsque ce caisson P est relié à la masse et le drain à une tension positive [SAB87]. Ainsi, les circuits CMOS sont électriquement isolés des composants de puissance.

Cependant, l'isolation est difficile à assurer en régime dynamique avec des variations intempestives de courant au niveau du drain. En d'autres termes, un courant négatif peut être appliqué à ce contact et mettre en direct la jonction d'isolation diffusion P/épithaxie N⁻ [GON01-B]. Également, cette variation brutale de courant peut déclencher un thyristor parasite au niveau des circuits de contrôle CMOS, phénomène connu sous le nom de "latch-up" que nous détaillerons plus loin.

Figure 5 \square Coupe technologique d'auto-isolation

La simplicité de cette technique d'isolation en terme de réalisation est évidente. Cependant, la flexibilité de cette technique est remise en question car elle n'offre pas la possibilité de polariser à une tension voulue au niveau des connexions, en particulier au niveau de la source où la couche active P est toujours à la masse. Seul le montage du composant de puissance en configuration haute (drain connecté à l'alimentation) est possible.

Un certain nombre de ces inconvénients a été constaté et a fait que cette technique ne favorise pas l'intégration des circuits CMOS avancés vers une complexité croissante [MUR00]. C'est pourquoi elle est utilisable dans des applications très haute tension nécessitant des circuits de contrôle, diagnostic et protection simples.

II.2. Isolation diélectrique

L'isolation diélectrique ou SOI (Silicon on Insulator dans la littérature anglo-saxonne) consiste à isoler un circuit intégré d'un autre par l'oxyde de silicium SiO_2 (Figure 6 et Figure 7). L'intérêt majeur de cette technique d'isolation réside dans son efficacité à réduire les courants de fuite et de couplage entre deux circuits grâce à sa faible capacité d'oxyde. L'oxyde de silicium procure non seulement une bonne isolation électrique mais aussi une bonne isolation thermique.

Deux filières technologiques sont envisagées en raison de son coût du procédé : isolation complète (ou full SOI) [TOM89] ou isolation partielle (partial SOI) [ROU01].

Dans le premier cas, tous les circuits sont hébergés dans un caisson SOI (Figure 6) [WEY97]. Ainsi les circuits de contrôle sont protégés des circuits de puissance au niveau électrique et thermique. Donc, rares sont les perturbations de la partie puissance occasionnées aux parties sensibles. Cependant, les composants de puissance ne peuvent

générer des courants très forts en raison de la mauvaise dissipation thermique de l'oxyde. Cette technique est dédiée aux applications faible courant où on privilégie la complexité des circuits CMOS.

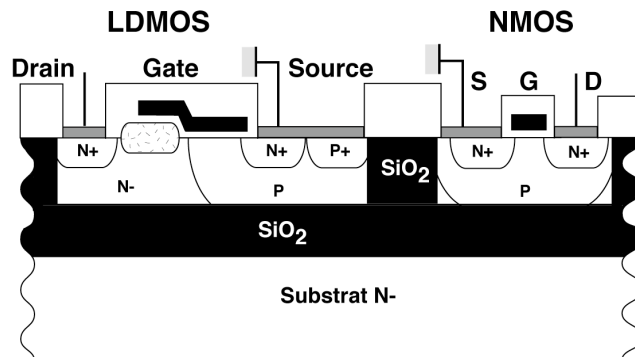


Figure 6 Coupe technologique de l'isolation SOI complète

Pour pallier ce problème, une deuxième filière technologique a été proposée, l'isolation SOI partielle (Figure 7). Avec cette technique, la réalisation d'une structure verticale du composant de puissance est possible. Les parties sensibles à protéger sont ainsi hébergées dans des caissons SOI localisés. Cette isolation est donc appropriée pour les applications très hautes tensions, où un transistor de puissance vertical (VDMOS) offre le meilleur compromis résistance passante/tenue en tension [WEY92].

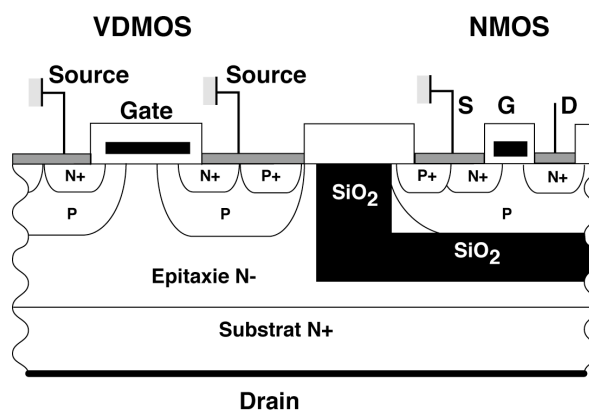


Figure 7 Coupe technologique de l'isolation SOI partielle

En résumé, la technique SOI offre de nombreux avantages en termes d'efficacité au niveau électrique et thermique. De plus, elle répond aux exigences de la micro-électronique et continue à être utilisée dans les applications actuelles de plus en plus complexes [SWA03]. Cependant, elle reste coûteuse en raison du procédé technologique.

II.3. Isolation par jonction

Cette filière technologique d'isolation a été proposée pour rendre la technologie plus flexible en terme de fonctionnalités et moins coûteuse que celle du SOI.

Elle présente des similitudes avec les autres techniques présentées précédemment. D'une part, elle est basée sur des jonctions PN polarisées en inverse comme l'auto-isolation. D'autre part, les composants sont hébergés dans des caissons, comme les structures SOI mais à base de jonction PN (Figure 8).

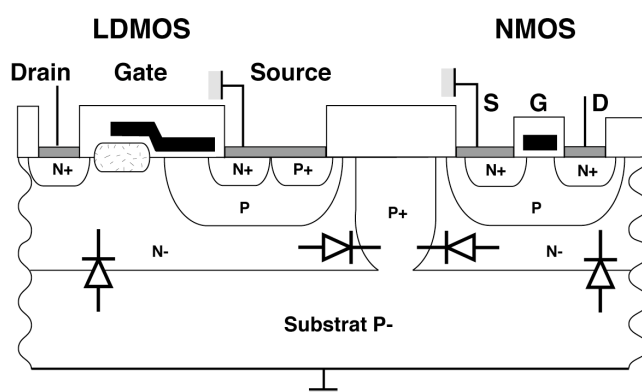


Figure 8 \square Coupe technologique de l'isolation par jonction

Cette structure d'isolation est héritée des structures bipolaires. Un substrat P⁻ avec des puits de diffusion P⁺ de tous cotés des composants sur l'épitaxie N forment des structures isolées les unes des autres. Cette technique couvre les applications jusqu'à 150V en raison du coût compétitif de fabrication dû à l'épaisseur de cette épitaxie [CON87]. Comme l'auto-isolation, cette technique présente quelques problèmes d'isolation en dynamique dûs aux déclenchements des éléments parasites type bipolaire [GON01-B].

Néanmoins, le marché actuel de la puissance intelligente a pu se développer en s'appuyant sur cette technologie. De plus, elle a permis d'intégrer de nouvelles structures telles que les mémoires non volatiles (NVM) [MUR00]. Cette technologie est largement adoptée par de grandes sociétés de semi-conducteurs.

Cette technique d'isolation est celle utilisée dans notre étude.

III. Problème d'isolation par jonction : injection du courant de substrat

Nous allons traiter le problème d'isolation par jonction, largement discuté dans notre étude, entre la partie haute tension et celle basse tension.

Les différentes perturbations statiques et dynamiques, en provenance du circuit de puissance en raison de son fort niveau de courant, aux parties sensibles seront décrites dans cette partie. Ainsi l'origine de ce problème sera mieux analysée avant de proposer des protections pour y remédier.

III.1. Pont en H

Nous proposons d'étudier une des perturbations, celle générée par le pont en H couramment utilisé pour le pilotage des moteurs électriques, pour illustrer le problème d'isolation par jonction (Figure 9 et Figure 10) [\[MUR96-A\]](#).

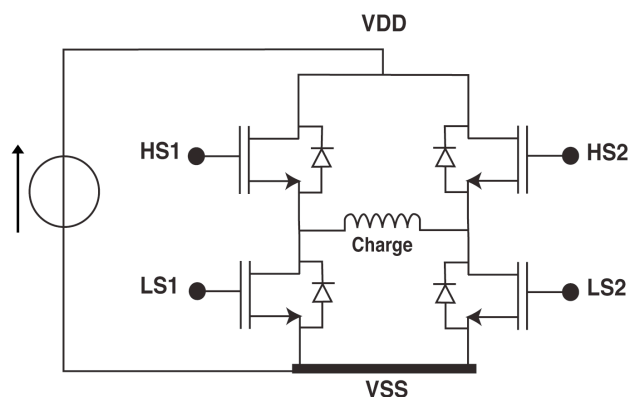


Figure 9 \square Schéma électrique du pont en H

Un pont en H est constitué de quatre transistors de puissance DMOS dont deux dans la partie supérieure (High-side en anglo-saxon, HS1 et HS2) entre l'alimentation haute tension VDD et la charge inductive, et deux dans la partie inférieure (Low-side, LS1 et LS2) connectés entre la charge inductive et la masse VSS. Une telle configuration est choisie pour piloter les deux sens de rotation des moteurs électriques par la circulation alternée du courant au travers de HS1 et LS2 ou de HS2 et LS1 (Figure 11). La Figure 10 présente l'intégration des composants de puissance du pont en H dans une seule puce de silicium avec les circuits de contrôle et ceux analogiques (vue de haut).

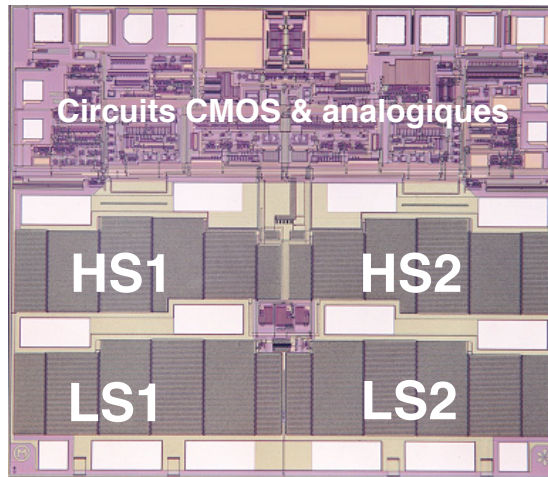


Figure 10 Présentation technologique des circuits intégrés du pont H

En fonctionnement normal, les deux transistors HS1 et LS2 activés permettent la circulation en courant à travers la charge inductive. Les deux derniers HS2 et LS1 restent bloqués pour éviter le court-circuit entre l'alimentation VDD et la masse VSS.

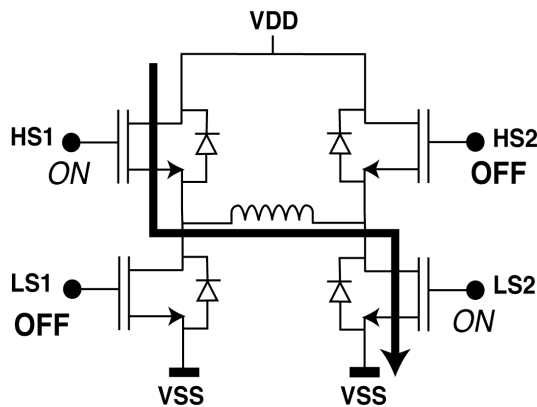


Figure 11 Pont en H en fonctionnement normal

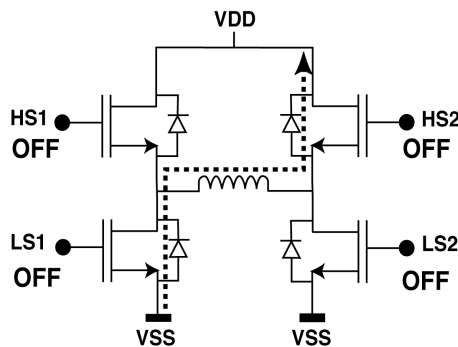


Figure 12 Pont en H en fonctionnement de recirculation

Lors de la transition permettant l'arrêt du moteur, les transistors HS1 et LS2 en mode bloqué induisent des phénomènes de surtensions et sous-tensions aux bornes des transistors HS2 et LS1 dues à la réaction de la charge inductive. Cette réaction s'explique par l'évacuation de l'énergie magnétique emmagasinée durant le mode normal. Ainsi est généré un autre type de courant, que l'on appelle un courant de recirculation de la masse VSS vers l'alimentation VDD au travers des diodes de roue libre intrinsèques de LS1 et HS2 (Figure 12).

En effet, un phénomène de sous-tension, donc un potentiel négatif, aux bornes du transistor LS1 par rapport à la masse VSS met en conduction directe la diode de roue libre. Réciproquement, un phénomène de sur-tension, donc un potentiel supérieur à celui de l'alimentation VDD, aux bornes du transistor HS2 induit également la mise en conduction de la diode de roue libre.

Ces évènements produisent des conséquences dangereuses dans les circuits intégrés c'est-à-dire l'injection de courant dans le substrat [\[GON01-B\]](#).

III.2. Injection du courant dans le substrat

Il existe deux types d'injections de courant dans le substrat \square injection de porteurs majoritaires et injection de porteurs minoritaires. Ce premier cas apparaît lors d'un phénomène de sur-tension. Contrairement, le dernier cas survient lors d'un événement de sous-tension.

Avec une charge inductive, l'amplitude de ces tensions dépend de la variation du transitoire en courant, de la valeur d'inductance et de la résistance passante du transistor de puissance en question.

III.2.a. Injection de porteurs majoritaires

Sous l'effet d'une décharge inductive, une élévation brutale du potentiel supérieur à la valeur de l'alimentation VDD au niveau du drain du transistor HS2 déclenche la mise en direct de la diode de roue libre (puits P/drain D) (Figure 13). En conséquence, un transistor bipolaire parasite vertical PNP, dont l'émetteur est le puits P du transistor, la base l'épitaxie N⁻, et le collecteur le substrat P⁻, est activé. Ce courant parasite, en particulier le courant de trous dans le substrat P⁻ donc les porteurs majoritaires, est collecté au niveau des contacts P⁺ au substrat P⁻ reliés à la masse (chemin de courant (a)).

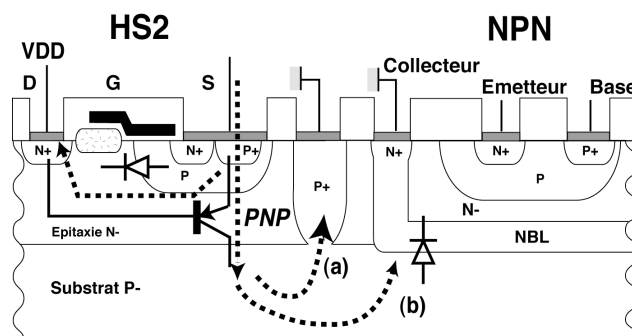


Figure 13 \square Coupe schématique de l'injection des porteurs majoritaires

Ce type d'injection de courant de porteurs majoritaires dans un substrat P^- faiblement dopé donc résistif peut induire une élévation locale du potentiel de substrat [SCH01-A]. Par conséquent, une diode d'isolation voisine (substrat P^- /caisson N à la masse ou collecteur du transistor bipolaire à la masse) peut se mettre en conduction (chemin de courant (b)). On peut parler ici d'un problème d'isolation. Cependant, des techniques simples à réaliser pour éviter ce problème existent [GON01-B]:

- Ajout d'une couche enterrée N^+ au niveau de la base du transistor parasite PNP afin de réduire son gain en courant, donc peu d'injection du courant dans le substrat P^- .
- Mise en place de nombreux contacts P^+ en surface à la masse, afin de garantir une distribution équipotentielle du substrat, avec la mise en parallèle d'un réseau de résistances de substrat, à la masse.
- Remplacement d'un substrat P^- par un substrat fortement dopé P^+ , donc faiblement résistif.

En résumé, ce courant de porteurs majoritaires peut être facilement contrôlable avec la mise en place des collecteurs préférentiels, c'est à dire des puits P^+ servant de contacts au substrat, afin de drainer le courant parasite. Avec des règles simples, une perturbation aux endroits sensibles peut être fortement réduite.

III.2.b. Injection de porteurs minoritaires

Ce type d'injection de courant apparaît lors d'un phénomène de sous-tension. Ce dernier implique une diminution du potentiel, c'est-à-dire un potentiel négatif, par rapport à la masse au niveau du drain du transistor [GON01-B] [MUR96-A].

Une telle configuration lors de cet événement traduit non seulement la mise en conduction de la diode de roue libre (source/drain, chemin (a)) mais aussi de la diode d'isolation (substrat P⁻/épitaxie N⁻, chemin (b)) (Figure 14).

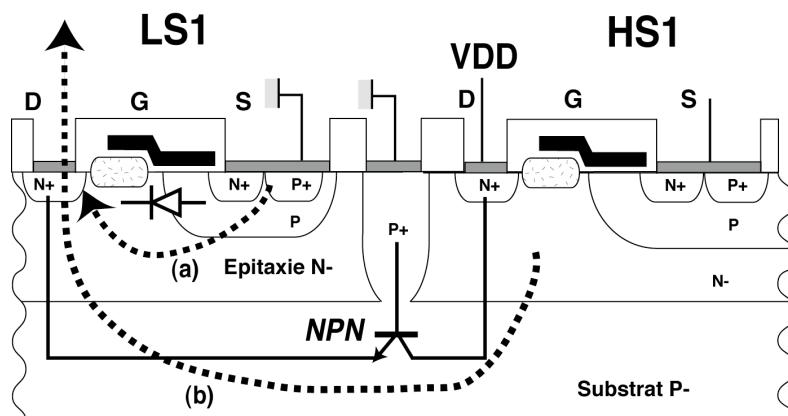


Figure 14 □ Coupe technologique pendant l'injection des porteurs minoritaires

Il en résulte le déclenchement d'un bipolaire parasite latéral NPN ayant pour émetteur l'épitaxie N⁻ du transistor de puissance, pour base le substrat P⁻ et pour collecteur un autre caisson N. Une injection de porteurs minoritaires, c'est-à-dire des électrons, est ainsi obtenue dans le substrat.

Contrairement aux porteurs majoritaires, ce courant de porteurs minoritaires est un courant de diffusion. Les phénomènes de recombinaison dans un substrat faiblement dopé P⁻ sont peu importants. De ce fait, un courant parasite de grande valeur peut diffuser dans tout le substrat. Il est donc difficilement contrôlable puisque le substrat est à la base de cette injection.

III.2.c. Caractéristiques du courant de substrat

Les courants de substrat ont pour caractéristiques des valeurs allant de plusieurs centaines de milliampères jusqu'à des dizaines d'ampères, une circulation dans tout le substrat de la puce et une durée de l'ordre de plusieurs dizaines de millisecondes.

De plus, plusieurs événements susceptibles de provoquer l'injection de courant dans le substrat dépendent des types de montage utilisés.

Dans le cas d'une configuration haute (High-Side) du pont en H, seule une décharge d'une inductance peut induire cette injection.

Dans le cas d'une configuration basse □ (Low-Side), une décharge d'une capacité ou d'une inductance ainsi qu'une variation du potentiel de masse peuvent être la cause de ce type de courant parasite.

III.3. Conséquences sur les circuits intégrés

III.3.a. Généralités

Un inventaire des perturbations connues du courant de substrat, en particulier des porteurs minoritaires, sur les circuits est illustré dans cette partie. Compte tenu des phénomènes de diffusion ainsi que de la longue durée de vie dans un substrat P faiblement dopé, l'injection des porteurs minoritaires peut se propager sur plusieurs centaines de micromètres (Figure 15) [MUR96-A]. Les blocs fonctionnels voisins de la zone émettrice seront les plus perturbés.

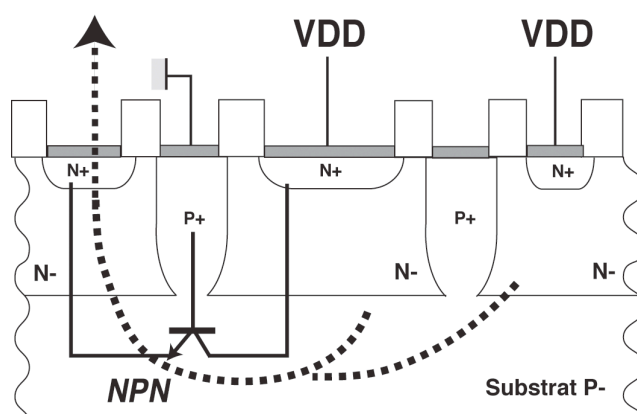


Figure 15 □ Mécanisme de diffusion des porteurs minoritaires

La sensibilité de ces blocs à ce courant de porteurs minoritaires dépend de sa nature, le seuil pour chacun d'eux étant le suivant □

- de 1 mA pour la section de puissance.
- de 100 □A pour la circuiterie numérique.
- de 1 □A pour la circuiterie analogique.

Il en résulte que pour un courant injecté de 1A, le rapport entre courant collecté et injecté ne devra pas excéder 10^{-6} puisque ces circuits étant mixtes, c'est le bloc fonctionnel le plus sensible c'est-à-dire l'analogique qui va imposer le seuil de courant maximum.

III.3.b. Conséquences des porteurs minoritaires

III.3.b.i Circuits CMOS : Phénomène "Latch-up"

Une des conséquences connues de ce courant parasite est l'amorçage du thyristor parasite de la structure CMOS, ou phénomène "latch-up" dans la littérature anglo-saxonne [TRO95] (Figure 16, Figure 17, Figure 18).

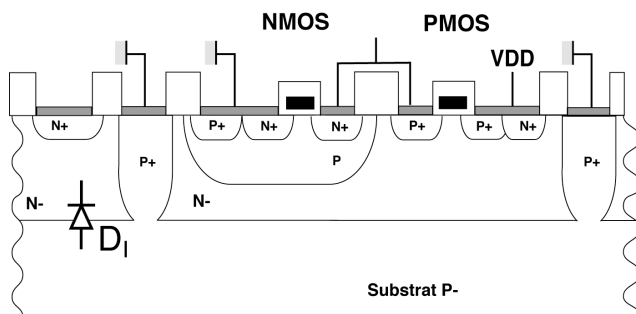


Figure 16 Structure technologique CMOS

La Figure 16 présente la coupe technologique des circuits CMOS où cohabitent des structures NMOS et PMOS. Le transistor MOS à canal N est réalisé avec la mise en place d'un caisson P diffusé dans l'épitaxie N⁻ et des contacts P⁺ et N⁺ en surface. Ces contacts en surface sont également utilisés pour former le transistor à canal P dans la couche épitaxiée N⁻. L'association de ces transistors NMOS et PMOS forment des composants parasites dans le caisson P ainsi que dans l'épitaxie N⁻ (Figure 17).

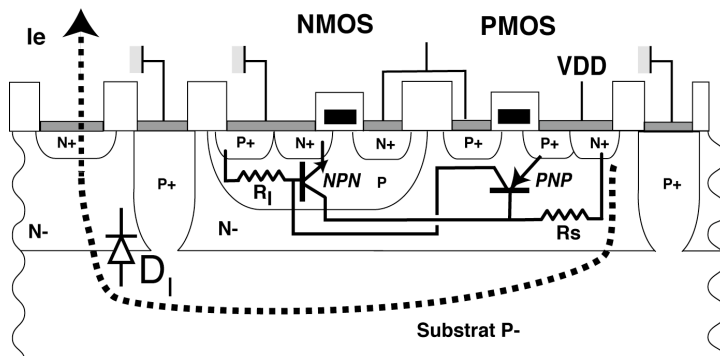


Figure 17 Présentation du thyristor parasite dans les circuits CMOS

Le transistor bipolaire NPN parasite est formé dans la structure NMOS par le contact N⁺ en surface (émetteur), le caisson P (base) et l'épitaxie N⁻ (collecteur). Également, le transistor

tel-00011035, version 1 - 18 Nov 2005

bipolaire PNP ayant pour émetteur le contact N⁺, pour base l'épitaxie N⁻ et pour collecteur le caisson P voisin est formé dans la structure PMOS. L'association de ces transistors bipolaires dans un circuit CMOS forme un thyristor parasite (Figure 18).

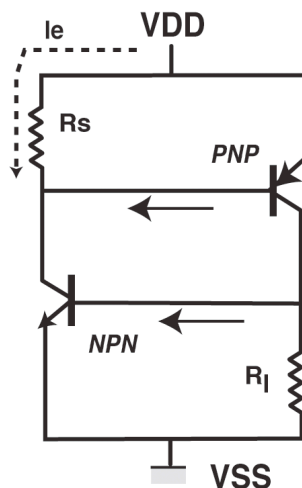


Figure 18 *Présentation du phénomène de "latch-up" dans la structure CMOS*

Dès la mise en direct de la diode d'isolation D_i, présentée en Figure 16, une injection de courant d'électrons va se propager dans le substrat puis atteindre le caisson N où est situé l'inverseur logique CMOS (Figure 17). Ce courant est collecté au niveau de l'alimentation du PMOS au travers de la résistance R_s. Cette dernière induit une chute de potentiel suffisamment importante pour activer la diode puits P⁺/épitaxie N⁻ associée à la source du PMOS et par la suite le transistor bipolaire PNP latéral (Figure 18).

Ainsi, un courant alimente la base du deuxième transistor bipolaire NPN vertical. Ce dernier activé alimente à son tour la base du transistor PNP. Ces deux transistors s'activent mutuellement. Cet événement a pour conséquence le verrouillage ("latch-up" en anglais) en courant de cet inverseur CMOS, phénomène typique du mode thyristor [TRO95].

Même lorsque le courant de substrat est supprimé, ce dispositif reste actif tant que les alimentations sont maintenues. De ce fait, l'amorçage de ce phénomène conduit généralement à la destruction irréversible du composant. Cet événement traduit la destruction du dispositif par une simple injection de courant parasite dans le substrat.

III.3.b.ii *Circuits analogiques : Transistor bipolaire*

Sur la circuiterie analogique, une injection de courant parasite peut induire une erreur d'amplification ou de polarisation au niveau des transistors bipolaires.

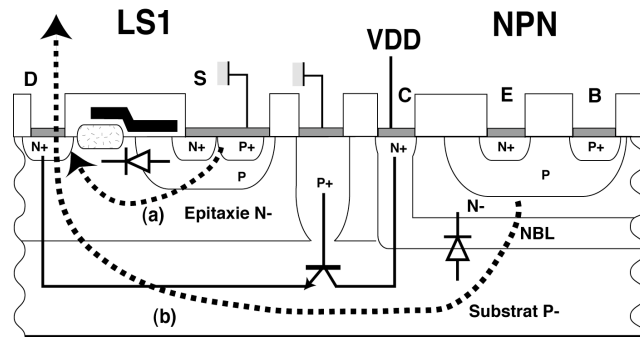


Figure 19 Transistor bipolaire NPN

En effet, un nouveau chemin en courant du collecteur du transistor bipolaire NPN vers le substrat au lieu de son émetteur est obtenu (Figure 19). Ainsi, cette diversion du courant peut conduire à des perturbations incontrôlables dans tous les circuits. A titre d'exemple, une injection de courant de substrat peut modifier les fonctionnalités du circuit de tension de référence connu sous le nom "band-gap référence" (Figure 20) [GRA93].

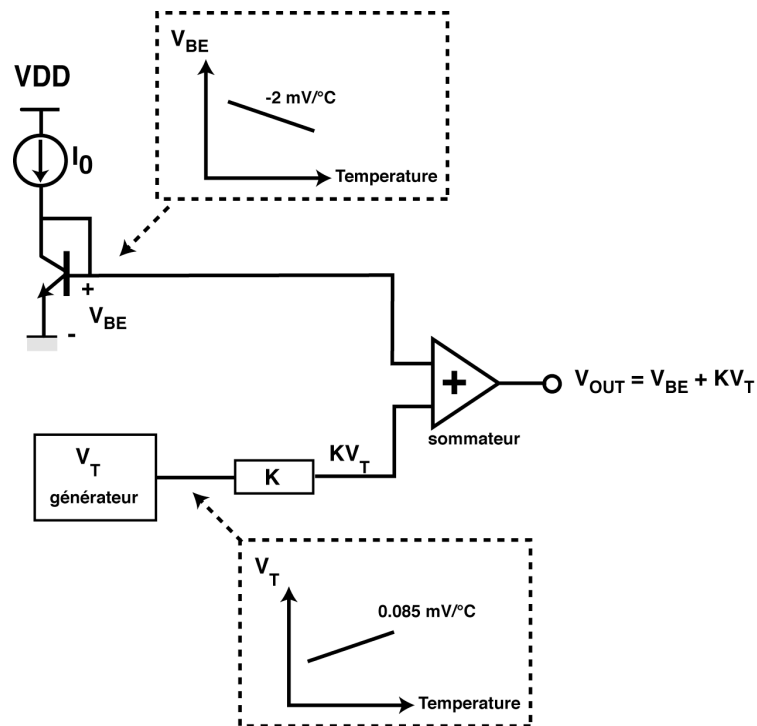


Figure 20 Circuit "bandgap référence"

Ce circuit est proposé pour obtenir une tension de référence stable en température. Il est destiné à fournir une tension de sortie stable et indépendante des variations de température pour assurer le bon fonctionnement des circuits en aval.

L'idée consiste à intégrer un circuit de polarisation de coefficients de température opposés. Ce circuit est constitué d'une source de tension de coefficient de température négatif alimentée par un transistor bipolaire (circuit A) et d'un générateur de tension de coefficient de température positif (circuit B). La tension de sortie désirée sera la somme de ces deux sources de tension. Une élévation de température conduit à une diminution de tension du circuit A et à une augmentation de tension du circuit B. La somme de ces tensions donne une tension de sortie stable, donc indépendante des variations de température.

Cependant, la source de tension du circuit A doit être assurée par une source de courant constante. Donc, une injection de courant dans le substrat peut modifier le chemin en courant de cette source de courant à travers le transistor bipolaire. Par conséquent, tout ce circuit de polarisation ainsi que les circuits en aval sont perturbés. Nous pouvons retrouver ce problème à travers des circuits d'amplificateur à base de miroir de courant.

III.3.b.iii Circuits de puissance : Transistor LDMOS

Dans la section de puissance dans le cas de multi-interrupteurs, ici SW1 et SW2, l'injection du courant parasite pourrait activer une autre charge (Figure 21) [\[GON01-B\]](#).

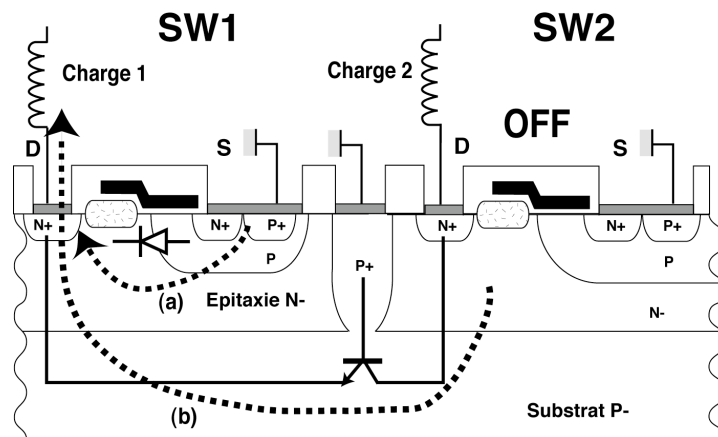


Figure 21 □ Couplage de sorties

Deux transistors de puissance voisins, SW1 et SW2, ont pour rôle le pilotage de leur charge inductive. Lors de la transition d'arrêt du transistor SW1, la charge inductive, la charge 1, induit un courant parasite dans le substrat qui est ensuite collecté au transistor voisin. Malgré l'état à l'arrêt du transistor SW2, ce courant met en conduction sa charge. Un moteur pourrait être activé alors que l'utilisateur ne le souhaite pas.

III.4. Conclusion

Un exemple du problème d'isolation par jonction est illustré à l'aide du montage du pont en H. Il se traduit par deux types d'injection de porteurs dans le substrat □ les porteurs majoritaires c'est-à-dire les trous, et les porteurs minoritaires, les électrons, dans le substrat P⁻.

Dans le cas des porteurs majoritaires, le substrat est considéré comme un collecteur du transistor bipolaire parasite vertical PNP. Des techniques simples à l'aide de contacts P⁺ au substrat et de l'utilisation d'une couche enterrée N⁺ permettent de réduire cette perturbation aux parties sensibles.

Dans le cas des porteurs minoritaires, le substrat qui est le siège de l'injection des électrons est la base d'un transistor bipolaire parasite latéral NPN. Il est donc difficile de contrôler ce courant parasite compte tenu du nombre de caissons N dans la puce disponibles à le collecter. C'est donc un courant de diffusion qui peut se propager à travers la puce. Il en résulte des problèmes de dysfonctionnement de tous circuits intégrés pouvant aller jusqu'à sa destruction dans le cas de l'initialisation du latch-up. Des techniques de protections doivent donc être développées pour contrôler ce courant parasite.

IV. Structures de protections

Diverses structures de protection contre les porteurs minoritaires ont été développées pour réduire le courant parasite au niveau des blocs sensibles. Ces solutions ont fait l'objet de nombreux brevets industriels.

Deux voies de développement ont été constatées, soit en modifiant l'architecture du transistor de puissance, tel le transistor LDMOS isolé (ILD MOS), soit en créant des zones intermédiaires entre la partie émettrice et la partie sensible destinées à réduire le courant parasite, telles que les structures passives basées sur les anneaux de garde ou les structures actives.

IV.1.a. Transistor isolé (ILD MOS)

Une structure de transistor LDMOS classique modifiée pour réduire l'injection des porteurs minoritaires dans le substrat a été proposée [ZHU01]. Ce changement s'effectue au niveau du drain du transistor.

Dans un transistor LDMOS classique, le contact de drain de diffusion N^+ entouré d'une couche N^- épitaxiée forme une jonction PN parasite avec le substrat P^- à la masse (Figure 22) [SIC02]. Une telle configuration favorise l'injection du courant parasite dans le substrat lors d'une application d'un potentiel négatif à ce contact.

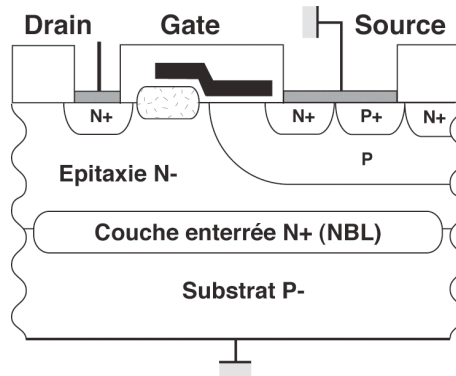


Figure 22 \square LDMOS classique

Dans un transistor LDMOS isolé, le contact de drain de diffusion N^+ est isolé de l'épitaxie N^- par une couche diffusée P (Figure 23). Cette nouvelle configuration permet l'évacuation des porteurs minoritaires ou électrons au travers du contact de l'épitaxie. En effet, il en résulte le déclenchement du transistor bipolaire vertical NPN dont l'émetteur est le drain, la base la couche diffusée P reliée à la masse par la source et le collecteur l'épitaxie N^- en provenance de la couche enterrée N^+ . Cette couche enterrée pourra collecter les porteurs minoritaires vers un contact de masse différent de celui du substrat P^- .

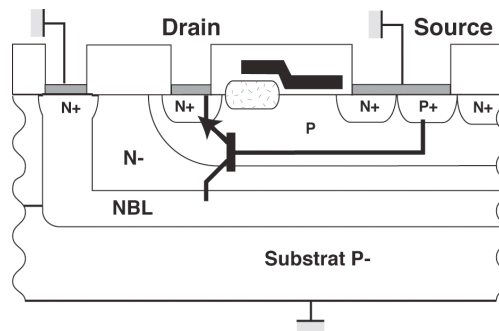


Figure 23 \square LDMOS isolé (ILD MOS)

Une telle structure réduit considérablement le courant parasite dans le substrat. Cependant, la tenue en tension et celle en énergie de ce composant modifié sont relativement faibles. Ces transistors sont utilisés dans les applications basses tensions jusqu'à 40V.

Il existe également d'autres structures de transistor répondant à cette même performance dans les brevets industriels [\[LUD01\]](#) [\[PEN01\]](#) [\[PEN02\]](#).

D'autres architectures de composants ont été également développées telle une structure de transistor de puissance associée à une diode Schottky [\[WIL98\]](#) [\[MEN00\]](#).

Ce type de composant présente l'avantage d'être actif aux moindres perturbations du potentiel négatif afin de garantir l'atténuation du courant parasite dans le substrat. Cependant, en raison de la faible tenue en tension de cette diode, il peut être utilisé seulement dans les applications basses tensions.

En résumé, une telle modification d'architecture de composant pénalise sa tenue en tension. D'où une protection indépendante de la structure du transistor de puissance s'avère nécessaire.

IV.1.b. Protections passives : anneaux de garde

La technique la plus classique qui a été proposée pour réduire la collection du courant parasite dans les parties sensibles est celle des anneaux de garde [\[DEC96\]](#). L'idée consiste à insérer une zone intermédiaire entre les blocs, typiquement un caisson N, comme collecteur préférentiel de ce courant (Figure 24).

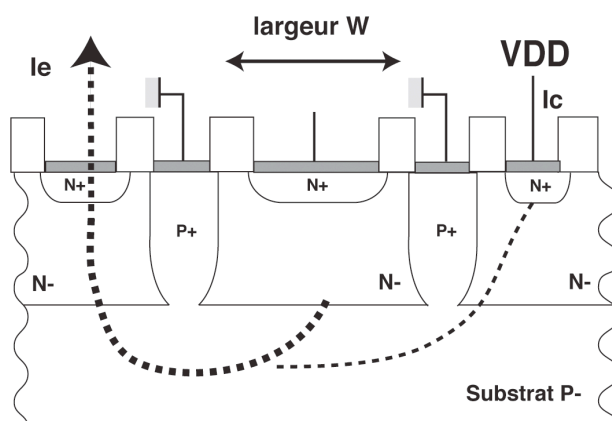


Figure 24 \square Coupe schématique de l'anneau de garde

L'efficacité de cette protection simple à réaliser dépend de la polarisation qu'on peut appliquer à ce caisson N ainsi que de sa largeur W [\[GON01-B\]](#). En d'autres termes, elle dépend de la valeur du courant collecté I_C au bloc à protéger par rapport au courant injecté I_E (Figure 25).

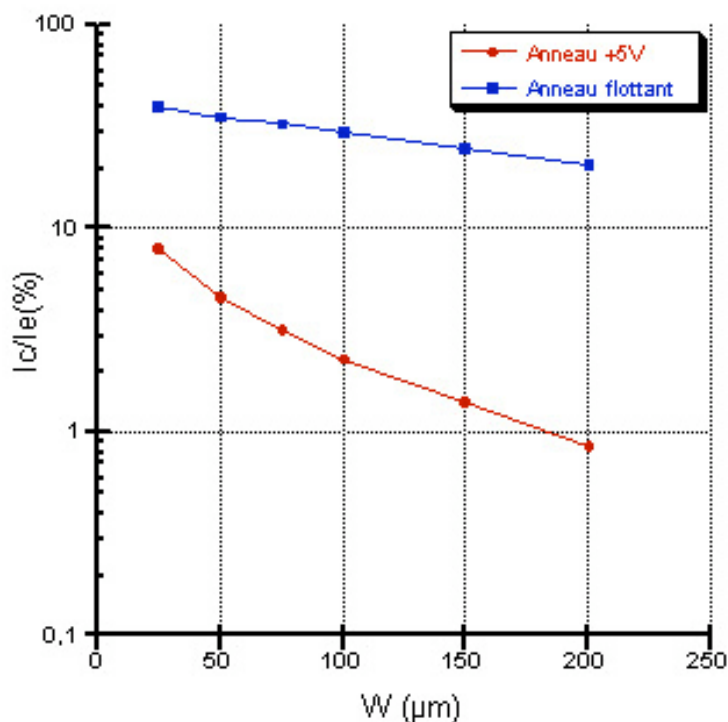


Figure 25 \square Rapport I_c/I_e en fonction de W et de la polarisation de l'anneau de garde

Il en résulte qu'une polarisation positive d'un caisson N de grande largeur décroît le courant parasite au niveau du bloc sensible. Comme nous pouvons le constater, une bonne efficacité de cette technique de protection nécessite l'utilisation d'une largeur conséquente de l'anneau de garde. Contrairement aux impératifs de la réduction des dimensions de la micro-électronique, cette protection s'avère peu utilisable dans un substrat P. Des techniques plus efficaces, les protections actives ont été donc développées.

IV.1.c. Protections actives : barrière active

Une des protections actives les plus connues porte le nom de barrière active (Figure 26) [[WDR91](#)]. Nous pouvons trouver cette structure dans les brevets industriels [[CAN96](#)] [[SKE99](#)]. Son principe consiste à moduler le potentiel négatif dans le substrat de manière à créer un champ électrique qui sert de barrière au flux des porteurs minoritaires [[GON01-A](#)]. Son originalité repose sur son auto-amorçage, fonction de l'injection du courant parasite. De plus, cette protection ne nécessite aucune alimentation extérieure.

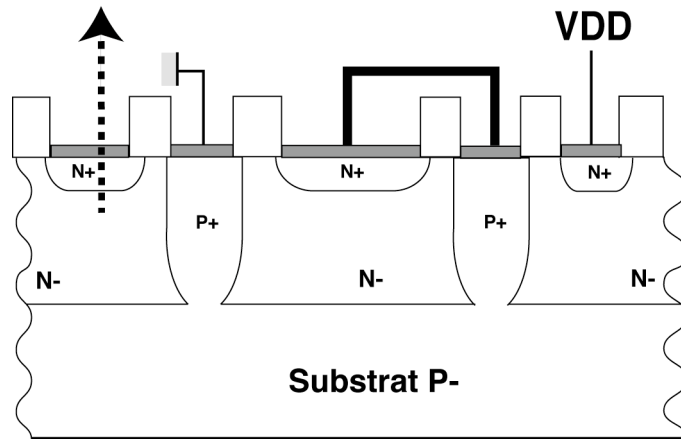


Figure 26 coupe schématique de barrière active

Contrairement à l'anneau de garde, la structure de barrière active est basée sur un court-circuit entre le caisson N⁻ intermédiaire et la diffusion P⁺ proche du bloc à protéger (Figure 26). L'autre diffusion P⁺ proche de l'émetteur est maintenue à la masse. Une telle configuration permet la création d'un potentiel négatif au niveau de la diffusion P⁺ (à droite) qui est flottante. En effet, l'anneau central permet de collecter les porteurs minoritaires, c'est-à-dire les électrons puis d'abaisser son potentiel et enfin de polariser négativement la diffusion P⁺ flottante de droite grâce au court-circuit par l'intermédiaire des connexions métalliques (Figure 27). Ainsi, il en résulte une différence de potentiel entre les deux diffusions P⁺. Cela induit un champ électrique opposé au mécanisme de diffusion des porteurs minoritaires et donc une diminution du courant collecté au niveau des parties à protéger (Figure 28).

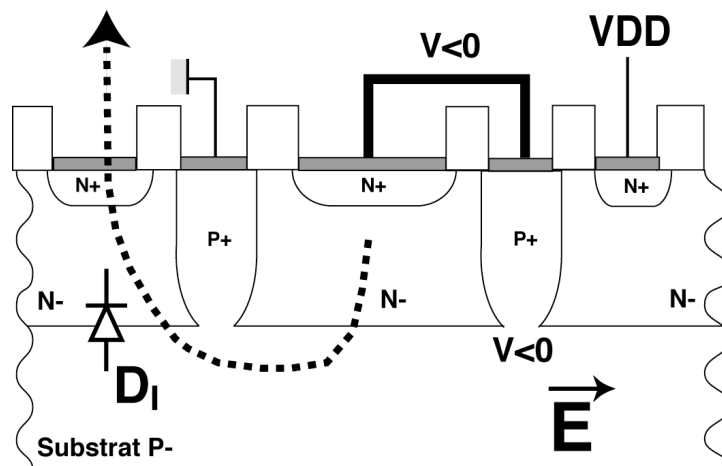


Figure 27 Principe de fonctionnement de la barrière active

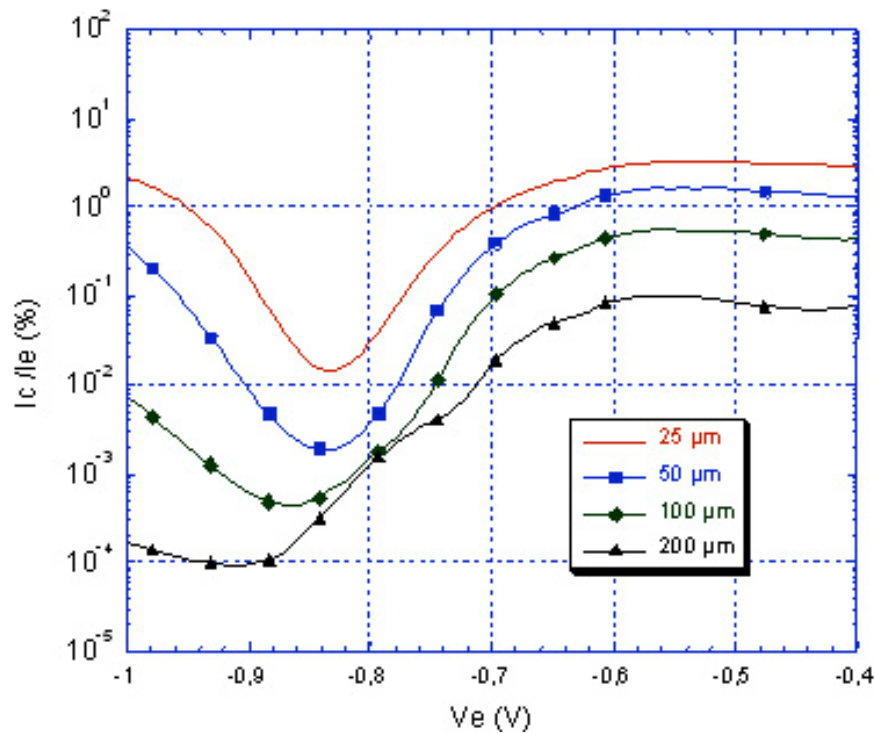


Figure 28 rapport de courant collecté I_c / courant émis I_e (en fonction de V_e et de la largeur du caisson W)

L'efficacité de cette protection est remarquable mais nécessite un potentiel sur le drain suffisant pour se déclencher ($\approx 0,6V$) (Figure 28). De plus, un anneau central de grande largeur (plusieurs centaines de micromètres) permet une plus grande différence de potentiel et donc une bonne répulsion des charges négatives arrivant vers les zones sensibles.

Cependant, une bonne utilisation de cette protection nécessite une bonne connaissance des contacts P^+ à la masse autour des blocs sensibles afin de garantir cette barrière de champ électrique. Son utilisation s'avère difficile à appliquer dans un environnement complexe (Figure 29). En effet, d'autres contacts P^+ à la masse peuvent être réalisés dans les circuits intégrés mixtes, analogiques, logiques ou d'entrées-sorties autour des composants de puissance.

Ces contacts P^+ à la masse, probablement très nombreux dans un environnement complexe, forment une distribution équipotentielle du substrat, avec la mise en parallèle d'un réseau de résistances de substrat, à la masse. Par conséquent, la barrière de champ électrique dans le substrat n'est plus assurée. Ainsi les performances de la structure de barrière active sont dégradées fortement. Ici, nous pouvons parler des limites d'utilisation de cette protection dans des applications complexes. En effet, aucun brevet industriel confirme ce problème.

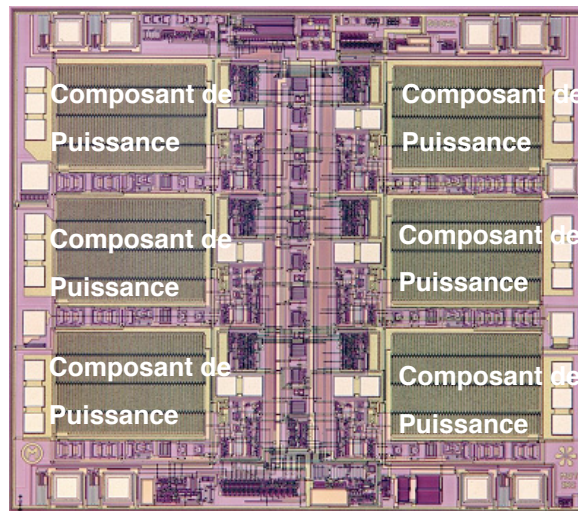


Figure 29 Présentation de circuits intégrés de la technologie "Smart Power"

Pour pallier ce problème, d'autres structures de protection sous forme de circuits ont été développées.

IV.1.d. Protections actives : circuits de protection

Les structures de protection, présentées précédemment, ont l'avantage d'être utilisées indépendamment des structures de puissance. Cependant, elles nécessitent de la place conséquente de silicium et surtout de la bonne connaissance de l'environnement des circuits intégrés à travers les contacts du puits P⁺ à la masse pour assurer son efficacité.

Donc, des circuits de protections ont été développés pour réduire ces inconvénients. Ils sont maintenant liés aux structures de composants de puissance. En d'autres termes, un circuit de protection doit réduire la perturbation dans le substrat et surtout assurer le bon fonctionnement des composants de puissance.

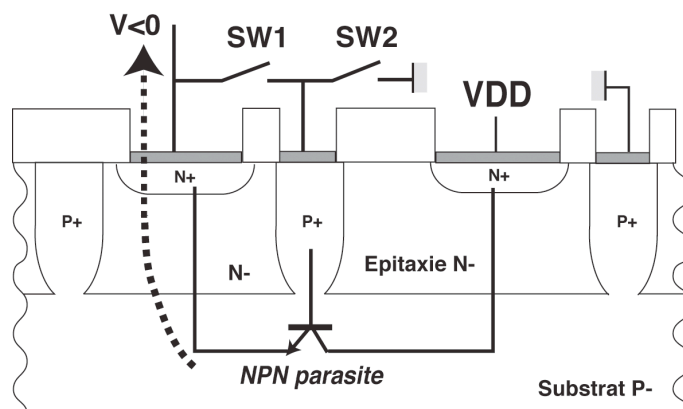


Figure 30 Présentation du circuit de protection

La Figure 30 présente le circuit de protection, constitué de deux structures SW1 et SW2. La première structure SW1 est connectée entre la zone perturbatrice et le puits P⁺ au substrat. La dernière structure SW2 est reliée entre le puits P⁺ et la masse.

Ce circuit de protection a pour rôle de détecter le potentiel négatif au niveau de la zone émettrice du courant parasite. Dès l'impact de ce potentiel négatif, il agit sur la structure SW1 permettant de délivrer le potentiel négatif au substrat à travers le puits P⁺. En conséquence, la conduction du transistor bipolaire parasite NPN dans le substrat est évitée.

En l'absence de cet événement de sous-tensions, le circuit de protection agit maintenant sur la structure SW2 de manière à polariser le substrat à la masse. L'isolation entre la zone émettrice et les autres circuits est ainsi obtenue. Ses performances contre le courant parasite sont remarquables surtout avec une petite surface occupée.

Nous pouvons retrouver ce type de circuit de protection dans de nombreux brevets industriels [\[BER89\]](#) [\[BER91\]](#) [\[PEP96-A\]](#) [\[PEP96-B\]](#) [\[WIL95\]](#) [\[PAL97\]](#) [\[MEN98\]](#) [\[RAV00\]](#).

Les structures SW1 et SW2 peuvent être réalisées à partir des diodes ou des transistors bipolaires [\[BER89\]](#) [\[BER91\]](#) [\[PEP96-A\]](#) [\[PEP96-B\]](#). Également, nous pouvons les remplacer par des transistors MOS. [\[WIL95\]](#) [\[PAL97\]](#) [\[MEN98\]](#) [\[RAV00\]](#).

Comme nous l'avons précisé en début de cette partie, cette protection doit assurer le bon fonctionnement de la zone perturbatrice, c'est-à-dire les composants de puissance lors du pilotage des moteurs électriques. Comme elle est liée à la structure de puissance, elle doit aussi répondre à la spécification de tenue en tension, de tenue en énergie, de robustesse contre les décharges électrostatiques...De plus, il ne doit pas perturber d'autres circuits de protection destinés à protéger les transistors de puissance lors de la dissipation d'énergie.

En effet, peu de brevets industriels citent ces contraintes d'intégration et proposent des solutions pour les réduire.

Ce type de protection efficace contre le courant de substrat est utilisé dans notre étude. Nous le présenterons et validerons par des résultats expérimentaux dans le chapitre 3. Également, nous dévoilerons des solutions pour résoudre ces contraintes d'intégration.

V. Conclusion

La technologie "Smart Power" offre de nombreuses possibilités d'intégration des circuits sur une même puce. En d'autres termes, elle héberge des composants de haute tension et ceux de basses tensions. Une isolation électrique s'impose entre ces deux parties. Le choix de

l'isolation dépend des critères de performances des composants de puissance dans les applications. Une isolation SOI complète ne peut pas être utilisée pour les transistors de puissance verticaux (VDMOS). Également, un substrat P⁻ à la place du substrat N⁺ est nécessaire pour réaliser des transistors de puissance latéraux LDMOS RESURF.

Parmi les techniques d'isolation, seule l'isolation par jonction est très utilisée dans les applications en raison de son faible coût de réalisation technologique ainsi que sa flexibilité en terme de fonctionnalités. Cette isolation est basée sur des jonctions PN polarisées en inverse. Elle est utilisée dans notre étude puisqu'elle est adoptée par de nombreuses sociétés de semi-conducteurs.

Le problème de l'isolation par jonction est étudié au travers du montage du pont en H pour le pilotage des moteurs électriques. En fonctionnement normal, un évènement de sur-tensions ou de sous-tensions provoque la mise en direct des structures d'isolation de jonction PN normalement polarisées en inverse. En conséquence, un courant parasite se propage dans le substrat dans toute la puce en raison de son mécanisme de diffusion. Des éléments parasites types bipolaires, responsables de cette injection de courant, ont été identifiés selon le type de porteurs injectés dans le substrat.

Un transistor bipolaire parasite vertical PNP induit un courant de porteurs majoritaires, c'est-à-dire des trous dans un substrat P⁻. Ce courant est facilement contrôlable par la mise en place des collecteurs préférentiels à l'aide des diffusions P⁺ à la masse et d'une couche enterrée N⁺. Cette technique simple garantit la protection des blocs sensibles. En effet, la zone émettrice et la zone de base de cette injection sont connues. Elles sont souvent situées au niveau du composant de puissance.

Un transistor bipolaire parasite latéral NPN dont le substrat, la base, est activé lors de l'injection des porteurs minoritaires. Compte tenu de la faible recombinaison dans un substrat peu dopé, ce type de courant de diffusion peut atteindre les circuits à plusieurs micromètres de la zone émettrice. C'est la raison pour laquelle les fonctionnalités des circuits intégrés de différentes natures (logiques, analogiques, puissance) sont perturbées. Ce courant parasite est en effet difficile à drainer du fait du grand nombre de zones collectrices disponibles en surface, les caissons N. Il s'ensuit que le substrat est devenu la base de l'injection de ces porteurs. Ce problème entre dans le cadre de notre travail.

Pour garantir un fonctionnement correct des circuits intégrés de puissance, il est nécessaire de développer des structures de protections contre ce courant de porteurs minoritaires. Une

étude a démontré l'efficacité du transistor de puissance isolé ILDMOS malgré sa faible tenue en tension. Pour un transistor de puissance de haute tension, une autre structure de protection à base d'anneaux de garde a été proposée. Cette dernière donne de faibles performances en terme de réduction du courant parasite et reste coûteuse en terme de surface occupée dans le silicium. En conséquence, des protections actives telles que la structure de barrière active ont été développées. Son principe consiste à imposer un potentiel négatif près des zones sensibles de manière à drainer le courant parasite vers un contact dédié. Des études ont confirmé son efficacité dans certaines applications. Cependant, ses performances dépendent fortement du placement/routage des circuits intégrés et plus particulièrement du nombre et du placement des contacts de substrat à la masse. Ces structures présentent l'avantage d'être indépendantes de la structure de puissance. Pour pallier ces inconvénients, un circuit de protections actives lié à la structure de puissance est proposé. Ses performances sont remarquables contre le courant de substrat avec une petite surface dédiée. Cependant, elles ne peuvent être confirmées que lorsque les contraintes d'intégration sont résolues. Toutes ces structures de protection présentées précédemment sont illustrées à travers des brevets industriels.

L'idée de localiser un potentiel négatif dans le substrat pour créer une barrière de potentiel aux flux de porteurs minoritaires a été reprise dans notre travail pour développer une nouvelle génération de structures de protections actives, basée sur le concept de circuit de protection actives, plus faciles à intégrer dans un circuit intégré de puissance complexe. Nous veillerons à résoudre les contraintes d'intégration.

A l'heure actuelle, les structures de protections publiées précédemment ne permettent pas de répondre aux exigences de la microélectronique avec l'arrivée de nouvelles filières technologiques en raison de leur surface occupée dans la puce ainsi que des nouvelles contraintes d'intégration. En effet, il est difficile de développer des structures de protection de plus en plus petites sans pénaliser ses performances. Or du fait de l'accroissement de la fiabilité des filières technologiques de circuits intégrés et de l'émergence de nouvelles applications, de nouvelles spécifications de robustesse de plus en plus sévères apparaissent.

Pour répondre à ces nouvelles exigences, une méthodologie de conception de structures de protections basée sur des simulations prédictives est indispensable à mettre en œuvre pour tenir compte de ces nouveaux paramètres. En effet, très peu d'études proposent des méthodes de conception sur ce problème de courant de substrat [\[SCH03\]](#).

Chapitre 2

Methodologie de conception

L'évolution croissante de nouvelles filières technologiques a permis la réalisation de composants de plus en plus petits. Cette miniaturisation des dispositifs électroniques fait apparaître des couplages parasites dans le substrat. Ce phénomène se traduit par une injection conséquente de courant dans le substrat. Pour pallier ce problème, des solutions de protection ont été développées. Cependant, avec la réduction des dimensions, elles ne peuvent plus être utilisées en raison de leur surface occupée. De nouvelles structures de protection mieux optimisées en surface doivent être étudiées pour répondre aux exigences d'intégration des nouvelles technologies.

Cela nécessite de mettre en œuvre une méthodologie de conception pour développer ces nouvelles structures de protection avec un souci de "portabilité" d'une filière technologique à une autre. Les concepteurs sont donc amenés à introduire les paramètres technologiques dans les outils de conception pour valider l'efficacité des structures de protection.

Nous débuterons ce chapitre par une présentation de la méthodologie de conception adoptée pendant cette étude. Nous mettrons l'accent sur les outils de conception, en particulier la simulation physique, nécessaires pour mettre en place cette méthodologie. Nous présenterons les modèles physiques utilisés en fonction de la technologie. Nous définirons les limites de validité des propriétés physiques ainsi que les limites d'utilisation des outils dans un environnement complexe. Enfin, nous présenterons des exemples d'application de cette méthodologie.

I. Présentation de la méthodologie de conception

La méthodologie de conception adoptée a été choisie après étude bibliographique des solutions de protection, principalement des brevets industriels, et en fonction des outils de conception disponibles à l'heure actuelle [\[BER89\]](#) [\[BER91\]](#) [\[PEP96-A\]](#) [\[PEP96-B\]](#) [\[WIL95\]](#) [\[PAL97\]](#) [\[MEN98\]](#) [\[RAV00\]](#) [\[SCH03\]](#) [\[SRM03\]](#) [\[SUB01\]](#). La Figure 31 illustre cette méthodologie de conception.

Le courant de substrat maximal donné dans les spécifications doit être connu pour permettre de développer des structures de protection appropriées (Figure 31-a, étape 1). La conception de ces protections peut être effectuée par des outils de simulation physique ou de simulation électrique à partir d'une bibliothèque de composants.

L'efficacité de ces protections dépend du placement des zones perturbatrices et victimes à protéger dans l'environnement du circuit intégré. Ces zones doivent être identifiées par leur dimension, leur positionnement ainsi que la distance qui les sépare (Etape 2). Ainsi, l'intégration des structures de protections dans la puce sera optimisée.

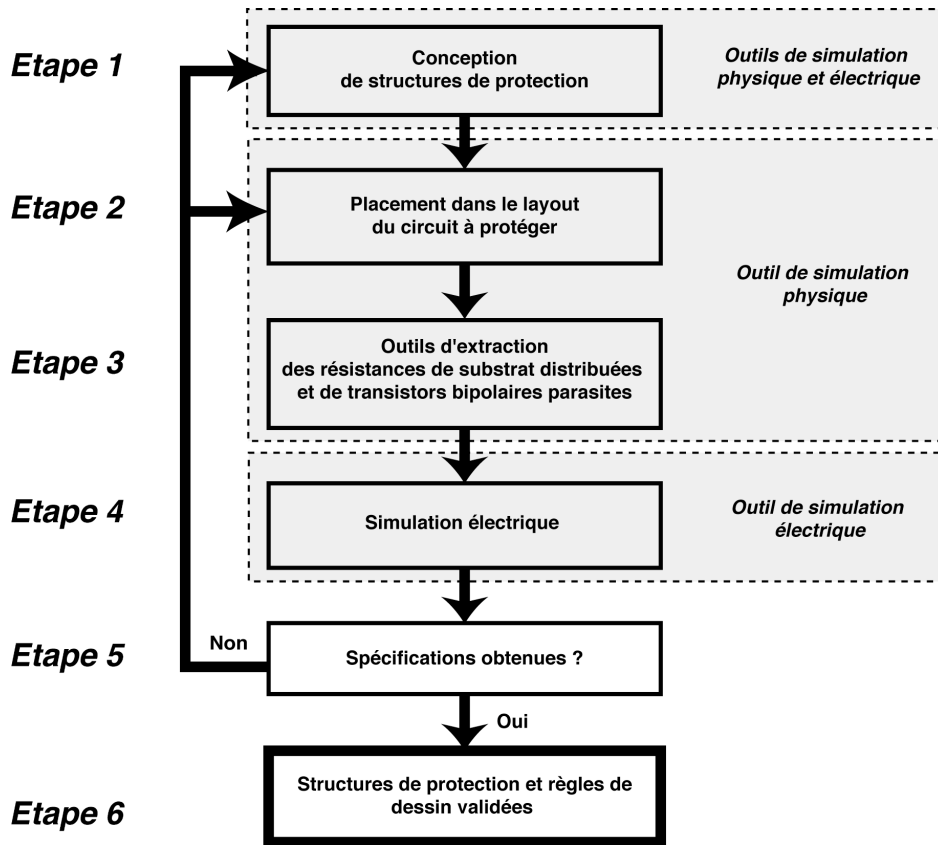


Figure 31-a ☐ Flux de conception

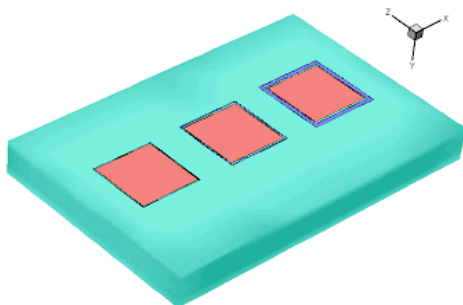


Figure 31-b ☐ Exemple de simulation physique 3D

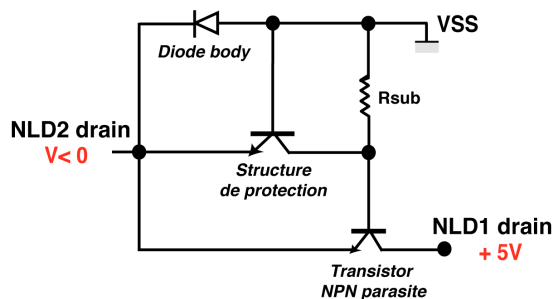


Figure 31-c ☐ Présentation du circuit électrique

Figure 31 ☐ Présentation de méthodologie de conception

Grâce à la connaissance du positionnement de ces zones, nous pouvons utiliser les outils de simulation pour extraire les composants parasites, responsables des couplages parasites dans le substrat. Ces éléments parasites sont au nombre de deux : les résistances de substrat distribuées dans la puce et les transistors bipolaires NPN parasites (Figure 31-b, étape 3). L'extraction de ces résistances de substrat se fait par rapport aux contacts au substrat répartis dans la puce. Les transistors bipolaires NPN parasites dans le substrat, dont l'émetteur est la zone perturbatrice, la base le substrat et le collecteur la zone la plus proche à protéger, peuvent être extraits au moyen des outils de simulation physique 3D.

Ces composants parasites sont ensuite introduits dans le schéma équivalent de la structure de protection. Ainsi, nous pourrions connaître, par des outils de simulation électrique usuels de type SPICE la valeur du courant collecté dans la zone à protéger (Figure 31-c, étape 4).

Si cette valeur de courant collecté obtenu est inférieure au courant maximal autorisé par les spécifications de conception (étape 5), l'efficacité des structures de protection développées est donc validée et donc la fiabilité et la robustesse du circuit intégré considéré (étape 6).

Dans le cas contraire, nous sommes amenés à modifier, voire changer, la structure de protection et/ou la position des zones émettrices et/ou collectrices. Autant d'itérations seront appliquées avec de nouvelles simulations jusqu'à ce que le courant collecté obtenu soit inférieur au courant maximal spécifié.

Pour répondre aux exigences de la micro-électronique, nous pouvons optimiser soit la structure de protection soit la position des zones perturbatrices et collectrices (étape 1 ou 2). Cette démarche permet d'obtenir un compromis sur la dimension totale du circuit intégré avec les structures de protection.

La validation des structures de protection par simulation électrique de circuits nécessite seulement la connaissance de deux paramètres, la résistance de substrat et le transistor bipolaire NPN parasite par des méthodes d'extraction.

II. Présentation de la méthodologie de caractérisation du courant de substrat

Le problème du courant de substrat dans les circuits intégrés de puissance se situe généralement au niveau des composants de puissance en raison de leur fort niveau de courant à quelques ampères par rapport aux circuits logiques ou analogiques travaillant à des milli-ampères. Il s'ensuit que l'étude de l'impact de ce courant de substrat sur les circuits à protéger doit être effectuée au niveau de ces circuits de puissance en raison de leur taille importante.

En effet, ces dimensions géométriques rendent ces dispositifs soit comme zone très perturbatrice de courant de substrat soit comme zone très sensible. A titre d'exemple, un transistor de puissance de taille conséquente peut se constituer comme zone émettrice de l'injection de ce courant et un transistor voisin comme zone à protéger.

Ainsi l'impact de ce courant sur ce dispositif à protéger, sensible en raison de sa taille, sera mieux étudié. De plus, selon le niveau de courant obtenu à cet endroit, les techniques de protection développées pourront être validées par son efficacité à réduire ce courant. Egalement, le niveau de ce courant dépend de la technologie de substrat utilisé.

II.1. Présentation de la technologie de substrat

La technologie de substrat employée repose sur l'utilisation d'une couche épitaxiale P⁻ de concentration $2.10^{+15} \text{ cm}^{-3}$, d'épaisseur $3\mu\text{m}$ sur un substrat P⁻ de forte résistivité comprise entre 14 et 22 $\square .\text{cm}$ (Figure 32). Elle héberge des composants de puissance latéraux DMOS (NLDMOS) constitués de deux contacts de drain court-circuités dont le premier en surface et le second au travers du puits N⁺ et de la couche enterrée N⁺. Cette configuration permet d'obtenir la technique de double RESURF, donc une tension de claquage élevée pour une même surface [PAR00].

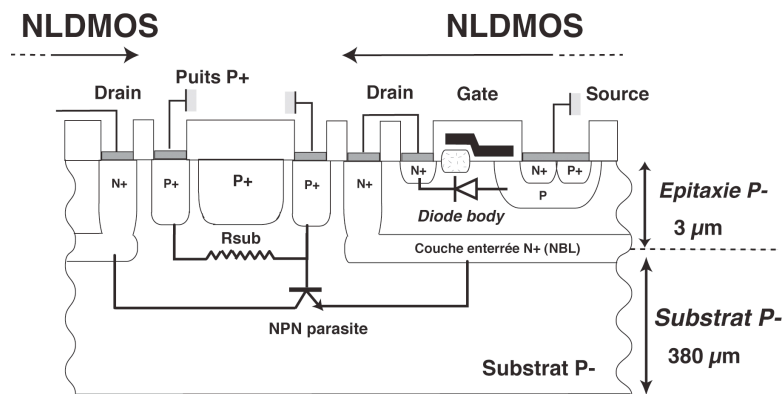


Figure 32 : Coupe technologique du circuit intégré de puissance

Ce résultat ne peut être obtenu que grâce à l'introduction d'une épitaxie de type P⁻ au lieu du type N⁻ sur un substrat P⁻. Le drain de ce transistor LDMOS de puissance peut se comporter comme zone émettrice de l'injection des porteurs minoritaires lors d'une commutation sur charge inductive ou comme victime, zone à protéger. La jonction épitaxie P⁻/drain forme une diode de roue libre intrinsèque au transistor LDMOS (diode body).

Les contacts au substrat, c'est-à-dire les puits P^+ réalisées par implantation ionique à travers l'épitaxie, polarisent le substrat à la masse. Une couche supplémentaire de forte concentration P^+ en surface entre deux caissons N^+ permet d'éviter le transistor MOS parasite. L'évolution du courant parasite est caractérisée par le fonctionnement du transistor bipolaire NPN latéral parasite dans le substrat indiqué sur la Figure 32 ainsi que par la résistance de substrat (R_{sub}).

II.2. Véhicule de test

II.2.a. Présentation

Un véhicule de test spécifique est proposé pour l'évaluation de ce courant avec des transistors NLDMOS de puissance identiques de surface $A \times B \mu m^2$ séparés les uns des autres d'une distance que l'on peut ajuster (E ou F) (Figure 33). La perturbation du courant de substrat aux zones sensibles fonction de la distance peut être étudiée. Ces transistors de puissance sont entourés de puits P^+ , servant de contact au substrat, de largeur choisie (L, M, N). Cette disposition du puits P^+ autour des composants de puissance est choisie pour évaluer la contribution de la résistance de substrat sur l'amorçage du transistor bipolaire parasite. De plus, la polarisation appliquée à ces contacts, généralement à la masse, peut modifier la distribution équipotentielle du substrat donc l'activation de ce dispositif parasite. L'impact de la largeur de ces contacts, donc de la résistance de contact au substrat, sur cette distribution équipotentielle est également étudiée.

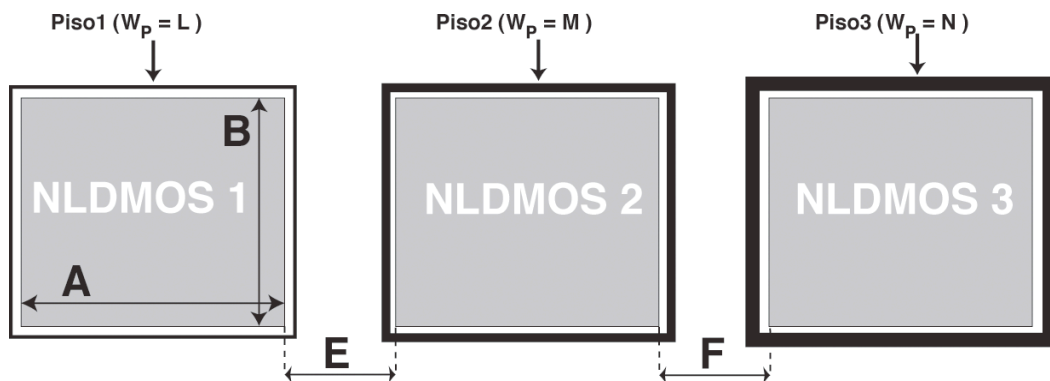


Figure 33 : Motifs de test

Sur le véhicule de test choisi on dispose de trois transistors LDMOS de puissance (NLDMOS) qui sont testés deux par deux, l'un constituant l'injecteur de porteurs minoritaires,

l'autre le collecteur de ces porteurs. L'évaluation du transistor bipolaire parasite dans le substrat repose sur la nature de la perturbation en mode statique et dynamique appliquée à l'un des transistors de puissance.

II.2.b. Caractérisation électrique

La Figure 34 illustre la polarisation appliquée aux structures de test en mode statique pour la mesure expérimentale. Des moyens de caractérisation, disponibles au sein du laboratoire, permettent de réaliser un courant négatif (jusqu'à -1A) ou un potentiel négatif (jusqu'à -3V) en mode statique à travers le contact de drain du transistor de puissance utilisé comme zone émettrice de l'injection des porteurs minoritaires. Le contact de source est relié à la masse ainsi que les contacts au substrat ou les puits P⁺ (Piso1 et Piso 2). Le courant de substrat est mesuré sur le drain du transistor de puissance voisin, polarisé à +5V. Comme l'illustre la Figure 32, cette configuration permet de caractériser le transistor bipolaire parasite.

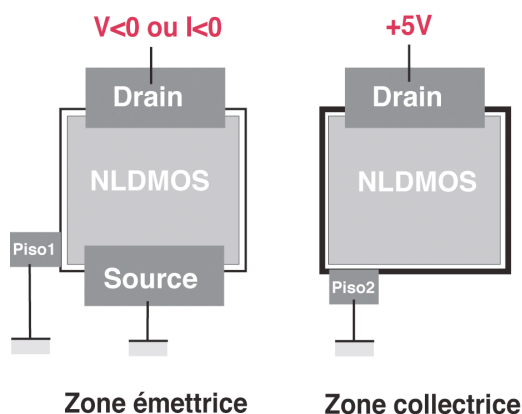


Figure 34 : Polarisation des circuits intégrés pour l'évaluation du courant de substrat

En mode dynamique, nous avons développé un banc de test spécifique pour éviter la destruction des structures de test pendant l'impulsion de courant négatif (Figure 35). En effet, un courant négatif de grande largeur d'impulsion et de fort niveau peut conduire à la défaillance du transistor de puissance par le biais de la diode de roue libre. Donc, un générateur d'impulsions de courant courtes et réglables doit être utilisé. Le principe de fonctionnement est le suivant :

Un générateur d'impulsions de tension réglables en durée, placé en amont, permet de commander un transistor de puissance implanté dans une carte de test. Ce dispositif fournit des impulsions de courant à l'aide de l'alimentation stabilisée et la résistance série RES

connectées aux structures de test. Le générateur de tension envoie des signaux à travers le câble BNC à l'opto-coupleur pour la commande de l'ouverture ou de la fermeture de ce transistor. Ce banc de test permet de protéger le générateur d'impulsions en amont en évitant la surcharge en courant négatif à travers la masse.

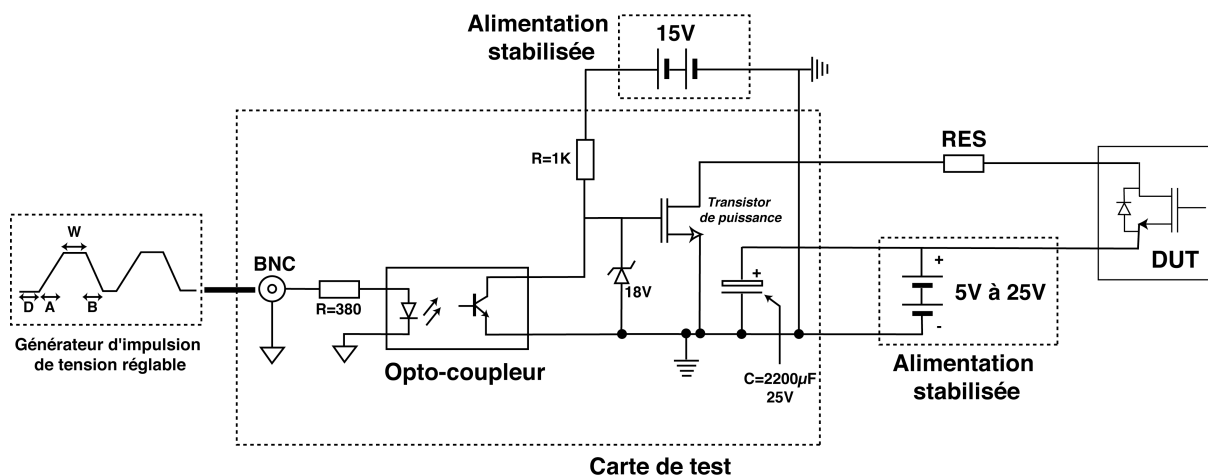


Figure 35 : Générateur d'impulsion de courant négatif

Une étuve thermique, fonctionnant à flux d'air chaud, est également utilisée pour faire l'ensemble de ces mesures en température.

III. Outils d'extraction

Cette partie est consacrée aux outils de conception autres que les outils de simulation électrique de circuits. Ces outils sont nécessaires pour extraire les composants parasites dans le substrat.

III.1. Caractéristiques du phénomène d'injection de courant de substrat

L'injection du courant de substrat, en particulier le courant de porteurs minoritaires, est un courant de diffusion. Ce mécanisme se traduit par une diffusion de porteurs à travers tout le substrat. Ce courant peut circuler à quelques millimètres de la zone émettrice si aucune protection n'est utilisée. De plus, c'est un courant de grande amplitude, des valeurs allant de quelques centaines de milliampères jusqu'à des dizaines d'ampères [GON01-B] [MUR96-A].

Cette caractéristique de courant de substrat nécessite des moyens de simulation capables de calculer les équations de diffusion des porteurs dans le substrat en tenant compte du phénomène de recombinaison et de la modulation de conductivité du substrat en mode de forte injection des porteurs. Ces éléments sont nécessaires pour déterminer la distribution équipotentielle dans le substrat.

III.2. Outils disponibles

Dans cette partie, nous présentons les outils d'extraction disponibles sur le marché. Deux outils de simulation, auxquels la bibliographie fait référence [\[SRM03\]](#) [\[SUB01\]](#), sont analysés ici : "SubstrateStorm" et "ISE".

III.2.a. Outil de simulation : "SubstrateStorm"

L'outil "SubstrateStorm" [\[SRM03\]](#) est proposé pour extraire les résistances et capacités du substrat de l'environnement des circuits intégrés particulièrement pour l'étude du bruit généré par les circuits travaillant à haute fréquence RF. Cet outil permet d'extraire ces paramètres à partir d'une vue du layout du circuit (Figure 36). Il présente l'avantage d'être compatible avec l'outil de conception de circuits "Cadence". En d'autres termes, les concepteurs ont la possibilité d'extraire, outre les paramètres de substrat, les résistances et les capacités des interconnexions et des composants de la bibliothèque (Figure 37). Par conséquent, l'analyse du couplage du courant parasite à l'aide d'une simulation électrique à partir du layout est possible. Nous pouvons noter ici l'innovation de cet outil à fournir un réseau de résistances et capacités parasites pour permettre une analyse approfondie des couplages de courant parasite et ensuite proposer des solutions pour y remédier.

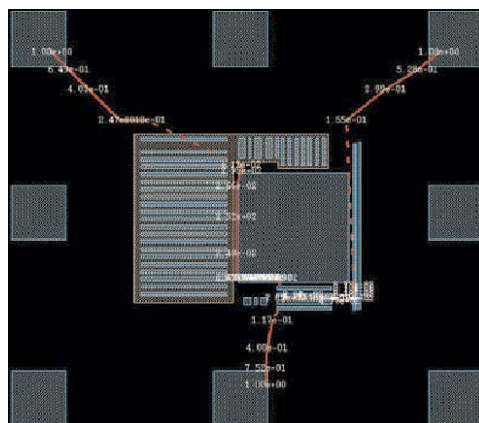


Figure 36 \square Vue du layout d'un circuit intégré

La Figure 36 présente la vue d'un layout de circuit intégré avec en périphérie des plots de connexion au nombre de 8. Ce circuit a fait l'objet d'une étude de bruit RF provenant d'une perturbation extérieure à travers ces plots et le substrat du circuit intégré.

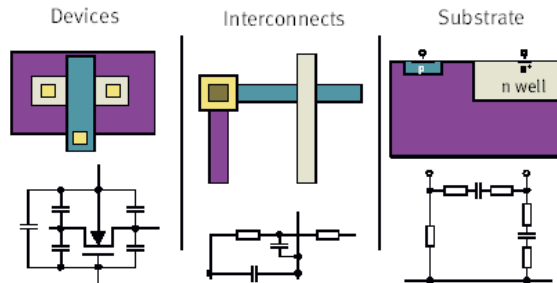


Figure 37 \square Extraction de paramètres de plusieurs niveaux

Une analyse de ce bruit est ensuite effectuée par des simulations électriques à l'aide d'un circuit équivalent comportant des résistances et capacités parasites extraits à plusieurs niveaux: du substrat aux métaux d'interconnexion ainsi que les composants actifs (Figure 37). Enfin, les résultats obtenus fournissent une cartographie de l'impact du courant parasite à travers le substrat sur une vue de layout (Figure 38).

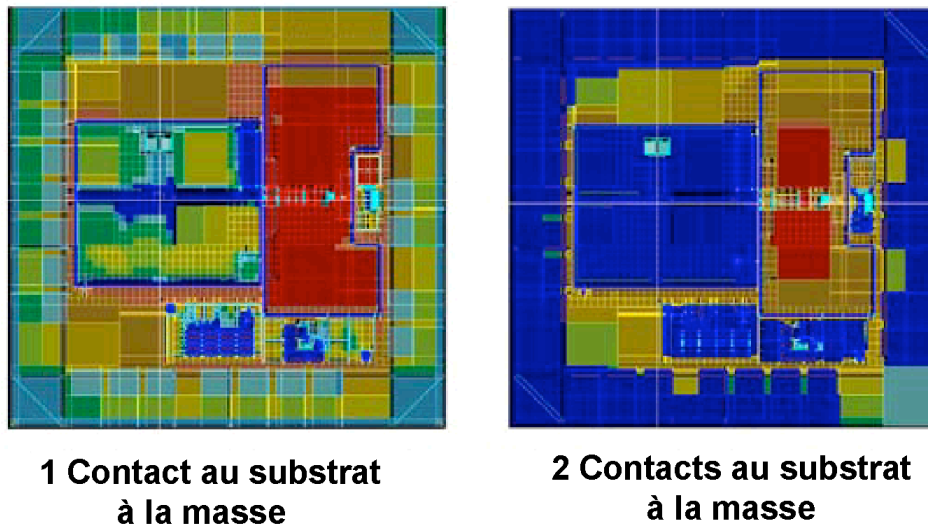


Figure 38 \square Résultat de simulation "SubstrateStorm"

La Figure 38 présente l'impact du nombre de contacts au substrat à la masse sur le courant parasite à travers le substrat sur une vue de layout [BLA02]. Ce résultat illustre le niveau de la perturbation en dB en fonction de la fréquence étudiée sur les circuits. Nous pouvons constater le changement de niveau de perturbation à travers la puce, dans laquelle la zone

rouge représente la zone très perturbée et la zone bleue la zone peu perturbée, lors du passage d'un contact à deux contacts au substrat à la masse.

Cet outil pourrait être utile dans notre étude pour extraire des résistances de substrat entre plusieurs contacts de substrat. Nous pouvons également extraire les capacités de jonction PN des différents composants étudiés pour l'analyse transitoire. Cependant, cet outil ne permet pas d'extraire des transistors bipolaires NPN parasites dans le substrat.

En effet, ces paramètres de substrat sont calculés à partir de l'équation de Poisson. Les équations de transport de porteurs ainsi que les équations de continuité ne sont pas utilisées afin de réduire le temps de calcul. Donc, l'effet de la modulation de conductivité du substrat en fonction de l'injection des porteurs minoritaires n'est pas étudié. Les modèles électrothermiques sont inexistantes.

Une première étude sur cet outil a été réalisée sur deux composants de puissance de grande surface égale à $500 \times 500 \mu\text{m}^2$ distants de $100 \mu\text{m}$. Ces composants sont entourés de contacts au substrat connectés à la masse. L'extraction de la résistance de substrat entre ces deux contacts n'a pas été réalisée avec succès en raison des erreurs de calcul. En effet, cet outil évalue ce paramètre en effectuant de manière automatique une simulation physique bidimensionnelle de substrat de qualité de maillage grossière. Cette mauvaise qualité de maillage fournit des résultats éloignés de la mesure expérimentale (erreur estimée à 300%). De plus, l'utilisation de cet outil s'avère complexe en raison du nombre croissant des couches technologiques ainsi que des niveaux métalliques. Les résultats de cet outil peuvent être validés pour des surfaces de circuits intégrés inférieures à $200 \times 200 \mu\text{m}^2$. Donc, cet outil ne peut pas être utilisé dans les applications de circuits intégrés de puissance de grande surface. C'est pourquoi cet outil est adapté aux applications de circuits intégrés RF, généralement de petites dimensions. Un certain nombre de ces inconvénients a été constaté et a fait que cette technique d'extraction n'est pas utilisée dans les circuits intégrés de puissance.

III.2.b. Outil de simulation physique : ISE

Il existe de nombreux outils de simulation physique sur le marché [\[ISE99\]](#) [\[SIL99\]](#) [\[SYN03\]](#). Cependant l'un d'eux a bénéficié de travaux de recherche avancés pour en améliorer son application au cas des courants de substrat. En effet, un programme de recherche technologique européen ESPRIT sur les effets du courant de substrat dans les circuits intégrés "Smart Power" (SUBSAFE-ESPRIT) [\[SUB01\]](#) a été effectué par les équipes de recherche de Zurich (ETH, Suisse), par des ingénieurs des outils de simulation physique

ISE-TCAD (Integrated Systems Engineering-Technology Computer-Aided Design, Suisse) et par l'industriel allemand Bosch. Ces équipes ont présenté depuis 1999 de très bons résultats sur la simulation physique 3D appliquée au courant de substrat dans de nombreux articles bibliographiques [\[SCH00\]](#) [\[SCH01-A\]](#) [\[SCH01-B\]](#) [\[SCH03\]](#) [\[SUB01\]](#).

L'outil de simulation physique utilisé [\[ISE99\]](#) permet de calculer l'ensemble des équations physiques de semiconducteurs en allant de l'équation de Poisson, des équations de transport de charges aux équations de continuité de porteurs. De plus, il tient compte des effets thermiques. A l'aide de ces équations, nous pouvons appliquer des techniques d'extraction de paramètres de substrat ainsi que des transistors bipolaires NPN parasites en fonction de la température. Cet outil répond aux besoins de notre étude. A la différence de l'outil précédent, l'utilisation de cet outil de simulation physique nécessite un gros effort sur la définition de la structure physique du substrat où sont intégrés des circuits avec une bonne qualité de maillage. De plus, cet outil doit être calibré par rapport aux résultats expérimentaux pour fournir de bons résultats.

IV. Outil de simulation physique

IV.1. Présentation générale

L'outil de simulation physique est devenu au fil des ans indispensable chez les industriels pour le développement des filières technologiques ainsi que des dispositifs électroniques. En effet, il permet une meilleure compréhension des mécanismes physiques mis en jeu. Ainsi les concepteurs peuvent prédire le comportement et optimiser les performances des dispositifs électroniques. Par conséquent, il en résulte un gain de temps et d'argent considérable dans le développement d'une technologie ou d'un produit en minimisant les réalisations technologiques et les circuits tests de caractérisation.

Cet outil propose la résolution des équations physiques du semiconducteur à travers des structures physiques unidimensionnelles (1D), bidimensionnelles (2D) et tridimensionnelles (3D). Il permet surtout de coupler l'équation de Poisson, les équations de densité de courant des porteurs et les équations de continuité de porteurs sans négliger les modèles électrothermiques. Ces équations sont nécessaires pour décrire les phénomènes de transport des porteurs surtout lors de l'injection des porteurs minoritaires dans le substrat. Les phénomènes de diffusion de ces porteurs dans le substrat ainsi que les phénomènes de recombinaison sont pris en compte. De plus, les variations de température de

l'environnement susceptibles de modifier les propriétés physiques et électriques sont également prises en compte par le simulateur.

Les modèles physiques (recombinaison des porteurs, mobilité des porteurs...) sont choisis en fonction du type de structure étudiée et de son mode de fonctionnement. Leurs paramètres sont ajustés en fonction des résultats expérimentaux. On parle de calibrage de la simulation. Un bon calibrage permet d'obtenir des résultats précis sur les quantités physiques inaccessibles à la mesure c'est-à-dire les répartitions du potentiel, de la densité de courant de porteurs minoritaires... Cette propriété fait d'elle un outil indispensable pour la compréhension des phénomènes physiques. Un bon calibrage est essentiel pour permettre aux concepteurs d'optimiser les performances des structures étudiées. Néanmoins, même si le calibrage est imparfait, la simulation donne des informations qualitatives sur le comportement de la structure étudiée.

Même si les paramètres physiques sont définis correctement, la précision des résultats dépend surtout de la qualité du maillage de la structure. Une mauvaise qualité du maillage fournit des informations fausses sur les profils de dopage donc sur les résultats. La validité des résultats repose donc sur la qualité de la description de la structure physique.

La simulation 2D est couramment utilisée en raison de sa simplicité d'utilisation et de la précision des résultats. Un maillage de bonne précision sur une structure 2D est possible avec un temps de calcul acceptable grâce à la puissance des stations de travail actuelles. Le passage de la simulation d'une structure 2D à une simulation de structure 3D est délicat. En effet, une structure 3D de bonne qualité de maillage ne peut pas être utilisée en simulation en raison de temps de calcul prohibitifs et de la puissance de calcul élevée requise. Une telle simulation nécessite une ressource importante au niveau des calculateurs, c'est-à-dire des machines à multi-processeurs rapides en parallèle avec des capacités de mémoire supérieure à 10Go, représentant un investissement financier significatif. Une station de travail à 8 processeurs avec une capacité mémoire de 16Go est disponible au sein du laboratoire LAAS-CNRS. La réalisation d'une simulation 3D est un travail de compromis entre la qualité de maillage, le temps de calcul et la précision des résultats. Une méthode au niveau du maillage s'impose pour réaliser ce type de simulation avec une bonne précision des résultats.

L'apparition du courant de substrat est le résultat de la mise en direct d'une jonction PN en surface et de la collection de ce courant par une autre jonction PN polarisée en inverse. Une optimisation de la qualité du maillage de ces jonctions est possible. De plus, les régions d'oxyde, de polysilicium, de nitrure de silicium, des contacts d'électrodes ne sont pas

nécessaires dans la réalisation de la structure physique puisque ces régions ont peu d'impact sur les résultats de courant de substrat. Cela se traduit par des simplifications au niveau du maillage sans accroître les erreurs de précision de résultats. Nous avons donc effectué des simulations 2D et 3D tout au long de notre étude.

IV.2. Modèles physiques

Le simulateur résout les équations de physique du semiconducteur qui sont définies respectivement comme suit [SE99]:

l'équation de Poisson

$$\vec{\nabla} \cdot \vec{\nabla} \phi = -q(n - p + N_D - N_A) \text{ avec } \vec{E} = -\vec{\nabla} \phi ,$$

les équations de continuité de porteurs

$$\frac{\partial n}{\partial t} = \frac{1}{q} \vec{\nabla} \cdot \vec{J}_n + G - R ,$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \vec{\nabla} \cdot \vec{J}_p + G - R ,$$

à l'aide de ces équations, sont calculées les densités de courant des porteurs

$$\vec{J}_n = q \mu_n n \vec{E} + q \mu_n \frac{kT}{q} \vec{\nabla} n ,$$

$$\vec{J}_p = q \mu_p p \vec{E} - q \mu_p \frac{kT}{q} \vec{\nabla} p ,$$

où ϵ_s désigne la permittivité du silicium, ϕ le potentiel électrostatique, q la charge élémentaire d'un électron, n et p les concentrations d'électrons et de trous, N_A et N_D les densités d'accepteurs et donneurs, \vec{E} le champ électrique, \vec{J}_n et \vec{J}_p les densités de courant d'électrons et de trous, μ_n et μ_p la mobilité des électrons et de trous, G et R les taux de génération et recombinaisons des porteurs.

A l'aide de ces équations, le phénomène de transport des porteurs minoritaires est clairement décrit avec prise en compte du mécanisme de diffusion ainsi que du phénomène de recombinaison.

Le choix des modèles physiques dépend du mode de fonctionnement de la structure étudiée. Comme le décrit la Figure 39, la circulation du courant de substrat est le résultat de la mise

en direct de la jonction substrat P⁻/couche N⁺ par l'intermédiaire des puits P⁺ connectés à la masse. Une fraction de ce courant atteint la zone N⁺ la plus proche de la zone émettrice qui est une jonction P_{substrat}/couche N⁺ polarisée en inverse. Les modèles physiques choisis doivent être appropriés aux mécanismes physiques d'une jonction PN en direct ou en inverse.

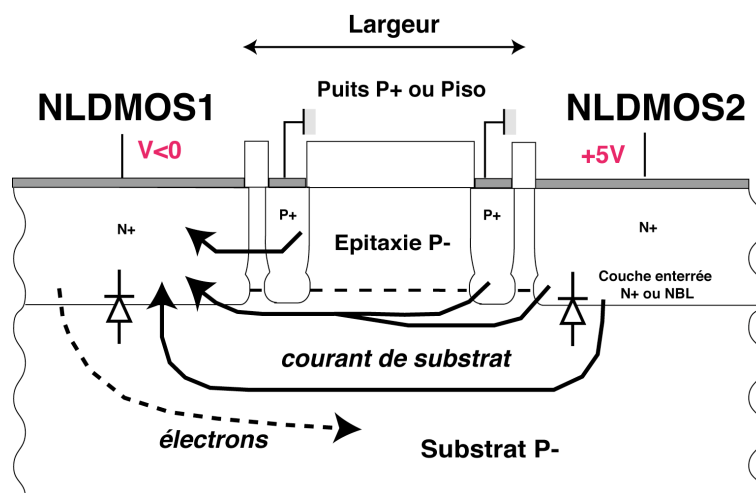


Figure 39 \square Présentation physique du courant de substrat

La densité des porteurs intrinsèques est modélisée par le modèle BennettWilson. Ce modèle décrit la structure de bandes classique du matériau utilisé, le silicium, c'est-à-dire une énergie du bande interdite de ce semiconducteur de 1,12eV à température ambiante.

La vitesse du flux de porteurs dans le substrat dépend des modèles de mobilité, fonction du dopage de la structure ("Dopingdependence"), de la dispersion des porteurs à chaque collision avec les impuretés ("CarrierCarrierScattering"), du champ électrique dans la zone de charge d'espace où la jonction PN est polarisée en inverse ("HighFieldSaturation").

Plusieurs mécanismes illustrent la recombinaison des porteurs dans le substrat. Le modèle classique qui décrit le taux de recombinaison de porteurs en fonction du dopage et de la température, est celui de Shockley-Read-Hall ("SRH" avec "DopingDependence" et "ExpTemperatureDependence"). Dans une zone de très forte concentration de dopage, en particulier au niveau des contacts ohmiques en surface, un autre mécanisme de recombinaison susceptible d'être prépondérant est le phénomène Auger. Ces modèles de recombinaison permettent de calculer la durée de vie des porteurs en tout point de l'espace.

En conclusion, l'ensemble de ces modèles utilisés en simulation est défini comme suit \square

Propriétés physiques	Modèles physiques utilisés
Densité des porteurs intrinsèques	BennettWilson
Mobilité des porteurs	DopingDependence CarrierCarrierScattering HighFieldSaturation
Recombinaison des porteurs	Schockley-Read-Hall (SRH) DopingDependence ExpTemperatureDependence Auger

Ces modèles physiques peuvent être plus ou moins modifiés selon la technologie appliquée et les dispositifs électroniques utilisés.

IV.3. Calibrage de la simulation

Une simulation physique ne peut être prédictive que si elle fournit des résultats précis surtout grâce à un bon calibrage. Le concepteur pourra alors effectuer des simulations itératives pour une meilleure optimisation de la structure étudiée.

Cependant, la simulation d'une nouvelle structure dans une même technologie mais de mode de fonctionnement différent implique l'utilisation d'autres modèles physiques et donc un nouveau calibrage. A titre d'exemple, la durée de vie des porteurs minoritaires dans la base d'une structure de transistor bipolaire est différente de celle des porteurs injectés dans le substrat bien que la technologie utilisée soit identique.

IV.3.a. Profils de dopage

Une bonne description du profil de dopage des couches technologiques utilisées en simulation permet d'obtenir des résultats de bonne précision. Ce profil ne peut être connu qu'à partir des résultats de simulation de procédés technologiques et de l'analyse physique par la méthode SIMS ("Secondary Ion Mass Spectrometry"). Une bonne description de ce profil dans le simulateur dépend de la nature du maillage de la structure. En d'autres termes, un bon maillage de la structure doit être assuré pour décrire avec précision le profil de dopage des couches technologiques [\[SCH03\]](#).

Dans notre étude, la technologie utilisée, issue des technologies CMOS, implique l'utilisation d'une épitaxie P⁻ de concentration $2.10^{+15} \text{ cm}^{-3}$, d'épaisseur $3\mu\text{m}$ sur un substrat P⁻ de résistivité comprise entre 14 et 22 \square .cm. Un puits P⁺ est formé dans l'épitaxie pour servir de contact au substrat (Figure 40). Une circulation de courant de porteurs minoritaires peut être réalisée à travers ce puits. A cet endroit, des phénomènes de recombinaison, fortement liés à la concentration des dopants, peuvent apparaître de manière prépondérante.

La valeur de la concentration de dopants dans le substrat P doit être connue avant de réaliser des séries de simulation. En effet, le substrat de concentration constante a une résistivité comprise entre 14 et 22 \square .cm. A ce niveau de résistivité, le substrat a une faible concentration de dopants inférieure à $1.10^{+16} \text{ cm}^{-3}$. L'analyse par la méthode SIMS ne permet pas de déceler des faibles concentrations de dopants inférieurs à $1.10^{+16} \text{ cm}^{-3}$ en raison du bruit généré par la mesure. L'optimisation de ce paramètre ne peut être effectuée qu'à partir de l'évaluation de la tension de claquage de la jonction P_substrat/couche N⁺.

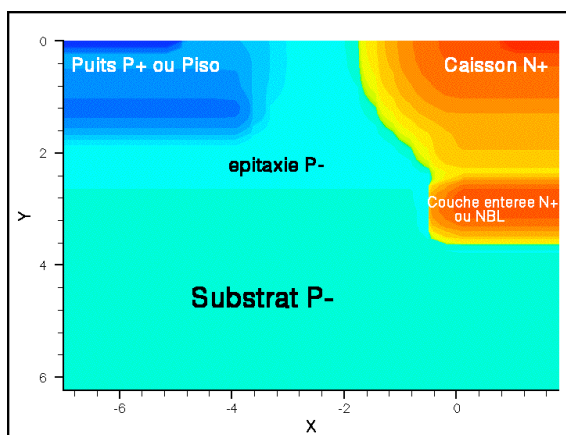


Figure 40 : Coupe technologique utilisée en simulation physique

La mesure expérimentale entre le caisson N⁺ et le puits P⁺ donne une tension de claquage de 68V pour un courant de $10\mu\text{A}$. Après optimisation, une concentration de substrat de $1.10^{+15} \text{ cm}^{-3}$ est obtenue. Cette valeur doit être validée avec l'évaluation de la résistance de substrat.

IV.3.b. Résistance de substrat

Un dispositif de test spécifique, présenté en Figure 41, est proposé pour l'évaluation de la résistance de substrat. Un tel dispositif permet d'obtenir en mesure la résistance que constitue le substrat. En effet, des résistances parasites supplémentaires peuvent modifier la résistance mesurée (Figure 42). On cite ces résistances, les résistances de connexion c'est-

à-dire les fils d'interconnexion de l'appareil de mesure jusqu'aux plots (R_{int}), le métal d'interconnexion (R_m), et le contact au silicium (R_{con}). La résistance du substrat doit être suffisamment grande pour être validée en mesure expérimentale. Cela nécessite la mise en œuvre d'un caisson N^+ de largeur W supérieure à $50\mu m$ ou plus selon la résistivité du substrat.

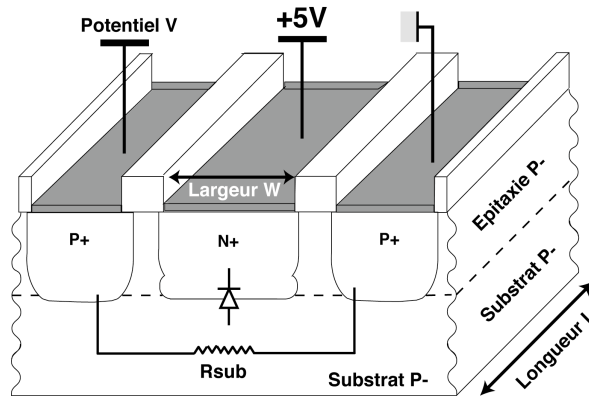


Figure 41 : Dispositif de test pour la détermination de la résistance du substrat

De plus, un puits P^+ de largeur égale à $10\mu m$ est nécessaire pour réduire la résistance du contact au silicium (R_{con}) (Figure 42). Egalement, une bande de niveaux métalliques confondus doit être appliquée sur toute la longueur du puits. Les plots sont situés en amont de ce métal. L'introduction du caisson N^+ entre les deux puits P^+ dans une technologie épitaxiée P^- sur un substrat P^- supprime la résistance supplémentaire de l'épitaxie dans la mesure de la résistance du substrat. Ce caisson N^+ polarisé à $+5V$ induit donc une jonction $P_{substrat}/caisson N$ polarisée en inverse.

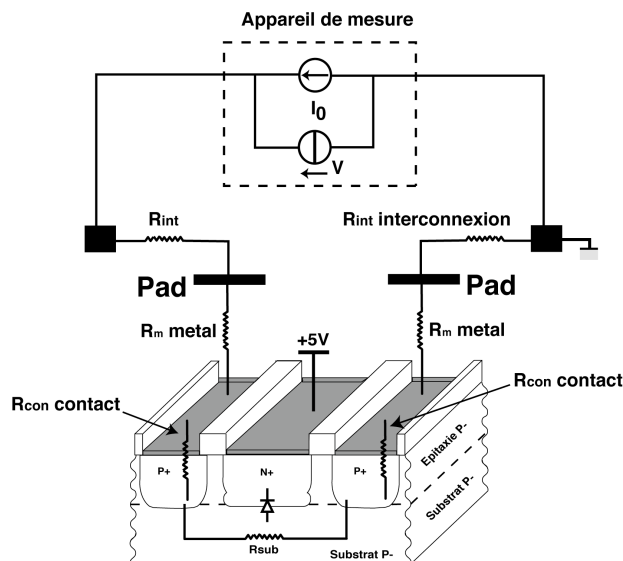


Figure 42 : Dispositif expérimental de la mesure de résistance substrat R_{sub}

Le dispositif proposé doit avoir une longueur (L avec $L > 4W$) suffisante pour favoriser un passage du courant de type bidimensionnel à travers le substrat. Ainsi, une optimisation du dopage du substrat en fonction de sa résistance mesurée à travers une simulation bidimensionnelle 2D est possible avec une grande précision. Les effets du bord (3D) seront alors négligeables.

Un courant négatif jusqu'à -1mA ou un potentiel négatif est appliqué à travers un puits P^+ par rapport au second puits P^+ à la masse. La nature de cette polarisation est choisie pour assurer la mise en inverse de la jonction P -substrat/caisson N . Les résultats de caractérisation électrique tension-courant permettent de déterminer la résistance mesurée $R_T = V/I$. Cette résistance totale mesurée correspond à :

$$R_T = 2 \cdot R_{INT} + 2 \cdot R_M + 2 \cdot R_{CON} + R_{SUB}$$

où R_{INT} , la résistance de connexion entre l'appareil de mesure et les plots, en particulier les fils de connexion du boîtier aux plots, égale à $2\ \Omega$ après caractérisation,

R_M , la résistance du métal de connexion, calculée à partir de la résistance par carré (ou "sheet resistance" R_s) fonction de la dimension de la piste métallique, ici égale à $2,1\ \Omega$.

R_{CON} , la résistance du contact au silicium, calculée par le simulateur physique, de faible valeur inférieure à $0,1\ \Omega$.

La résistance totale mesurée R_T est de $31,2\ \Omega$ pour une largeur du caisson N^+ de $76\ \mu\text{m}$. Donc la résistance de substrat R_{SUB} vaut environ $22,8\ \Omega$. Avec cette valeur de résistance, après optimisation avec la simulation physique bidimensionnelle, le dopage du substrat correspondant a une concentration de $0,8 \cdot 10^{15}\ \text{cm}^{-3}$. Avec cette valeur de concentration de dopage d'accepteurs, la résistivité du substrat est calculée à nouveau avec l'équation suivante [BAL87] :

$$\rho_{SUB} = 1.263 \cdot 10^{16} \cdot N_A^{-0.91}$$

$$\text{avec } N_A = 0,8 \cdot 10^{15}\ \text{cm}^{-3}, \rho_{SUB} = 15,8\ \Omega \cdot \text{cm}$$

Cette résistivité est proche de celle garantie par le constructeur c'est-à-dire comprise entre 14 et $22\ \Omega \cdot \text{cm}$. Cette concentration de dopage du substrat égale à $0,8 \cdot 10^{15}\ \text{cm}^{-3}$ est utilisée dans notre travail. Cette valeur est ensuite introduite dans la simulation de tension de claquage de la jonction P -substrat/couche N^+ . Le résultat de cette simulation reste inchangé ($BV=68\text{V}$). En effet, le claquage a lieu entre le puits P^+ et le caisson N^+ à travers l'épitaxie P de concentration $2 \cdot 10^{15}\ \text{cm}^{-3}$ et ne dépend donc pas du dopage de substrat.

La concentration de dopage du substrat utilisée dans la simulation physique est guidée par les résultats de mesure de résistance de substrat et non par ceux de la tension de claquage de la jonction P_substrat/caisson N⁺. En effet, l'injection de porteurs minoritaires en forte densité dans le substrat se traduit par une modulation de conductivité du substrat. Ainsi, une valeur erronée de concentration du substrat peut conduire à une erreur importante sur les résultats de simulation.

IV.3.c. Durée de vie des porteurs minoritaires

L'injection de porteurs minoritaires dans le substrat est caractérisée par un courant de diffusion. Ce type de courant implique des mécanismes de recombinaisons des porteurs dans le substrat. Ce phénomène est caractérisé par la longueur de diffusion L des porteurs, c'est-à-dire la distance parcourue par les porteurs avant recombinaison, définie par l'équation suivante :

$$L = \sqrt{D\tau}$$

Equation 1 : Longueur de diffusion

Ce paramètre dépend de la constante de diffusion D (en cm.s⁻¹) et de la durée de vie de porteurs τ (en secondes). Ce coefficient de diffusion D de valeur constante est propre au matériau utilisé, c'est-à-dire le silicium. Il en résulte qu'une modification de la durée de vie induit un changement de longueur de diffusion. Par conséquent, le courant collecté dans la zone à protéger, distante de la zone émettrice, peut être modifié. Ce paramètre peut être ajusté dans le simulateur suivant les résultats de caractérisation de ce courant collecté.

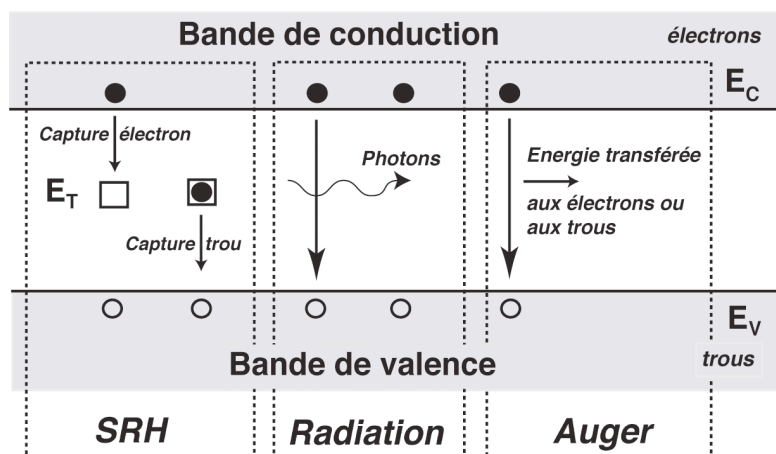


Figure 43 : Différents processus de recombinaison

Le matériau utilisé, le silicium, est un semi-conducteur à bande interdite indirecte où a lieu plusieurs processus de recombinaison : recombinaison SRH, recombinaison radiative, recombinaison Auger [SZE81] (Figure 43). Le processus de recombinaison entre l'électron de la bande de conduction (E_C) et le trou de la bande de valence (E_V) de type radiatif est accompagné par un transfert d'énergie sous forme de photons. Ce processus est similaire à celui de la recombinaison Auger dans laquelle l'énergie est transférée aux électrons ou trous. Ce phénomène est généralement obtenu dans les très fortes concentrations de dopage. Cependant, cette recombinaison directe entre la bande de conduction et la bande de valence n'est plus possible en raison de la structure du silicium à bande indirecte. Le processus de recombinaison sera donc effectué au travers de centres de recombinaisons d'énergie intermédiaire E_T présents dans la bande interdite. Ce phénomène est caractérisé par le modèle de Shockley-Read-Hall (SRH) utilisé en simulation comme suit [DES99] [SCR98]:

$$\tau_{eff} = \frac{\tau_0}{1 + \frac{N}{N_{ref}}}$$

Equation 2 : Durée de vie des porteurs selon le modèle SRH

- où τ_{eff} , la durée de vie effective ou résultante des porteurs,
- τ_0 , la durée de vie initiale que l'utilisateur peut ajuster,
- N , le dopage du matériau étudié,
- N_{ref} , le dopage correspondant à la durée de vie τ_0
- α le coefficient, égal à 0,5

La durée de vie effective τ_{eff} dépend essentiellement du dopage du matériau où ont lieu les phénomènes de recombinaisons de porteurs. Cette formule est appliquée pour les électrons (τ_n) et les trous (τ_p). A travers des articles bibliographiques [TYA83] [FOS82] [FOS83], la durée de vie des trous τ_p est de l'ordre d'un tiers de celle des électrons τ_n ($\tau_p = \tau_n/3$). A travers l'Equation 2, en initialisant une durée de vie $\tau_0 = 10\mu s$ pour un dopage de référence $N_{ref} = 1.10^{+15} \text{ cm}^{-3}$, la durée de vie décroît rapidement à forte concentration de dopage du substrat (Figure 44).

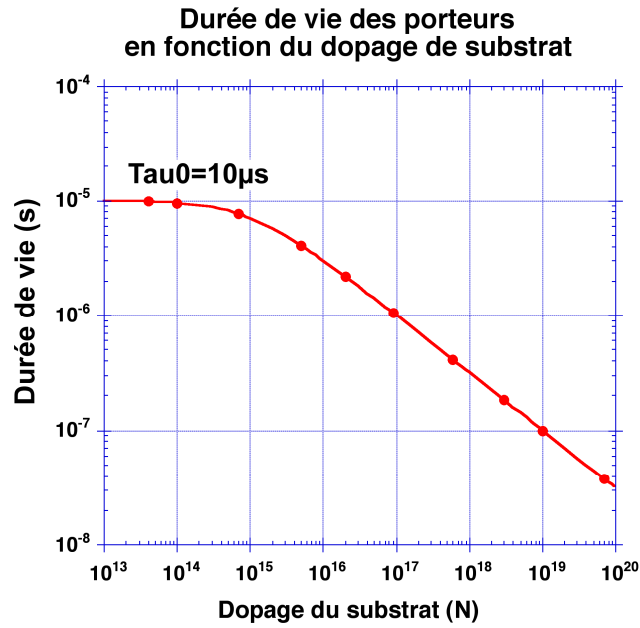


Figure 44 : Variation de la durée de vie fonction du dopage du substrat

En utilisant une fourchette de durée de vie τ_b comprise entre $1\mu s$ et $100\mu s$ dans le simulateur pour une concentration de dopage de référence de $N_{ref}=1.10^{+15} \text{ cm}^{-3}$, l'influence de ce paramètre sur le courant collecté dans la zone à protéger distante de $75\mu m$ de la zone émettrice est clairement illustrée par la Figure 45.

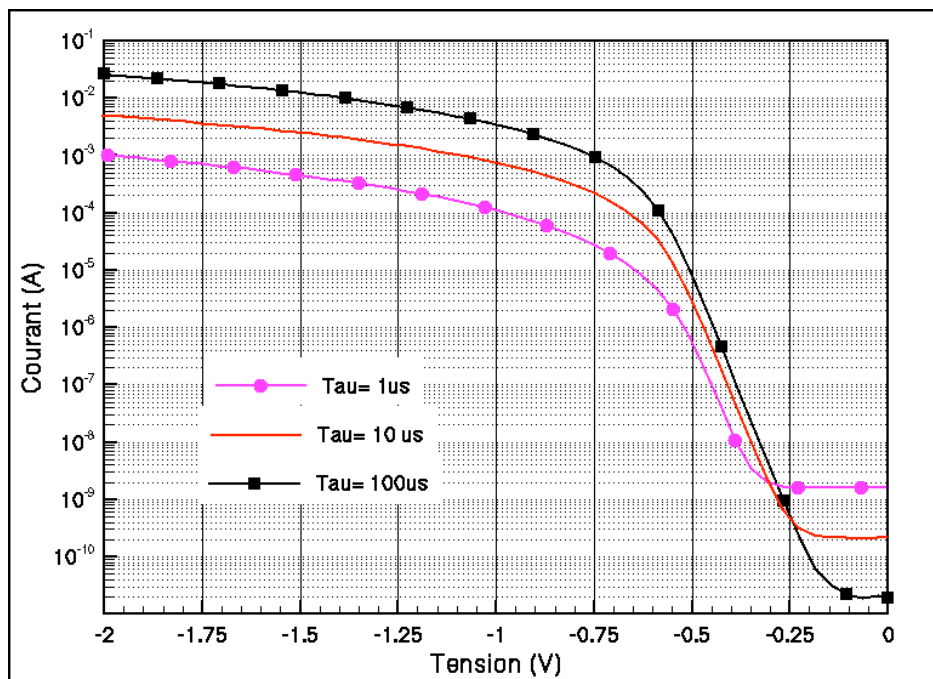


Figure 45 : Impact de la durée de vie sur le courant collecté

Ce résultat est obtenu pour une structure de test composée de deux transistors de puissance de surface $550 \times 500 \mu\text{m}^2$, séparés d'une distance de $75 \mu\text{m}$ (Figure 51). L'anneau de puits P+, servant de contact au substrat à la masse, de largeur $10 \mu\text{m}$ entoure ces transistors.

Une faible durée de vie se traduit par une longueur de diffusion plus courte donc un courant collecté relativement faible obtenu dans la zone à protéger à grande distance de la zone émettrice. Une réduction de 10% de la durée de vie τ_b induit une réduction d'une décade de courant collecté. L'impact de ce paramètre sur le courant collecté est clairement illustrée ici. En effectuant plusieurs séries de simulation, ce paramètre peut être optimisé en corrélant avec le courant collecté mesuré à température ambiante $T=25^\circ\text{C}$ (Figure 46). Cette simulation a été effectuée avec une structure physique 3D.

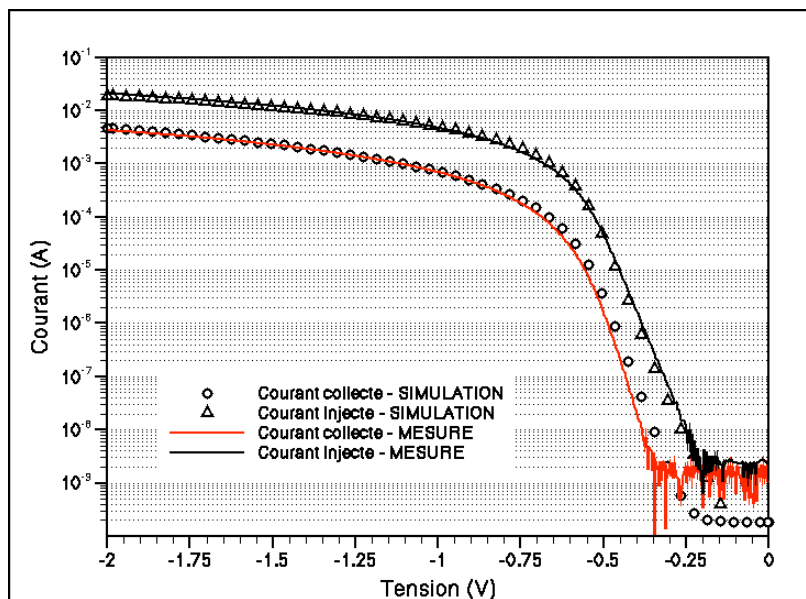


Figure 46 : Comparaison simulation-expérience

Ce résultat est obtenu avec une durée de vie $\tau_b=2\mu\text{s}$ et un dopage de substrat égal à $N_{\text{ref}}=2.10^{+15} \text{ cm}^{-3}$. Cependant, cette valeur doit être confirmée par la mesure de durée de vie de porteurs.

L'extraction de ce paramètre est réalisée en appliquant la méthode de mesure OCVD (Open Circuit Voltage Decay) [SCR98]. Cette dernière permet de déterminer le temps que mettent les porteurs en excès à se recombiner. Un circuit de test pour extraire ce paramètre est proposé en Figure 47.

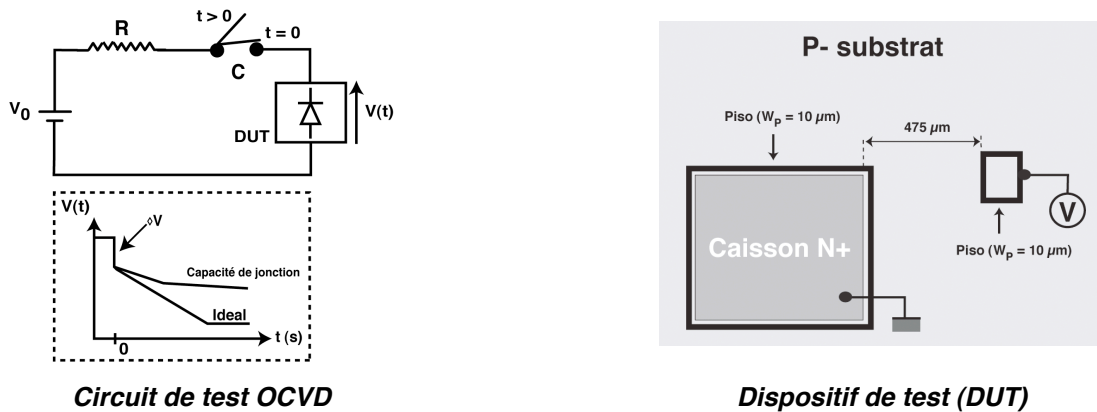


Figure 47 : Méthode Open-Circuit Voltage Decay

Le circuit de test est composé d'une alimentation V_0 permettant la mise en direct de la jonction PN qui est le dispositif de test (DUT), d'une résistance de très faible valeur 2Ω pour limiter le courant, et d'un commutateur C. Le dispositif de test étudié est la diode Pits (puits P^+ au substrat)/caisson N^+ (Figure 47, vue de droite). Ce puits P^+ de largeur $W_p=10\mu\text{m}$ est distant de $475 \mu\text{m}$ du caisson N^+ , relié à la masse, également entouré par un anneau de puits P^+ . Aucune polarisation n'est appliquée à ce puits. Le mécanisme de recombinaison des porteurs est obtenu dans une structure de grande longueur.

L'évolution du potentiel à travers le dispositif de test après ouverture du commutateur C ($t>0$) est caractéristique du phénomène de transport des porteurs en excès. A l'ouverture, une chute de potentiel (ΔV , généralement de $0,6\text{V}$ à $0,5\text{V}$) est observée due à la chute ohmique de la diode. Une décroissance linéaire du potentiel (courbe idéale, de $0,5\text{V}$ à $0,2\text{V}$ à $T=25^\circ\text{C}$) se traduit par la recombinaison des porteurs dans la région quasi-neutre. Enfin, une diminution très lente au niveau temporel (de $0,2\text{V}$ à 0V) s'explique par le phénomène de recombinaison dans la zone de charge d'espace où le coefficient d'idéalité change (n varie de 1 à 2 dans $V_i=nkT/q$). En réalité, une capacité de jonction de la diode, selon la structure physique, peut modifier cette variation de potentiel. Dans la mesure, trois types de variations sont obtenues : chute ohmique ΔV , décroissance linéaire rapide caractéristique de recombinaison dans la zone neutre, décroissance lente jusqu'à 0V .

L'intérêt de cette méthode consiste à obtenir la recombinaison de tous les porteurs en excès puisque le circuit est ouvert pendant l'expérience. L'évolution du potentiel correspond à la variation des porteurs en fonction du temps de recombinaison comme le montre l'équation suivante [SCR98] [SCH03]:

$$n_p(t) = n_{p0} \cdot e^{\frac{qV(t)}{kT}} \quad V(t) = \frac{kT}{q} \cdot \ln \frac{n_p(t)}{n_{p0}} + 1$$

Dans notre structure de diode, où la distance Pisis/caisson N⁺ est supérieure à la longueur de diffusion L_n (d=475μm et d >> L_n), l'expression du potentiel peut être simplifiée :

$$V(t) = V(0) - \frac{kT}{q} \cdot \ln \operatorname{erfc} \sqrt{\frac{t}{\tau}}$$

Dans le cas où $V(t) \gg \frac{kT}{q}$ (où $\frac{kT}{q} = 25,6\text{mV}$), la tension peut être évaluée de la manière suivante :

$$V(t) - V(0) - \frac{kT}{q} \cdot \frac{t}{\tau}$$

La décroissance linéaire de ce paramètre indique le temps de recombinaison des porteurs en excès dans la zone quasi-neutre, donc la durée de vie de ces porteurs avec l'équation suivante :

$$\frac{dV(t)}{dt} = - \frac{kT}{q} \cdot \frac{1}{\tau} \quad \tau_{eff} = - \frac{kT}{q} \cdot \frac{1}{\frac{dV(t)}{dt}}$$

Dans notre structure de diode, le caisson N⁺ a une concentration de grande valeur N_b=1.10⁺¹⁹ cm⁻³ par rapport à celle du substrat. Cela se traduit par une faible durée de vie de trous τ_p dans le caisson N⁺ par rapport à celle des électrons dans le substrat τ_n. Avec τ_n > τ_p, la durée de vie effective que l'on mesure correspond à celle des électrons, c'est-à-dire les porteurs minoritaires dans le substrat : τ_{eff} = τ_n.

Une série de mesures, présentée en Figure 48, est effectuée pour extraire ce paramètre en fonction de la température.

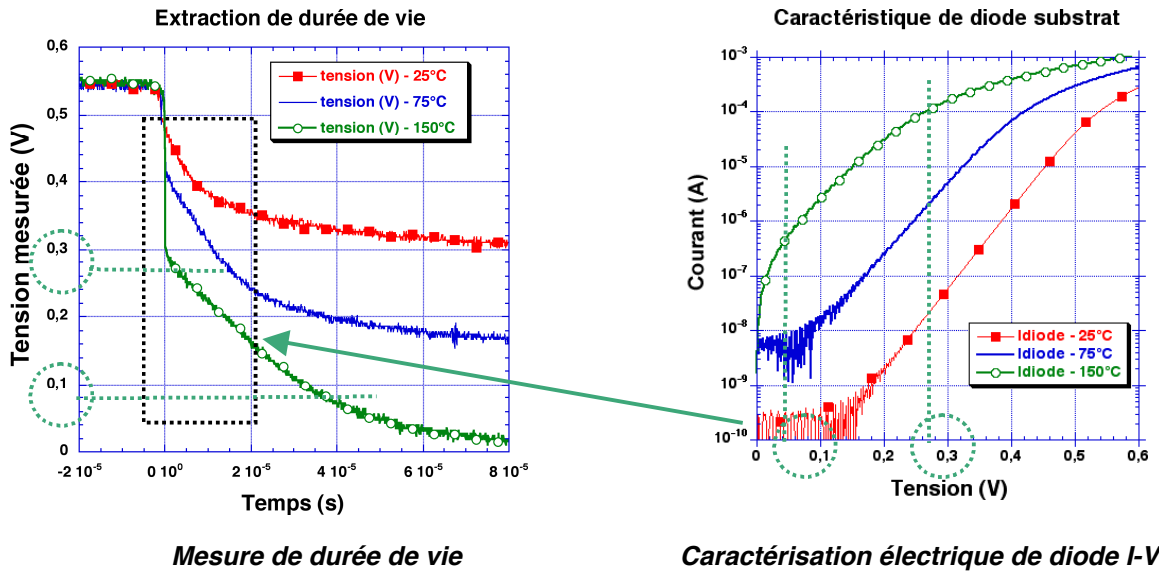


Figure 48 : Résultats de caractérisation

La caractéristique linéaire courant-tension du dispositif de test en Figure 48 nous permet de connaître la variation du potentiel à travers la région quasi-neutre de ce dispositif. Ainsi, nous pouvons identifier cette plage de tension à travers les résultats de mesure de la méthode OCVD, surtout après la chute de potentiel. Un calcul de la pente, caractéristique de la décroissance linéaire du potentiel, donne la durée de vie mesurée comme le montre le tableau suivant :

Température T (°C)	25°C	75°C	150°C
Durée de vie mesurée τ_{eff} (μs)	1,7	2,73	4,33

La durée de vie des porteurs minoritaires entre la température ambiante ($T=25^{\circ}C$) et la température extrême ($T=150^{\circ}C$) a été multipliée d'un facteur de 2,55. Cette différence s'explique par la faible recombinaison des porteurs à forte température en raison de l'agitation thermique des porteurs.

Nous pouvons constater une durée de vie des porteurs mesurée similaire à celle donnée par le simulateur en début de ce paragraphe ($\tau_{eff}=1,41\mu s$ pour $\tau_b=2\mu s$ et $N_{ref}=2.10^{+15} cm^{-3}$). En effet, le chemin du courant de porteurs minoritaires, c'est-à-dire les électrons, à ce niveau de polarisation est réalisé sous la diffusion P^+ en surface dans l'épitaxie P^- (Figure 49). C'est pourquoi, la durée de vie initialisée en simulation est celle de $\tau_b=2\mu s$ pour un dopage de référence, c'est-à-dire l'épitaxie, de concentration égale à $N=2.10^{+15} cm^{-3}$.

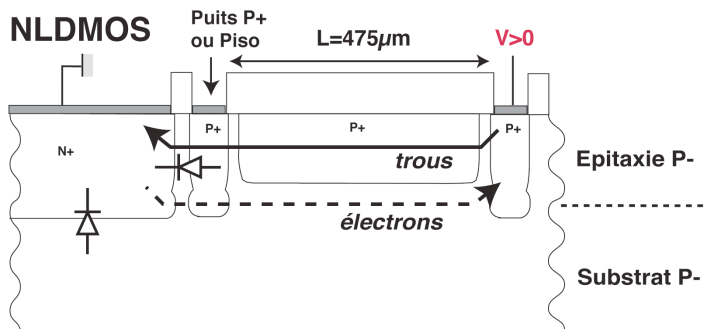


Figure 49 : Coupe technologique de la diode substrat P/caisson N+

Lorsque la puce est soumise à une forte température, le courant injecté ou collecté devient prépondérant. L'augmentation du courant collecté dans la zone à protéger est le résultat d'une modification de la durée de vie effective des porteurs minoritaires. Les résultats de mesure de la méthode OCVD le démontrent. Ces phénomènes doivent être pris en compte en simulation. L'influence de la température sur la durée de vie des porteurs peut être illustrée par l'équation suivante :

$$\tau_{SRH}(T) = \tau_{SRH}(300K) \cdot f(T) \quad f(T) = e^{C \left(\frac{T}{300} - 1 \right)}$$

Cette expression est issue du modèle physique de recombinaison SRH "ExpTempDependence". Le coefficient C dans l'expression est le facteur correctif de la durée de vie en fonction de la température. Les résultats de la méthode OCVD ont démontré un rapport de 2,55 de durée de vie entre T=25°C et T=150°C. Cette valeur doit être introduite dans ce coefficient C. Ainsi, pour une température de 150°C, les courants simulés sont parfaitement corrélés avec ceux de la mesure (Figure 50).

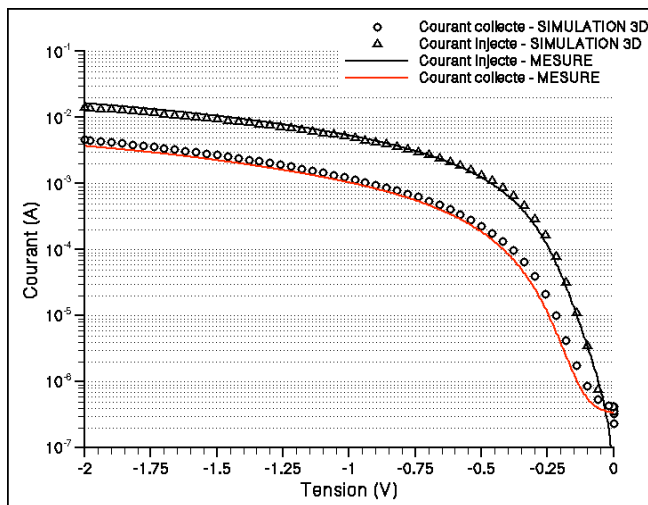


Figure 50 : Comparaison simulation-expérience à T=150°C

IV.4. Simulation physique 2D/3D

La résolution des problèmes de courant de substrat dépend de la qualité des résultats donnés par la simulation physique. Plus précisément, la description géométrique des structures de test a un fort impact sur la précision de ces résultats. Nous avons effectué une étude comparative sur les courants injectés et collectés d'un dispositif de test sur une structure bidimensionnelle (2D) et une structure tridimensionnelle (3D) (Figure 51).

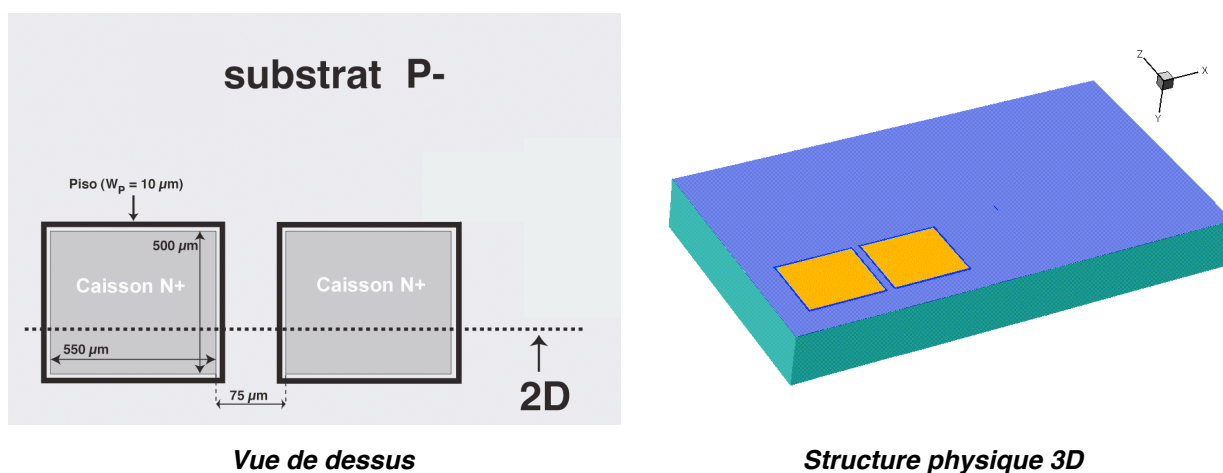


Figure 51 : Dispositif de test étudié

Le dispositif de test est constitué de deux caissons N⁺ de surface $500 \times 500 \mu\text{m}^2$, séparés d'une distance de $75 \mu\text{m}$. Ces caissons sont entourés d'un puits P⁺ (ou Piso) de largeur égale à $10 \mu\text{m}$, servant de contact au substrat à la masse. Pendant la simulation, on applique un potentiel négatif jusqu'à -2V à l'un des caissons N⁺ qui se comporte en zone émettrice de porteurs minoritaires. Cela se traduit par une injection de ces porteurs à travers les deux puits P⁺ à la masse et le caisson N⁺ voisin polarisé à $+5\text{V}$, qui se comporte en zone collectrice de ces porteurs. Les résultats de simulation bidimensionnelle (2D) et tridimensionnelle (3D) donnent des caractéristiques de courants injectés et collectés différents (Figure 52).

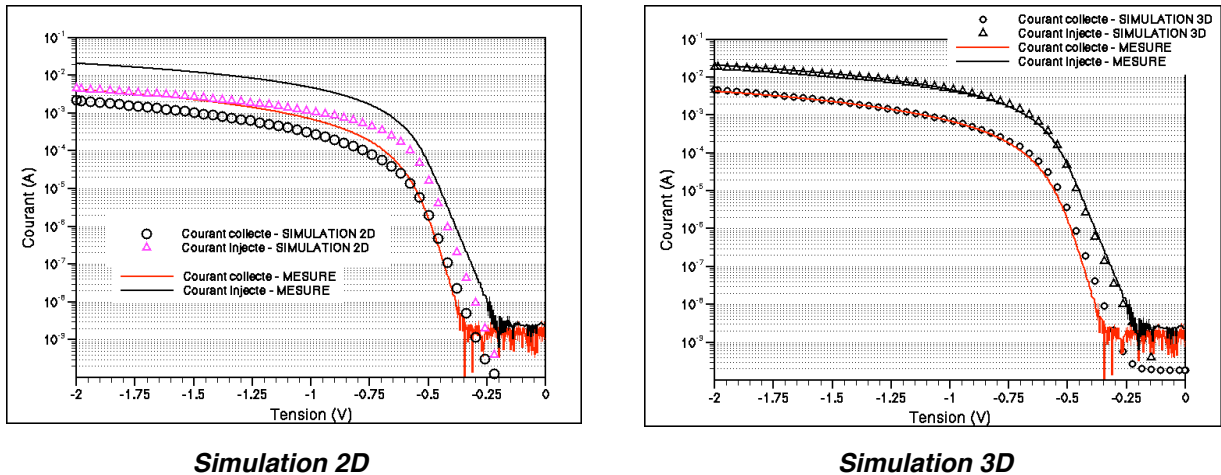


Figure 52 : Comparaison entre la simulation 2D et la simulation 3D

Les résultats de simulation 3D sont plus proches des résultats expérimentaux que ceux de la simulation 2D. Cela démontre que le simulateur 3D est plus fidèle à la réalité. L'écart des résultats de la simulation 2D avec ceux de la mesure peut s'expliquer par plusieurs raisons : la disposition géométrique des structures de test, la recombinaison des porteurs fonction de la représentation volumique de la structure physique et la résistance du substrat.

A travers les résultats de simulation 2D, le niveau du courant injecté est relativement faible par rapport au courant mesuré. En effet, le simulateur 2D ne tient compte que des deux cotés des puits P^+ autour des caissons N^+ au lieu des quatre cotés dans la structure physique 3D. Cela modifie considérablement le niveau du courant injecté à faible et fort niveau d'injection. De plus, en raison de la disposition de ces puits, une résistance de substrat résultante plus forte dans le simulateur 2D implique un courant injecté plus faible à fort niveau d'injection pour une tension appliquée de -1V à -2V. Nous pouvons traduire ce phénomène par une diode de jonction $P_{\text{substrat}}/caisson N^+$ avec une résistance série de forte valeur. C'est pourquoi, des contacts de substrat ou des puits P^+ à la masse supplémentaires dans les circuits intégrés ainsi que des résistances parasites telles que les fils d'interconnexion et les métaux de connexion modifient les propriétés physiques du substrat.

Le rapport du courant collecté avec le courant injecté dans le simulateur 2D est plus important que celui de la mesure ou du simulateur 3D. Cela se traduit par un faible taux de recombinaison des porteurs dans une structure 2D. En effet, la simulation 2D ne permet pas de tenir compte de la dimension volumique du substrat, lieu de recombinaison des porteurs minoritaires. En effet, la structure physique 3D présente l'avantage de tenir compte de la dimension géométrique de la puce.

A travers cet exemple simple, l'étude du courant de substrat ne peut être réalisée qu'avec la simulation tridimensionnelle 3D. Ainsi, des résultats quantitatifs exploitables avec un temps de calcul raisonnable (marge d'erreur à 50% à faible courant et 5% à fort courant par rapport à la mesure) sur ce courant peuvent être obtenus. Néanmoins, les résultats qualitatifs de la simulation 2D permettent d'illustrer les tendances des propriétés physiques du substrat.

IV.5. Contraintes de maillage

Une simulation 3D de très bonne qualité de maillage pour un composant entier n'est pas réalisable en raison des ressources trop importantes au niveau de la mémoire ainsi que du temps de calcul (Figure 53). Le passage de la simulation 2D à la simulation 3D s'avère délicat. Cela nécessite une méthode destinée à optimiser le maillage de la structure physique sans altérer la précision des résultats. La Figure 53 illustre une structure physique de maillage fin ($0,1\mu\text{m}$) que l'on peut réaliser avec une simulation bidimensionnelle 2D. Une telle structure en simulation 3D peut conduire à un temps de calcul très long d'une semaine voire plus.

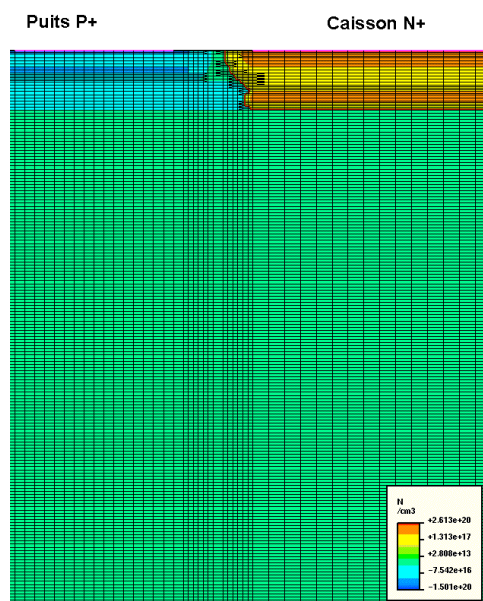


Figure 53 : Structure physique de maillage fin

Afin de réduire le maillage sans modifier le comportement physique de la structure de test, une étude de courant et de potentiel à travers la structure 2D est nécessaire. Dans notre étude, le maximum de courant de porteurs minoritaires se fait en surface puisque la zone collectrice est en surface. Un maillage fin sur tout le substrat s'avère inutile. Une nouvelle structure de maillage différent est réalisée en Figure 54.

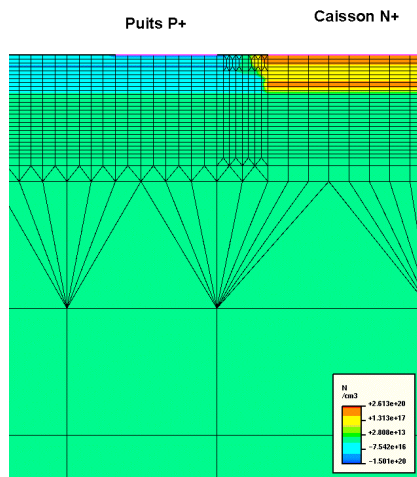


Figure 54 : Structure physique de maillage grossier

Le courant de substrat est le résultat de la mise en direct de la jonction PN. Cette jonction a un caisson N⁺ de concentration plus élevée ($1.10^{+18} \text{ cm}^{-3}$ - $1.10^{+20} \text{ cm}^{-3}$) que celui de l'épithaxie P⁻ ($2.10^{+15} \text{ cm}^{-3}$) et du substrat P⁻ ($0,8.10^{+15} \text{ cm}^{-3}$). Il en résulte que ce courant dépend de la quantité des porteurs minoritaires injectés, c'est-à-dire les électrons, à travers cette épithaxie P⁻ et le substrat P⁻. En conséquence, la densité de courant de trous à travers le caisson N⁺ est négligeable en raison de sa forte recombinaison. Donc, le courant total obtenu à ce caisson N⁺ est calculé en fonction de la densité des porteurs minoritaires. D'où, une modification du caisson N⁺ de dopage élevé de profil constant est possible sans altérer les résultats de simulation. Une telle structure de caisson N⁺ simplifié permet de réduire non seulement le maillage mais aussi le temps de calcul de la simulation (Figure 55).

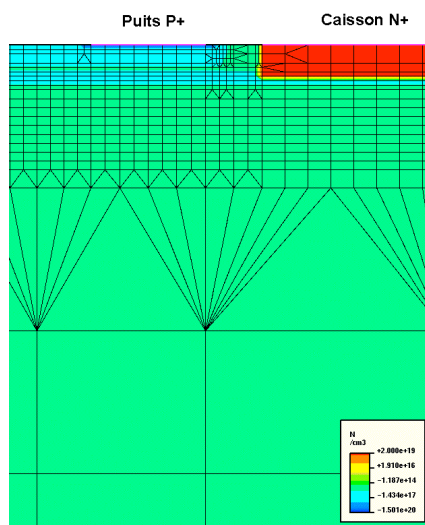


Figure 55 : Structure physique de maillage optimisé

En appliquant cette méthode, nous aboutissons à une structure physique 3D de 10000 points à 40000 points simulée pour un temps de calcul inférieur à 5h avec une station de travail équipée de 4 processeurs travaillant en parallèle (Figure 56). Ainsi, une série de tests de simulation pour optimisation est possible en un temps réduit. Des couches technologiques telles que l'oxyde d'isolation, les contacts métalliques sont éliminées dans la réalisation de cette structure afin de réduire les points de maillage.

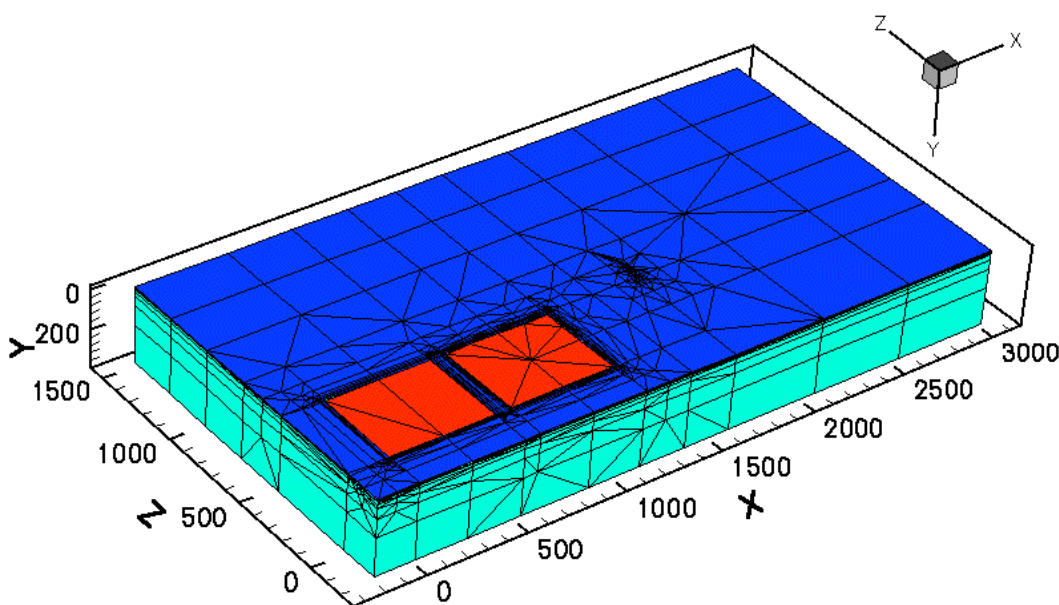


Figure 56 : Structure physique 3D

IV.6. Exemple d'application : substrat aminci

Un exemple de résultat de la simulation 3D est l'application à la simulation d'un substrat aminci. Ce travail a été proposé pour étudier l'impact de la résistance de substrat sur le courant collecté dans la zone à protéger. Des techniques d'amincissement par le biais du rodage mécano-chimique sur la face arrière sont utilisées pour réduire l'épaisseur du substrat de $380\mu\text{m}$ à $50\mu\text{m}$. L'ensemble de ces réalisations est présenté dans le chapitre 3.

Une mesure électrique est effectuée entre la zone émettrice, où est appliqué le potentiel négatif, et la zone collectrice polarisée à 5V (Figure 57). Ces zones de surface identique $700*700\mu\text{m}^2$ sont séparées d'une distance de $475\mu\text{m}$. De plus, elles sont entourées de puits P⁺ de largeur égale à $10\mu\text{m}$.

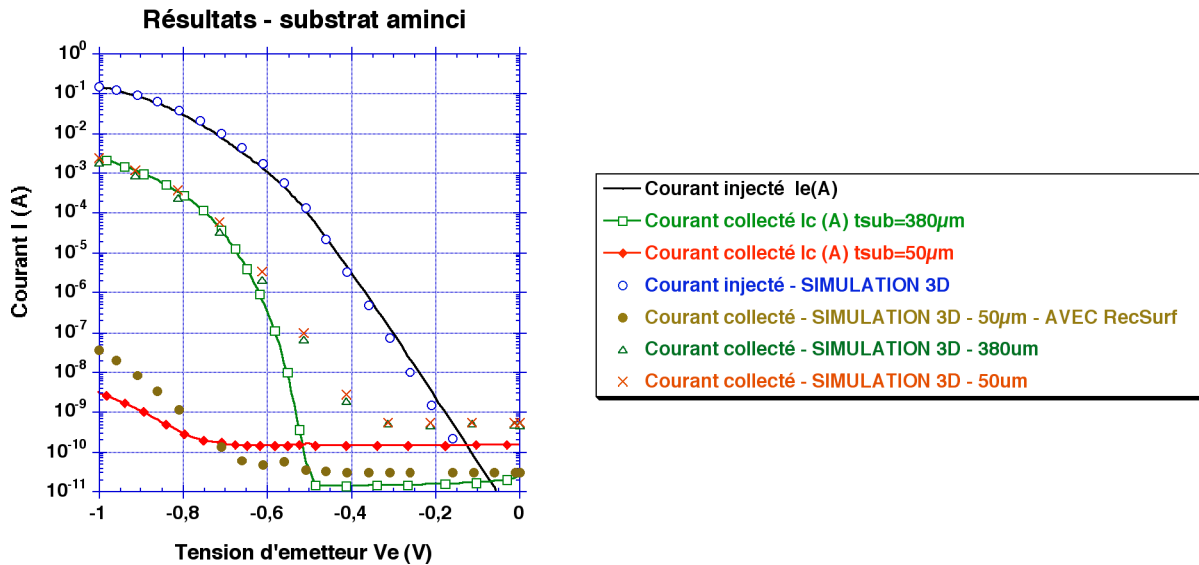


Figure 57 : Résultats

L'impact de l'amincissement du substrat sur le courant collecté est clairement illustré sur la Figure 57. Un courant collecté de l'ordre de 30nA au lieu de 2mA est obtenu pour un courant injecté de 200mA. Cette forte réduction de courant s'explique par la forte recombinaison des porteurs obtenue à la face arrière du substrat. En effet, le passage de l'épaisseur du substrat de 380µm à 50µm en simulation physique 3D donne de résultats similaires. Il en résulte que l'augmentation de la résistance de substrat par l'amincissement ne modifie pas le fonctionnement du transistor bipolaire parasite.

En introduisant le phénomène de recombinaison en surface ($S_0=10^5 \text{ cm}^{-3}$) [SCR98] sur la face arrière du substrat en simulation tridimensionnelle, la tendance du courant collecté est confirmée. En effet, la technique d'amincissement du substrat par rodage mécanique induit des déformations du réseau cristallin du silicium en surface, donc des centres de pièges des porteurs. Il en résulte une forte recombinaison des porteurs minoritaires en surface (chapitre 3, paragraphe "Résultats statiques du substrat aminci").

Cet exemple illustre les possibilités d'application de la simulation 3D pour prédire des phénomènes physiques afin d'illustrer les propriétés électriques du substrat.

IV.7. Simulation mixte : physique et électrique

L'outil de simulation physique [ISE99] permet de réaliser des simulations mixtes dans lesquelles l'utilisateur peut effectuer des simulations conjointes, c'est-à-dire les simulations électriques et physiques. La Figure 58 illustre un exemple de réalisation de simulation mixte.

tel-00011035, version 1 - 18 Nov 2005

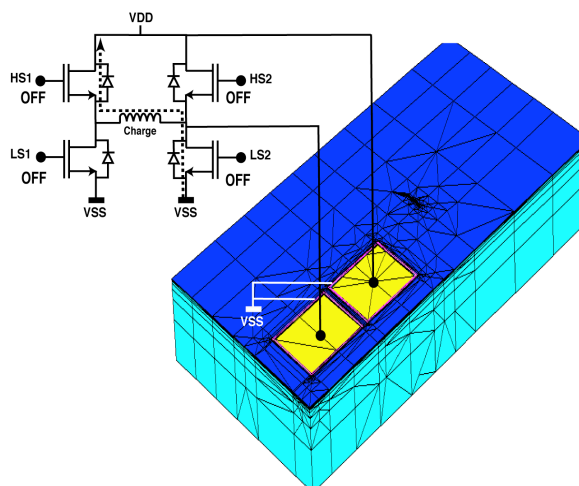


Figure 58 : Exemple de simulation mixte

Cette simulation mixte permet de coupler la structure physique avec le circuit électrique pendant la simulation. Ce point important permet à l'utilisateur de simplifier les couches technologiques complexes en les remplaçant par un composant ou un circuit électrique équivalent. Dans notre étude, les caissons N⁺ simplifiés constituent les transistors LDMOS de puissance où sont intégrés les diodes de roue libre (jonction PN source/drain). Ces diodes de roue libre ne sont pas utilisées dans la structure physique par souci de simplification mais sont complétées dans le circuit électrique. La méthode employée dans le paragraphe III.5 ("Contraintes de maillage") s'applique également ici.

IV.8. Conclusion

L'outil de simulation physique est nécessaire à la résolution du problème de courant de substrat. Il permet d'évaluer le fonctionnement du transistor bipolaire parasite dans le substrat en fonction de la technologie, de la nature de la perturbation (statique et dynamique), de la température et des dimensions géométriques des dispositifs étudiés. La description comportementale de ce dispositif parasite peut être modélisée en utilisant des techniques d'extraction de paramètres électriques [SCH03] [SUB01] [SPE98]. Ces paramètres constituent le modèle Gummel-Poon du transistor bipolaire que l'on introduira dans les simulations électriques SPICE. Ainsi, à travers ces simulations, des techniques de protection pourront être développées et optimisées. Egalement, des résistances supplémentaires telles que la résistance de substrat entre deux caissons N⁺, la résistance des contacts des puits P⁺ et des résistances parasites d'interconnexion pourront être

introduites dans ces simulations. Ces paramètres sont responsables du retard de l'amorçage du transistor bipolaire parasite que l'on détaillera plus loin dans les chapitres suivants. Cette démarche de travail entre dans le cadre de la méthodologie de conception, présenté en début de ce chapitre.

Les temps de calcul liés à cette méthodologie de conception peuvent être considérablement réduits grâce aux techniques de réduction de maillage de la structure physique proposées et l'utilisation de la simulation mixte.

V. Conclusion

Face à l'évolution croissante des nouvelles technologies de puissance intelligente, les courants de substrat constituent un problème récurrent qui est aggravé par la réduction des dimensions des composants. Pour répondre aux exigences de fiabilité, de nouvelles méthodes de conception doivent être développées pour prédire le comportement physique du courant de substrat afin de mettre au point des solutions adaptées pour le réduire.

Notre étude propose une méthodologie de conception adaptée à toutes filières technologiques. Cette méthodologie repose sur l'utilisation d'un outil de simulation physique capable d'extraire des éléments parasites dans le substrat en fonction de leur disposition ainsi que de la dimension géométrique des circuits intégrés. Ces éléments parasites sont la résistance de substrat et surtout le transistor bipolaire latéral parasite. En effet, ces paramètres favorisent l'injection des porteurs minoritaires à travers le substrat.

L'outil de simulation physique 3D de la société ISE a été utilisé comme outil d'extraction. En effet, cet outil comporte des modèles physiques adaptés pour décrire les phénomènes physiques de l'injection de porteurs minoritaires. De plus, il permet de simuler l'évolution du courant de substrat en fonction de la dimension géométrique du circuit intégré et de la température de l'environnement. Cependant, la précision des résultats de simulation dépend de la qualité du maillage de la structure physique. Une technique de réduction de maillage est proposée sans altérer les résultats. De plus, certaines structures physiques peuvent être remplacées par des circuits électriques équivalents pour réaliser une simulation mixte. Ainsi, le temps de résolution du problème de courant de substrat peut être considérablement réduit.

Une étude comparative entre la simulation 2D et 3D a été effectuée pour comprendre l'impact de la structure physique sur les résultats de simulation. Les résultats obtenus ont montré des courants très distincts entre ces deux types de simulation en raison de la modification de la résistance de substrat ainsi que des résistances parasites supplémentaires. De plus, le phénomène de recombinaison des porteurs minoritaires diffère dans les deux cas. En effet, ce courant de porteurs minoritaires est un courant de diffusion propagé à travers le substrat, zone limitée par la surface de la puce et par son épaisseur. La structure physique 2D qui n'est pas fidèle à cette représentation géométrique n'est donc pas utilisée dans notre étude. Cet outil de simulation 3D est validé par la mesure de structures de tests intégrées dans le cas d'une puce amincie.

Les résultats de simulation sont ensuite utilisés pour modéliser les dispositifs parasites en vue de simulations électriques de type SPICE. Ainsi, l'utilisateur peut effectuer des simulations électriques pour l'optimisation.

Des structures de test composées de composants de puissance en raison de sa taille sont proposées non seulement pour étudier l'impact du courant parasite sur les zones à protéger mais aussi pour valider des techniques de protection développées. Ces structures sont ensuite soumises à des tests de caractérisation en mode statique et dynamique sans négliger l'aspect thermique.

Chapitre 3

Impact du substrat

Ce chapitre est consacré à l'impact du type de substrat sur le phénomène de l'injection de porteurs minoritaires. Les mécanismes mis en jeu dans le substrat lors de l'injection du courant parasite sont analysés en détail. Ainsi nous pourrions développer et valider des structures de protection destinées à réduire ce courant parasite. En effet, l'utilisation de ces structures de protection est fortement liée à la nature de la technologie du substrat. A titre d'exemple, une structure de protection active, présentée dans le chapitre 4, ne peut pas être efficace dans le cas d'un substrat P⁺.

I. Présentation de la technologie du substrat

Les technologies de substrat utilisées dans notre étude sont au nombre de trois : une technologie épitaxiée P⁻ d'épaisseur 3 μm sur un substrat P⁻ (ou technologie P⁻), une technologie épitaxiée P⁻ d'épaisseur 3,5 μm sur un substrat P⁺ (ou technologie P⁺) et enfin une technologie épitaxiée P⁻ d'épaisseur 6,5 μm sur un substrat P⁺ (ou technologie P⁻/P⁺). Le processus technologique utilisé, commun à ces trois technologies, est issu de la technologie CMOS qui repose sur la réalisation du procédé d'épitaxie sur un substrat massif.

Des séries de test effectuées sur ces technologies donnent des résultats expérimentaux distincts en régime statique et transitoire. En effet, les propriétés physiques et électriques dans le substrat diffèrent selon la nature de la technologie utilisée.

I.1. Présentation de la technologie du substrat P⁻

La technologie du substrat P⁻ comporte une épitaxie P⁻ de concentration $2 \cdot 10^{15} \text{ cm}^{-3}$ d'épaisseur de 3 μm sur un substrat massif P⁻ de résistivité 14-22 Ω.cm. La réalisation d'un caisson N⁺ se fait en plusieurs étapes : une implantation N⁺ sur le substrat massif avant la croissance épitaxiale pour former une couche enterrée N⁺ (ou NBL), puis de multiples implantations ioniques N⁺ à différentes énergies et donc à différentes profondeurs de l'épitaxie P⁻ pour former un puits N⁺ de concentration homogène jusqu'en surface; enfin une implantation N⁺ de forte dose en surface pour obtenir un contact ohmique (Figure 59). Ce procédé est également utilisé pour former un puits ou caisson P⁺.

Dans l'épitaxie P⁻ de faible concentration, sous l'oxyde d'isolation, un canal d'inversion du transistor MOS parasite peut se former et donc induire un court-circuit entre deux caissons N⁺. Une implantation de type P⁺ réalisée dans l'épitaxie élimine ces effets parasites. Cette couche implantée est souvent appelée "channel stopper" (CS) dans les articles bibliographiques [\[MUR96-A\]](#).

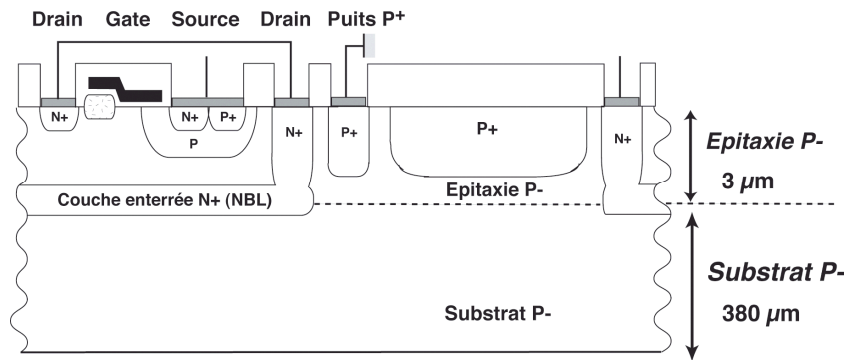


Figure 59 Présentation de la technologie P-

Cette technologie favorise l'intégration des transistors de puissance de tension de claquage jusqu'à 70V grâce à la technique double RESURF [PAR00]. Cette technique implique l'utilisation de deux contacts de drain court-circuités dans le transistor NLD MOS, présenté en Figure 59, pour augmenter sa tenue en tension.

1.2. Substrat aminci

Nous avons réalisé l'amincissement du substrat pour évaluer l'impact de la résistance de substrat sur le courant parasite dans la victime. Les techniques d'amincissement sont réalisées par le biais du rodage mécano-chimique sur la face arrière pour réduire l'épaisseur du substrat de 380 μm à 50 μm (Figure 60). En fin de procédé, la face arrière du substrat devient rugueuse.

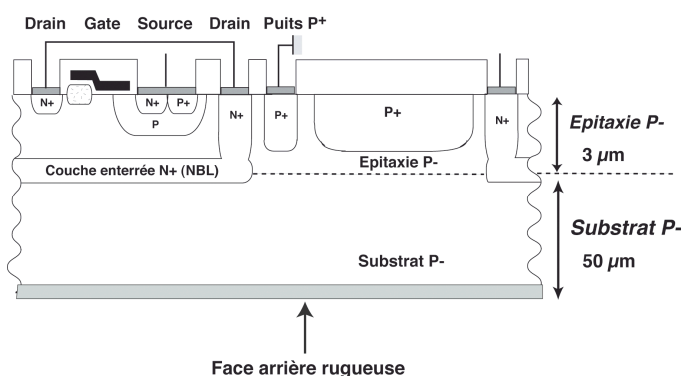
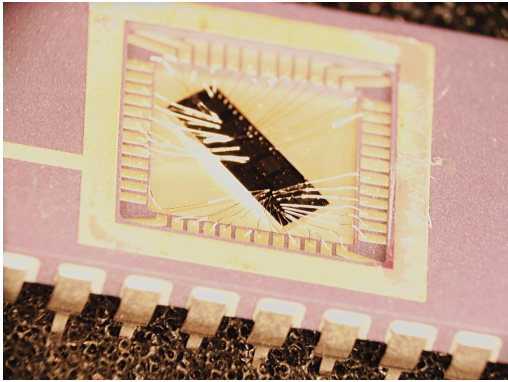
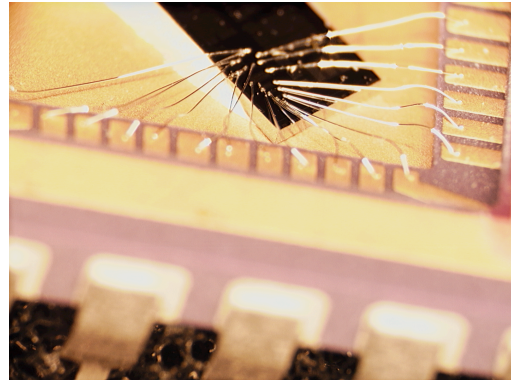


Figure 60 : Présentation du substrat P⁻ aminci à 50 μm

Le substrat aminci est ensuite reporté sur le boîtier céramique à l'aide d'une colle étendue sur la face arrière. L'assemblage des fils d'interconnexion du boîtier céramique à la puce amincie a été réalisée avec succès. Les Figure 61 et Figure 62 présentent les exemples de réalisation.

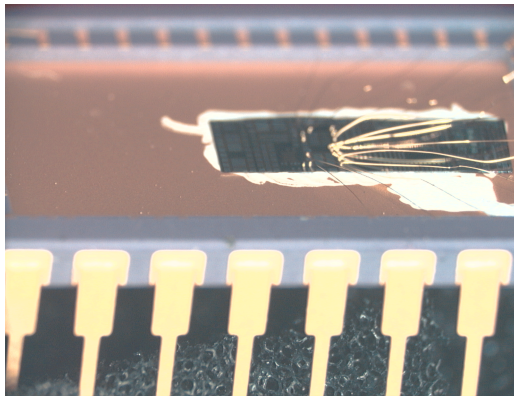


Vue de dessus

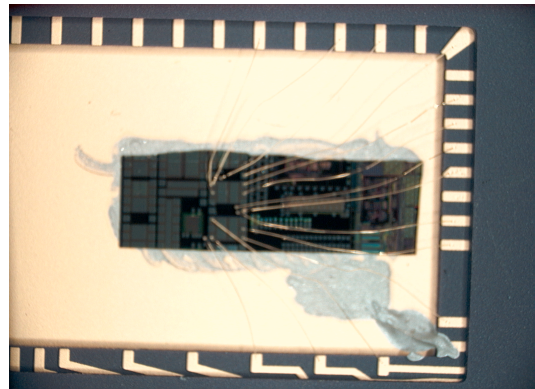


Vue zoomée

Figure 61 : Substrat standard d'épaisseur $t_{SUB}=380\mu m$



Vue de dessus



Vue zoomée

Figure 62 : Substrat aminci d'épaisseur $t_{SUB}=50\mu m$

Une mesure électrique est effectuée entre la zone émettrice, où est appliqué le potentiel négatif, et la zone collectrice polarisée à 5V (Figure 63). Ces zones de surface identique $700*700\mu m^2$ sont séparées d'une distance de $475\mu m$. De plus, elles sont entourées de puits P^+ de largeur égale à $10\mu m$. Les résultats de caractérisation électrique sont donnés ultérieurement (cf.paragraphe "Résultats statiques du substrat aminci").

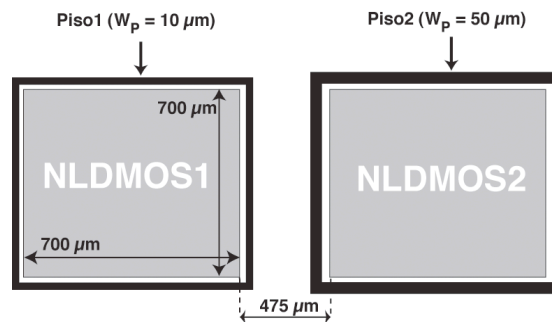


Figure 63 : Structure de test

I.3. Présentation de la technologie du substrat P-/P+

I.3.a. Epitaxie fine de 3,5µm

Dans cette technologie, le substrat P⁻ est remplacé par un substrat P⁺. La réalisation des composants en surface nécessite l'utilisation d'une couche épitaxiée P⁻ de concentration $1.10^{+15} \text{ cm}^{-3}$ sur un substrat P⁺ de faible résistivité de concentration $4.10^{+18} \text{ cm}^{-3}$. Lors du procédé technologique, une couche épitaxiale d'épaisseur de 3,5µm est réalisée sur le substrat P⁺ (Figure 64). Des recuits thermiques utilisés lors du procédé induisent une diffusion naturelle des dopants du substrat P⁺ à travers cette épitaxie jusqu'en surface (Figure 65, courbe continue). Des implantations de haute énergie de N⁺ ou P⁺ réalisées dans le substrat forment des caissons N⁺ ou P⁺.

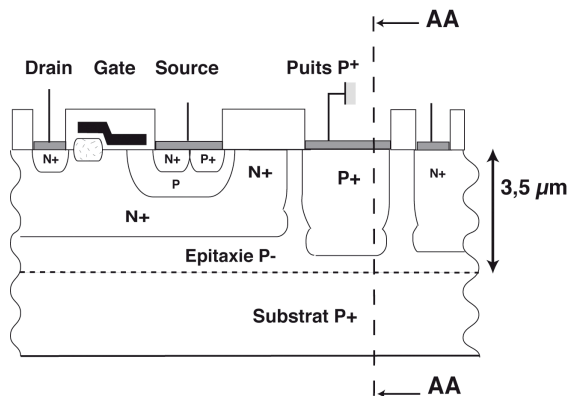


Figure 64 Présentation de la technologie du substrat 3,5µm P-/P+

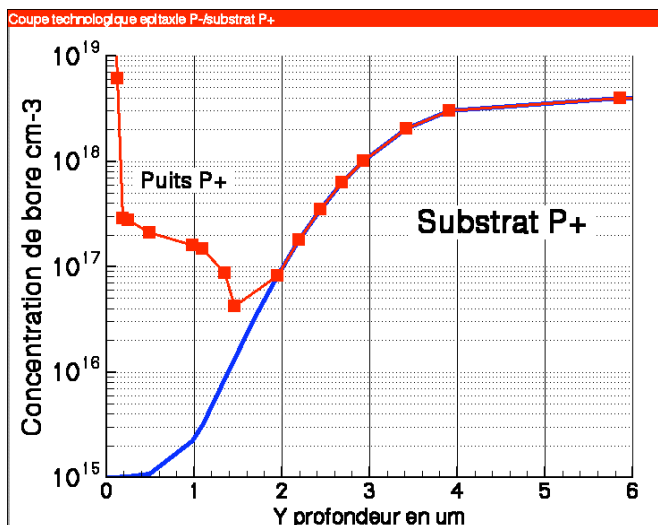


Figure 65 Présentation de la concentration de bore (cm⁻³) fonction de la profondeur (µm) (coupe AA)

tel-00011035, version 1 - 18 Nov 2005

Ainsi le puits P⁺ atteint le substrat P⁺ (Figure 65 courbe continue avec points carrés, Figure 64 coupe AA). Une tension appliquée à ce puits P⁺ polarise de façon homogène le substrat en raison de sa faible résistivité. Les règles de dessin de la technologie employée nécessite que les caissons N⁺, où sont intégrés les circuits, soient séparés par des zones fortement dopées P⁺.

Cette technologie héberge des composants CMOS (0,25μm) ainsi que des composants de puissance de faible tension de claquage jusqu'à 30V. De plus, ces puits P⁺ ont pour rôle, outre le contact du substrat, d'éliminer le transistor MOS parasite entre des composants du circuit.

I.3.b. Epitaxie épaisse de 9,5 μm

L'intégration des composants de puissance de tenue en tension élevée jusqu'à 70V sur un substrat P⁺ nécessite l'utilisation d'une épitaxie P⁻ de grande épaisseur ($T_{\text{épi}}=9,5\mu\text{m}$) sur un substrat P⁺. En effet, le fait d'intégrer une structure de transistor de puissance proche du substrat P⁺ dégrade ses performances de tenue en tension [MOS00] [PAR02].

Le substrat P⁺ de concentration $4.10^{18} \text{ cm}^{-3}$ avec une couche épitaxiale P⁻ de faible concentration $1-2.10^{15} \text{ cm}^{-3}$ d'épaisseur de $T_{\text{épi}}=6,5\mu\text{m}$ est utilisé comme support de départ du procédé technologique. Ce dernier est identique à celui employé pour réaliser des circuits intégrés dans la technologie de substrat P⁻, présenté au début de ce chapitre. Donc, une implantation ionique N⁺ ou P⁺ à travers cette couche d'épitaxie est réalisée pour former des couches enterrées. Ensuite, une croissance épitaxiale P⁻ de faible concentration $1-2.10^{15} \text{ cm}^{-3}$ d'épaisseur de $3\mu\text{m}$ est utilisée pour héberger des composants en surface.

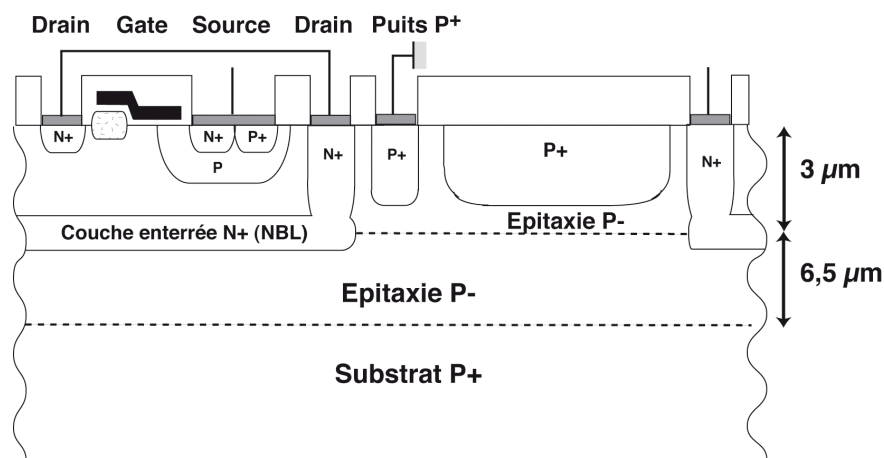


Figure 66 Présentation de la technologie du substrat 9,5μm P-/P+

Enfin, de multiples implantations ioniques N ou P de différentes énergies à différentes profondeurs à travers cette dernière couche épitaxiale sont introduites pour former un puits ou un caisson jusqu'en surface; enfin une implantation N⁺ ou P⁺ de forte dose en surface pour obtenir un contact ohmique.

Comme dans le cas de la technologie de substrat P⁻, une couche P⁺ implantée sous l'oxyde d'isolation permet d'éliminer le transistor MOS parasite entre deux caissons N⁺.

II. Mécanismes d'injection de porteurs minoritaires dans une technologie de substrat P⁻

Ce paragraphe est consacré à l'analyse physique de l'injection des porteurs minoritaires dans un substrat P⁻. Nous allons mettre en lumière les mécanismes physiques mis en jeu avec les résultats expérimentaux et ceux de la simulation physique. L'influence de la température de l'environnement sur les propriétés physiques de cette injection de courant de substrat sera également étudiée.

II.1. Structures de test

Des structures de test (Figure 67), composées de transistors de puissance de grande surface ($580 \times 1300 \mu\text{m}^2$) espacées les unes des autres de différentes distances respectivement $30 \mu\text{m}$, $450 \mu\text{m}$ et $870 \mu\text{m}$, sont proposées pour mettre en évidence les mécanismes physiques du courant de substrat entre ces transistors. Ces composants de puissance sont utilisés dans les applications automobiles en particulier pour la commande des valves hydrauliques pour le système de freinage ABS. Ces transistors sont entourés d'un anneau de puits P⁺, servant de contact au substrat, de largeur fixe de $3 \mu\text{m}$.

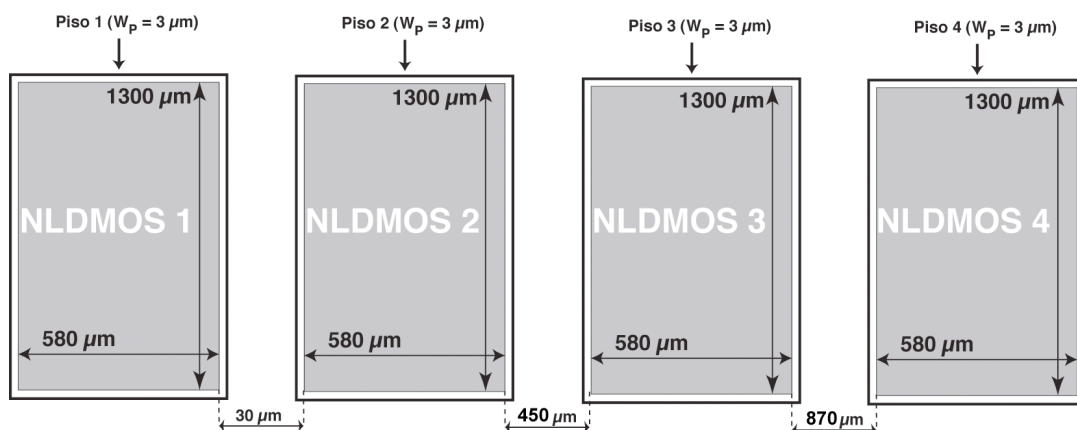


Figure 67 : Structures de test

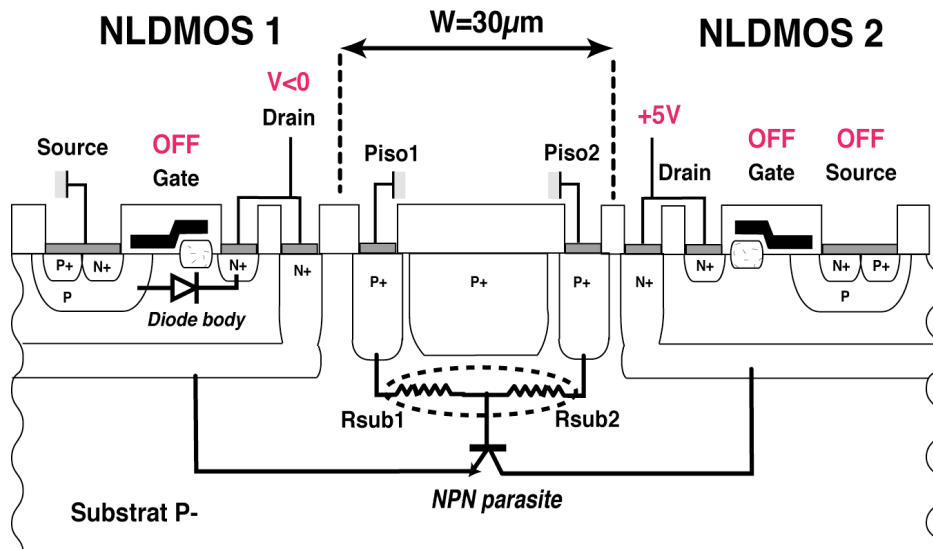


Figure 68 : Coupe technologique des structures de test

Une polarisation négative en régime statique de 0 à -1,4V est appliquée au niveau du drain du transistor NLDMOS1 (Figure 68). Une mesure effectuée sur les courants, injecté I_e au drain du transistor NLDMOS1 et collecté I_c au drain du transistor NLDMOS2, permet de tracer leurs courbes de réponse en Figure 70.

Comme on peut le voir sur le schéma électrique équivalent de ce dispositif de test (Figure 68 et Figure 69), le courant injecté de porteurs minoritaires I_e , lors d'une polarisation négative au drain du transistor NLDMOS1, est celui qui traverse la diode de roue libre (diode source/drain), et le transistor NPN parasite s'il est déclenché dans le substrat. Le courant collecté I_c correspond au courant parasite dans le substrat que collecte le transistor NLDMOS2 au niveau du contact de drain. Les deux puits P⁺ (Piso1 et Piso2) reliés à la masse forment une résistance de substrat équivalente R_{sub} (R_{sub1} et R_{sub2} en parallèle, Figure 68).

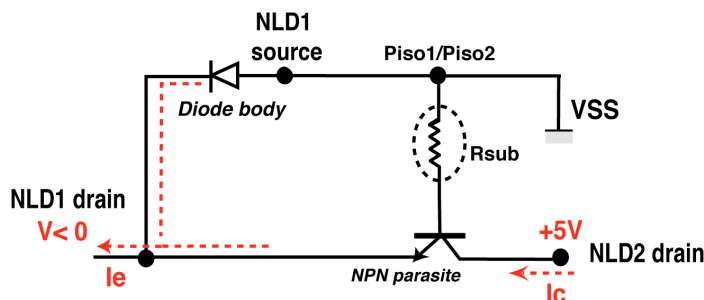


Figure 69 : Schéma équivalent du dispositif de test

tel-00011035, version 1 - 18 Nov 2005

II.2. Résultats statiques

Les courants injecté (I_e) et collecté (I_c) mesurés en fonction de la tension d'émetteur (V_e), présentés en échelle logarithmique en Figure 70, sont caractéristiques du fonctionnement du transistor bipolaire parasite dans le substrat. Avec cette représentation, nous pouvons traduire des mécanismes physiques mis en jeu dans le substrat surtout à faible injection (plage de potentiel compris entre $-0.6V$ et $0V$) et à forte injection ($V_e < -0.6V$).

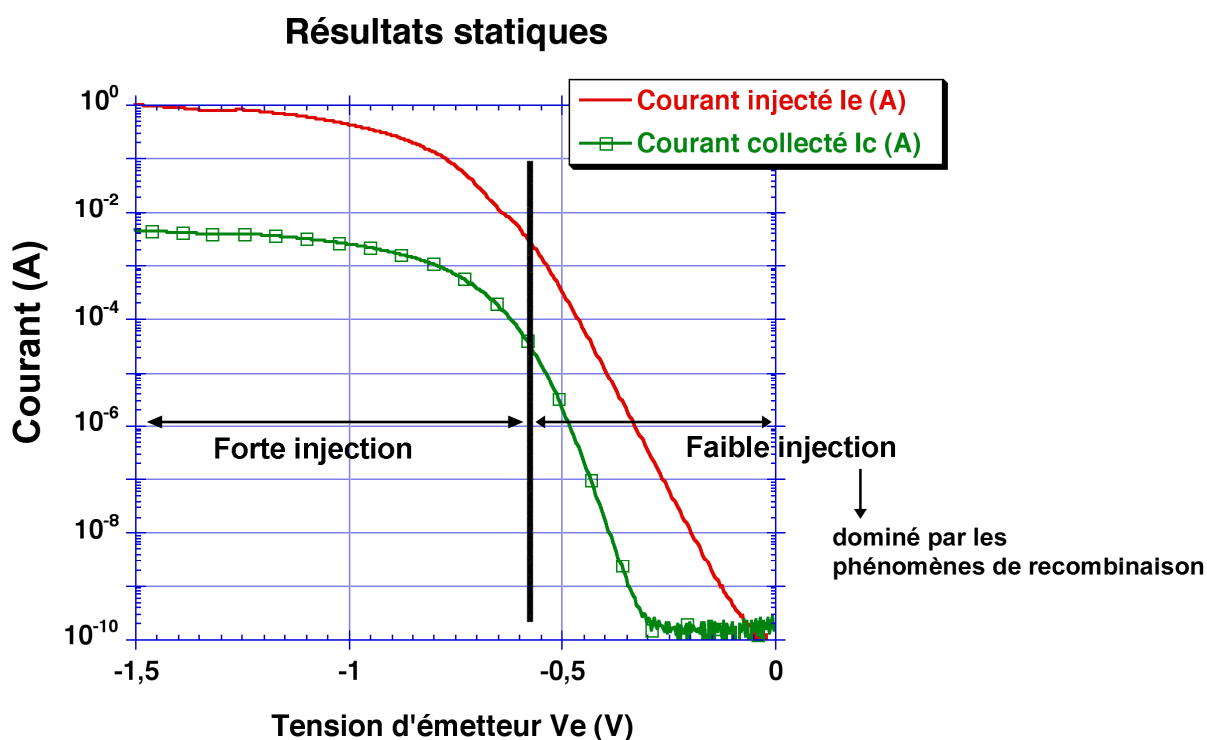


Figure 70 : Courants mesurés en fonction de la tension appliquée au drain NLD MOS1

En faible injection, ces courants dépendent des mécanismes de recombinaison. A forte injection, des phénomènes de modulation de conductivité du substrat ainsi que des résistances parasites influent sur ces courants.

Le courant collecté obtenu est inférieur au courant injecté. Il est le résultat du mécanisme de recombinaison des porteurs minoritaires dans le substrat. Ainsi, le rapport entre le courant collecté et le courant injecté (I_c/I_e), est de l'ordre de 1% (ou 10^{-2}). C'est le gain en courant du transistor bipolaire parasite qui régit ce comportement ($I_c/I_b \approx I_c/I_e$). Il dépend du dopage du substrat et de la distance entre la zone émettrice et collectrice ou largeur de base comme le contrôle du gain du transistor bipolaire standard dans les applications analogiques.

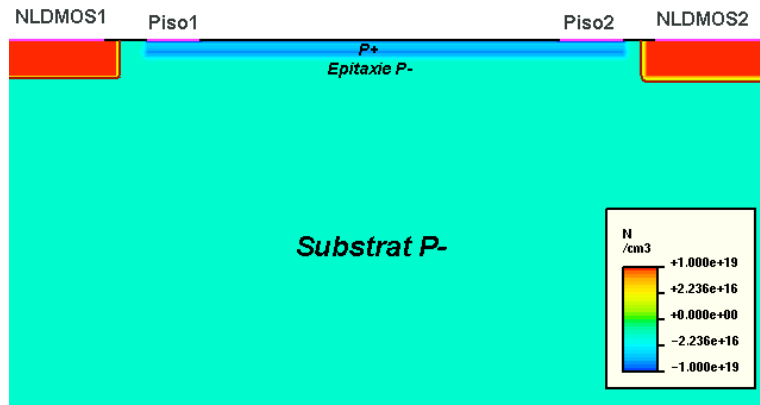


Figure 71.a : Coupe technologique

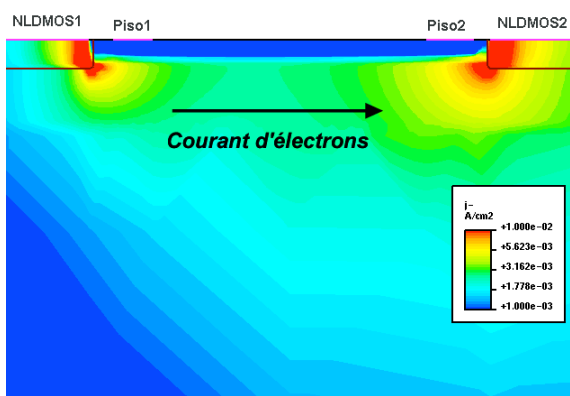


Figure 71.b : Courant d'électrons à $V_e=-0,45V$

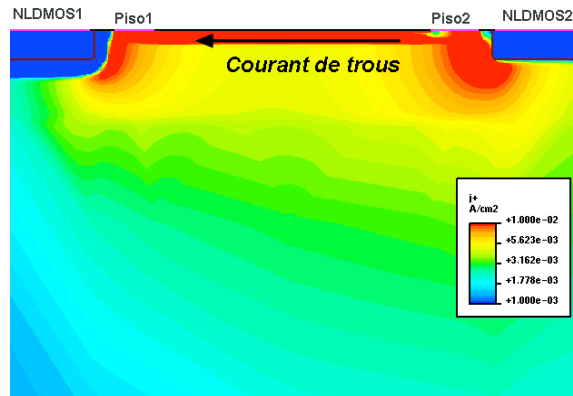


Figure 71.c : Courant de trous à $V_e=-0,45V$

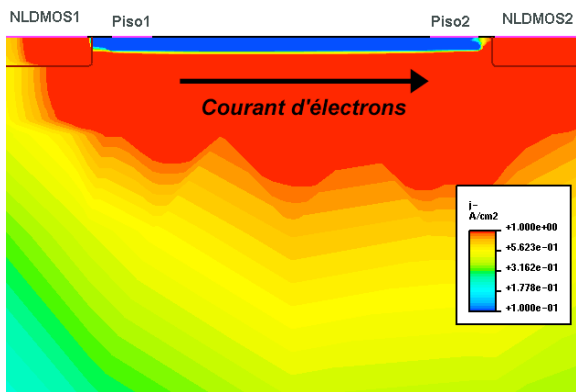


Figure 71.d : Courant d'électrons à $V_e=-0,75V$

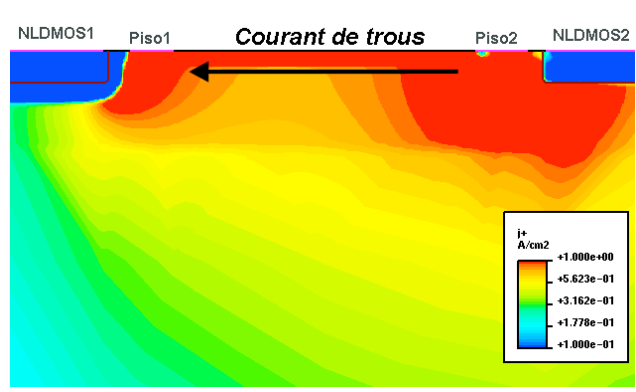


Figure 71.e : Courant de trous à $V_e=-0,75V$

Figure 71 : Flux des porteurs minoritaires (électrons) et majoritaires (trous) dans le substrat P⁻ issu des résultats de simulation physique (coupe transversale)

En faible injection (Figure 71.b)($V_e=-0.45V$), le courant d'électrons se propage sous la couche P⁺ de l'oxyde d'isolation (Figure 68) où circule le courant de trous (Figure 71.c). La circulation de ce courant de diffusion de porteurs minoritaires a lieu dans le substrat en raison de sa faible concentration. En effet, le phénomène de recombinaison est peu prépondérant à cet endroit par rapport à celui dans la couche P⁺. De plus, la présence du

tel-00011035, version 1 - 18 Nov 2005

courant de porteurs minoritaires très concentré en surface plutôt que dans la profondeur du substrat s'explique par la proximité de la zone collectrice (NLDMOS2).

Cela implique que l'utilisateur peut contrôler ce niveau en jouant sur le gain du transistor bipolaire parasite dans le substrat. En raison de la faible concentration du substrat, une distance plus importante entre deux caissons N⁺ pourrait contribuer à une diminution sensible du courant parasite.

En forte injection ($V_e = -0.75V$), le courant de porteurs minoritaires très prépondérant se propage dans tout le substrat (Figure 71.d, Figure 72). La neutralité électrique des charges induit la création d'un courant de trous pour compenser le courant d'électrons dans le substrat (Figure 71.e). Ainsi est obtenue la modulation de conductivité du substrat. Il en résulte une modification du niveau de courant injecté et collecté. En effet, une résistance de substrat plus faible améliore la conduction du transistor bipolaire parasite à fort niveau d'injection. Cela se traduit par une augmentation nette du courant collecté et du courant injecté. Ce phénomène apparaît souvent dans une zone de substrat très résistif.

Un substrat de faible concentration de dopants ne favorise pas des phénomènes de recombinaison. Une grande distance entre deux caissons N⁺ est nécessaire pour diminuer le gain du transistor bipolaire parasite et donc le courant parasite.

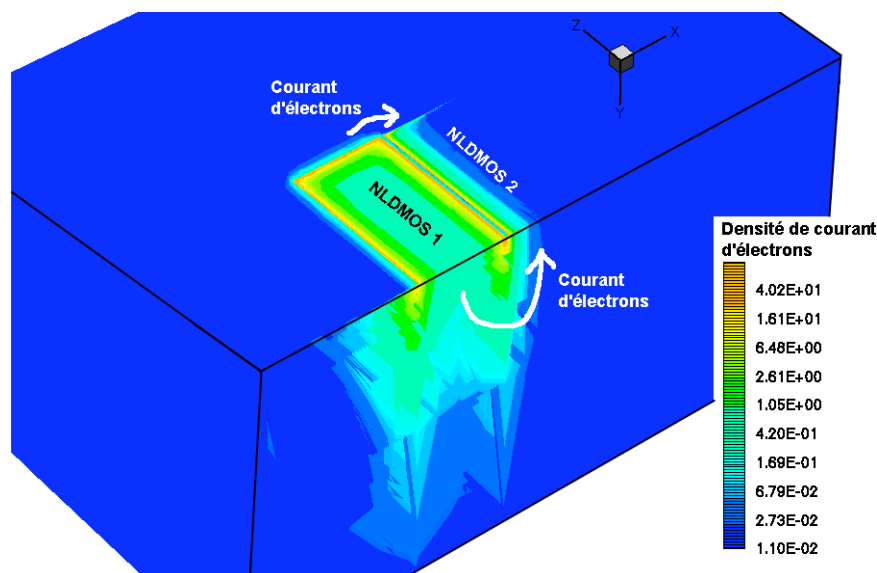


Figure 72: Flux de porteurs minoritaires dans le substrat de la structure physique 3D

Une mesure sur les autres structures de test (NLDMOS 3 et 4) permet de connaître l'influence de la distance entre deux caissons N⁺ sur le courant collecté. Ainsi, nous pouvons mieux étudier le phénomène de recombinaison dans le substrat P (Figure 67, Figure 73).

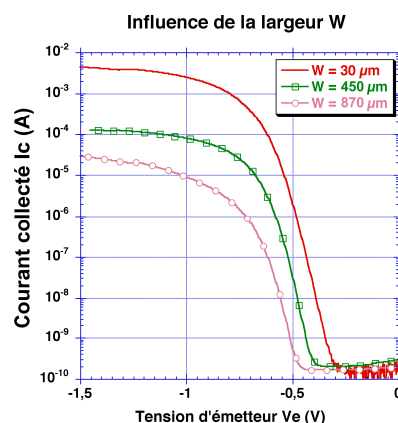


Figure 73 : Courant collecté en fonction de la distance entre deux caissons N⁺

D'après la Figure 73, une largeur (W) importante (jusqu'à $W=870\mu\text{m}$) n'a qu'un impact limité sur la valeur du courant parasite. Ce résultat illustre clairement qu'un substrat de forte résistivité (de faible concentration) a pour caractéristique une très grande longueur de diffusion des porteurs minoritaires. Ainsi, la propagation du courant parasite à travers tout le substrat est possible comme le montre la Figure 72 issue de la simulation physique 3D.

En conclusion, une augmentation de largeur (W) entre la zone émettrice et la zone collectrice ne permet pas de réduire suffisamment le courant parasite. En revanche, une modification du dopage de substrat pourrait contribuer à une diminution du gain du transistor bipolaire parasite et donc du courant parasite.

L'influence de la température de l'environnement sur les courants injectés et collectés est illustrée en Figure 74. On observe un écart net de courants injectés et collectés obtenus à deux températures différentes du silicium ($T=25^{\circ}\text{C}$ et $T=150^{\circ}\text{C}$). En effet, un bilan thermique élevé dans le silicium favorise la génération des porteurs plutôt que leur recombinaison. Il en résulte une augmentation conséquente des courants injecté et collecté surtout à faible injection ($-0.6 < V_e < 0$). Une augmentation de température contribue à une durée de vie des porteurs minoritaires, donc une longueur de diffusion plus grande et enfin un courant parasite plus important.

A fort niveau d'injection, le courant collecté à $T=150^{\circ}\text{C}$ est plus élevé que celui obtenu à $T=25^{\circ}\text{C}$. Cela se traduit par l'importance de la modulation de conductivité du substrat malgré l'augmentation de la résistivité du substrat avec la température. En effet, une injection conséquente de porteurs minoritaires dans un substrat résistif induit une chute brutale de la résistance de substrat, responsable de la conduction permanente du transistor bipolaire parasite.

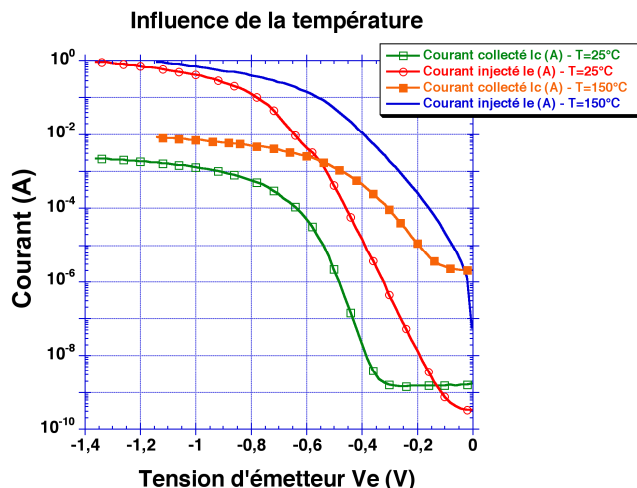


Figure 74 : Courant injecté et courant collecté fonction de la température

Avec ces résultats, nous pouvons valider les mécanismes physiques de l'injection des porteurs minoritaires décrits en début de ce paragraphe.

II.3. Résultats statiques du substrat aminci

Une mesure électrique est effectuée entre la zone émettrice, où est appliqué le potentiel négatif, et la zone collectrice polarisée à 5V (Figure 63). Ces zones de surface identique $700 \times 700 \mu\text{m}^2$ sont séparées d'une distance de $475 \mu\text{m}$. De plus, elles sont entourées de puits P^+ de largeur égale à $10 \mu\text{m}$.

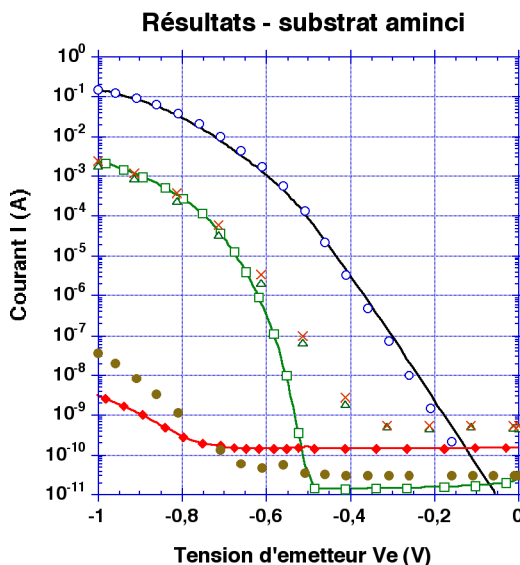


Figure 75 : Résultats

L'impact de l'amincissement du substrat sur le courant collecté est clairement illustré sur la Figure 75. Un courant collecté de l'ordre de 30nA au lieu de 2mA est obtenu pour un courant injecté de 200mA. Cependant, le courant de fuite de la jonction PN polarisée en inverse, à bas niveau de tension (entre 0V et -0.4V), augmente après amincissement du substrat.

Cette forte réduction de courant s'explique d'une part par l'augmentation de la résistance de substrat et d'autre part par la forte recombinaison des porteurs obtenue à la face arrière du substrat comme le montrent les résultats de simulation physique (Figure 76). En effet, la technique d'amincissement du substrat par rodage mécanique induit des déformations du réseau cristallin du silicium en surface, donc des centres de pièges des porteurs. Il en résulte des processus de recombinaison en surface sur la face arrière du substrat. Par conséquent, le passage de courant d'électrons est réalisé jusqu'à la face arrière du substrat au lieu du transistor voisin (NLD MOS2).

L'impact du substrat aminci sur le courant parasite est d'autant plus important que l'épaisseur du substrat est faible devant la distance qui sépare la zone émettrice de la zone à protéger ou victime.

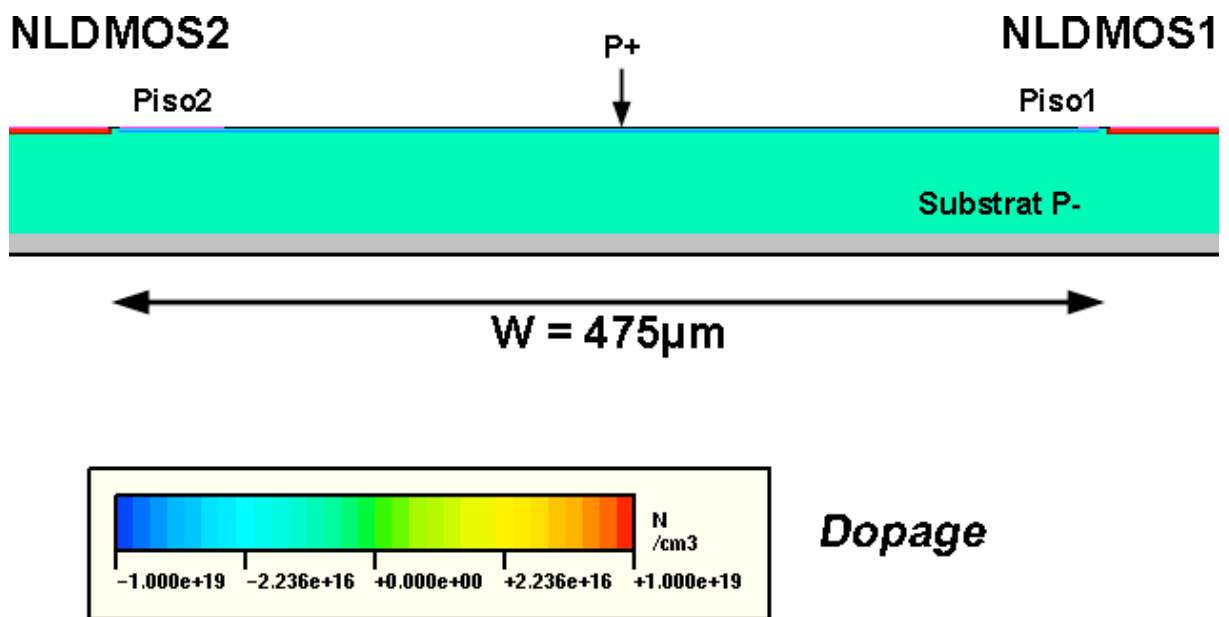


Figure 76.a : Coupe technologique

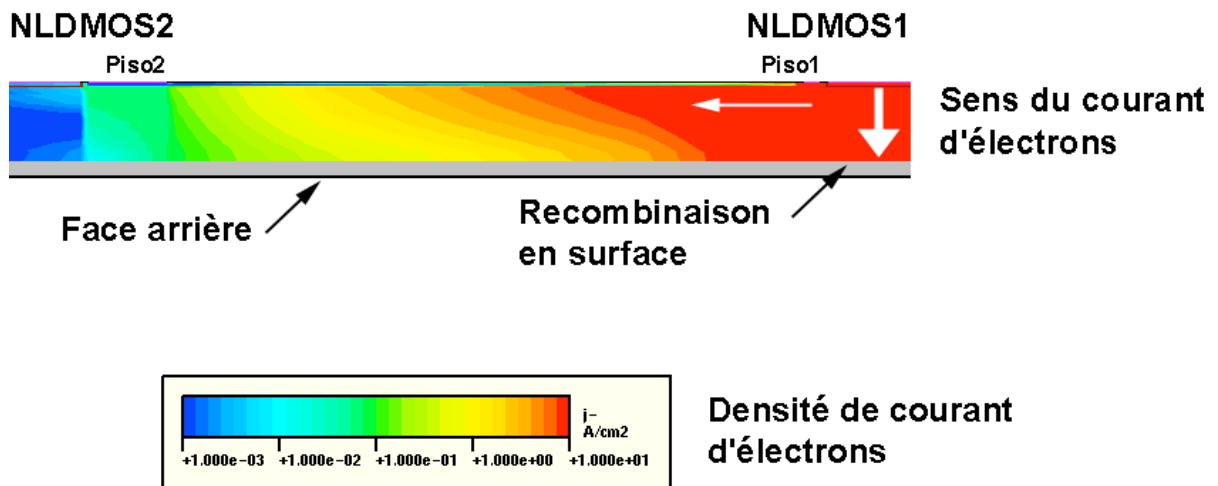


Figure 76.b : Courant d'électrons à $V_e = -1V$

Figure 76 Flux des porteurs minoritaires (électrons) dans le substrat P aminci issu des résultats de simulation physique (coupe transversale)

II.4. Résultats transitoires

L'analyse temporelle des courants nous permet de connaître la rapidité du courant parasite à atteindre les victimes ou les zones à protéger. En d'autres termes, l'analyse transitoire caractérise l'amorçage du transistor bipolaire parasite en fonction de la technologie employée.

Avec un banc de test spécifique, présenté en chapitre 2, des impulsions de courant négatif de niveau variable et de largeur d'impulsion fixée à $t = 25\mu s$ sont appliquées au contact de drain du transistor NLD MOS1 (Figure 67). Ce courant négatif ou courant injecté traverse le contact de source du transistor NLD MOS1 et les contacts au substrat à la masse (Piso1 et Piso2 à la masse). Une mesure en courant effectuée au contact de drain du transistor voisin NLD MOS2 (courant collecté I_c) indique l'évolution du courant parasite en fonction de la perturbation (Figure 77).

Nous pouvons décomposer l'évolution de ce courant collecté en trois parties (t_A , t_B , t_C).

Pendant la phase t_A de l'ordre de $4\mu s$, un temps est nécessaire aux porteurs majoritaires c'est-à-dire les trous à circuler à travers le substrat résistif puis la zone émettrice pour mettre en direct la jonction P_substrat/caisson N^+ . Il en résulte un retard de conduction de cette jonction donc de propagation du courant de porteurs minoritaires en raison de la résistivité

du substrat et de la grande surface de la zone émettrice et donc de sa capacité. Nous pouvons traduire ce résultat par l'influence de la constante de temps $R_{SUB}C_{emetteur}$.

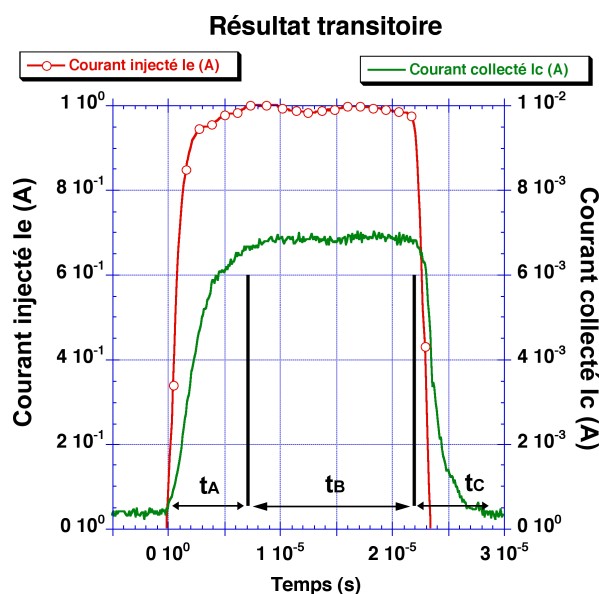


Figure 77 : Résultat transitoire de courant injecté et courant collecté

La seconde phase t_B correspond à la phase de conduction du transistor bipolaire parasite. Enfin, la dernière phase t_C correspond à l'évacuation des charges stockées, c'est-à-dire les porteurs minoritaires autour de la zone émettrice, avant la mise en inverse de la jonction PN. Nous pouvons traduire ce phénomène par la contribution du substrat résistif P^- à retarder l'amorçage du transistor bipolaire parasite.

II.5. Conclusion

Une série de mesures statiques et dynamiques a été effectuée sur des structures de test de grande dimension pour évaluer le courant parasite dans le substrat résistif P^- .

En faible injection, une augmentation nette de distance entre la zone émettrice et la zone à protéger ne réduit pas sensiblement le courant parasite en raison de la faible concentration du substrat. Une faible concentration de substrat ne favorise pas des phénomènes prépondérants de recombinaison des porteurs dans le substrat, surtout à forte température de l'environnement. De plus, une injection conséquente de porteurs minoritaires dans un substrat résistif induit la modulation de sa conductivité qui se traduit par un courant parasite prépondérant dans la zone collectrice.

Des mécanismes physiques mis en jeu dans le substrat lors de l'injection des porteurs minoritaires sont clairement illustrés et ont fait que le substrat étudié n'est pas adapté pour réduire le courant parasite. Donc, des techniques de protection doivent être développées pour le réduire.

La technique d'amincissement du substrat permet de réduire considérablement le courant collecté mais nécessite une étape technologique supplémentaire.

En vue de réduire le courant parasite, une solution alternative consiste à diminuer considérablement le gain du transistor bipolaire parasite en contrôlant le dopage du substrat. Un substrat de forte concentration P⁺ est proposée pour remédier ce problème.

III. Mécanisme d'injection en technologie de substrat P⁻/P⁺ à épitaxie "fine" ou en technologie de substrat P⁺

Des inconvénients sur le substrat P⁻ ont été constatés et ont fait que cette technologie n'est pas adaptée pour réduire le courant parasite. La technologie de substrat P⁺ a été développée pour pallier ces problèmes.

III.1. Structures de test

Des structures de test, composées de transistors de puissance de surface de 217*376μm², sont disposées proches d'un caisson N⁺ de surface donnée de 10*376μm² comme zone collectrice de porteurs minoritaires ou victime.

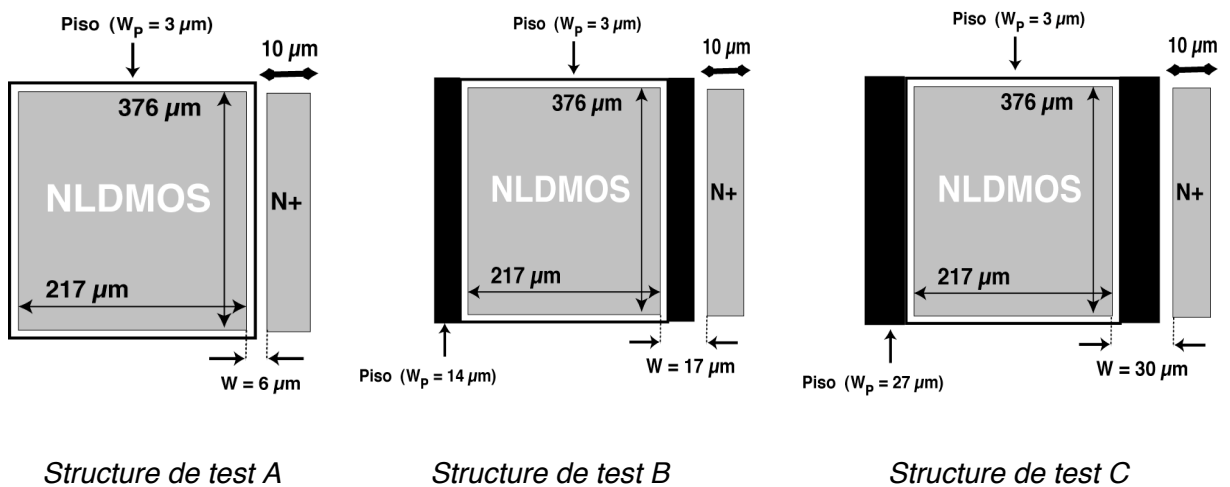


Figure 78 : Structures de test

La zone émettrice du transistor NLD MOS, et la zone collectrice du caisson N^+ , sont séparées par un contact au substrat (Piso) réalisé à l'aide de l'anneau de puits P^+ de différentes largeurs respectivement $3\mu\text{m}$ (Piso1), $14\mu\text{m}$ (Piso2) et $27\mu\text{m}$ (Piso3). Ces contacts de différentes largeurs donnent trois structures de test (A, B et C). Il faut souligner que ces anneaux de puits P^+ sont en contact avec le substrat P^+ (Figure 64). Certes, le contact de source ainsi que ces contacts au substrat sont reliés à la masse.

III.2. Résultats statiques

Comme dans le cas précédent, une polarisation négative en régime statique de 0 à $-1,5\text{V}$ est appliquée au niveau du drain du transistor NLD MOS de la structure de test C (Piso3= $30\mu\text{m}$). Une mesure effectuée sur les courants injecté I_e au drain du transistor NLD MOS et collecté I_c au caisson N^+ permet de tracer la caractéristique courant-tension présentée en Figure 79.

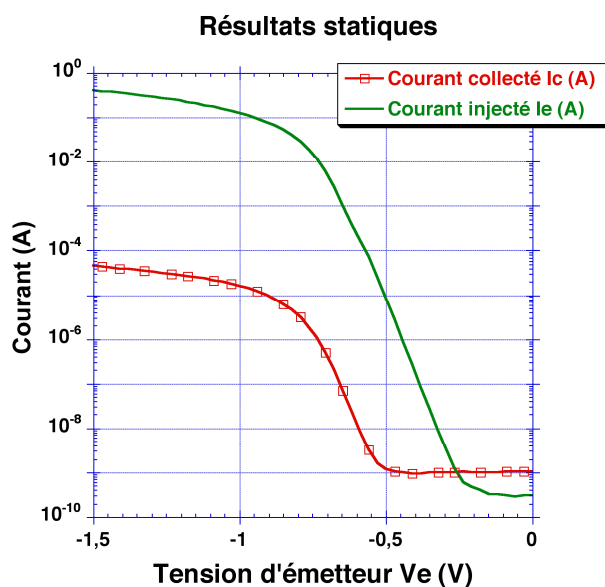


Figure 79 : Courants mesurés en fonction de la tension d'émetteur V_e (structure C)

Le courant collecté obtenu est très faible par rapport à celui des résultats précédents obtenus avec du substrat P^+ , soit une diminution significative de plus de deux décades. Ce résultat confirme la supériorité du substrat P^+ à réduire le courant parasite. En effet, le fait d'associer le substrat P^+ avec des puits P^+ servant de contact au substrat à la masse autour des caissons N^+ où sont intégrés des circuits favorise des mécanismes de recombinaison très prépondérants. Ainsi, avec ces zones P^+ , le gain du transistor bipolaire parasite est fortement réduit.

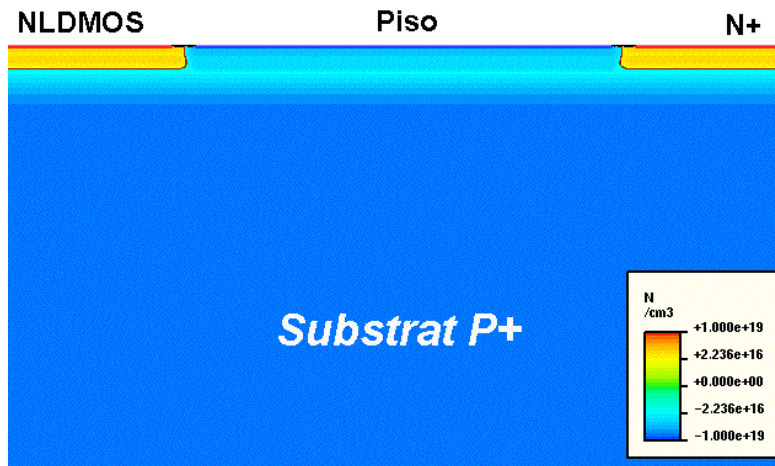


Figure 80.a : Coupe technologique

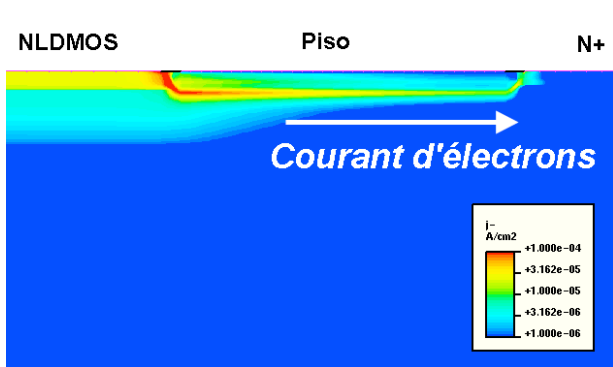


Figure 80.b : Courant d'électrons à $V_e=-0,4V$

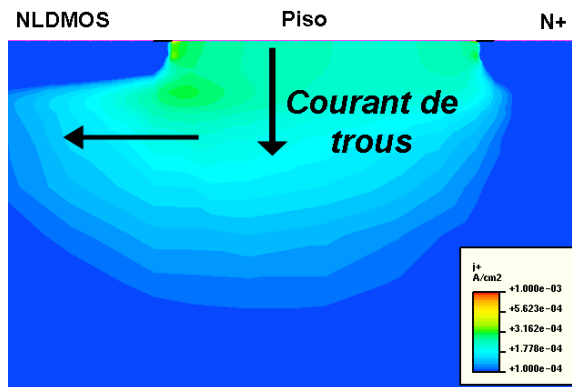


Figure 80.c : Courant de trous à $V_e=-0,4V$

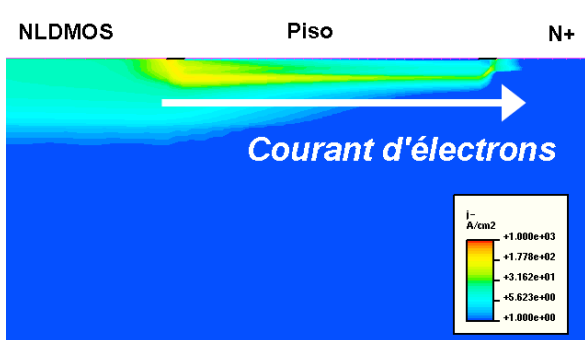


Figure 80.d : Courant d'électrons à $V_e=-1V$

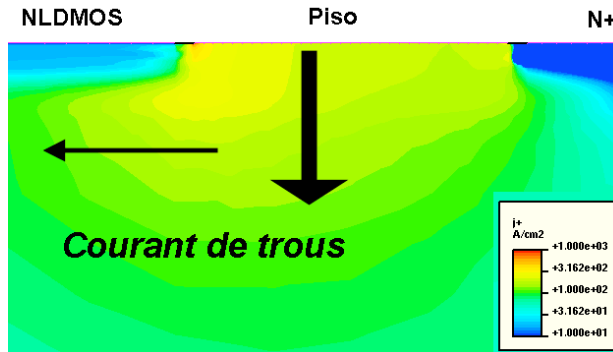


Figure 80.e : Courant de trous à $V_e=-1V$

Figure 80 : Flux des porteurs minoritaires (électrons) et majoritaires (trous) dans le substrat P⁺ issu des résultats de simulation physique (coupe transversale)

A travers les résultats de simulation physique présentés en Figure 80, la supériorité du substrat P⁺ en terme de réduction de courant parasite est clairement illustrée. En effet, il est difficile au courant de diffusion de porteurs minoritaires de se propager à travers le substrat. Nous pouvons constater un chemin privilégié de ce courant en surface, surtout à la jonction

entre le puits P^+ et le substrat P^+ . A cet endroit, comme l'illustre la Figure 65, une faible concentration de dopants P à la jonction favorise le passage des porteurs minoritaires.

Egalement, ces résultats de simulation physique démontrent la facilité avec laquelle le courant de trous traverse le substrat P^+ grâce à l'association du puits P^+ avec le substrat P^+ . Ce point important nous permettra de comprendre l'évolution temporelle du courant parasite ultérieurement.

En Figure 81, l'augmentation de la largeur W de l'anneau du puits P^+ de quelques dizaines micro-mètres autour du transistor NLD MOS réduit très sensiblement le courant parasite.

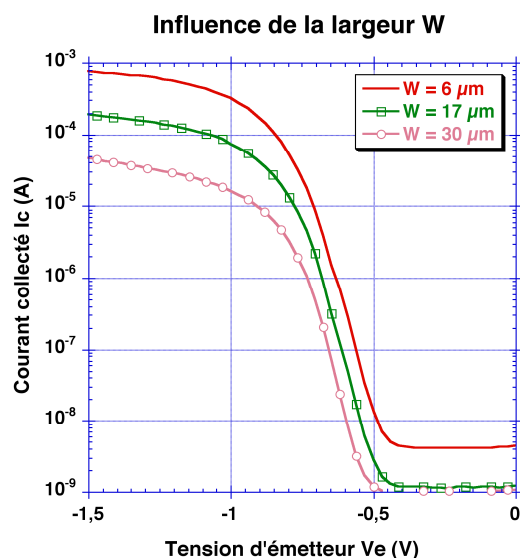


Figure 81 : Courant collecté en fonction de la largeur W

L'influence de la concentration du substrat sur le courant parasite est clairement illustrée. En terme de réduction du gain du transistor bipolaire parasite ou du courant parasite, il est plus efficace de contrôler le dopage du substrat plutôt que la distance qui sépare les deux caissons N^+ .

La Figure 82 illustre les variations de courants injecté et collecté en fonction de la température. Comme dans le cas précédent, une augmentation de la température du silicium diminue le phénomène de recombinaison surtout en faible injection ($-0.6\text{V} < V_e < 0$). Malgré cette propriété physique, en terme d'amplitude, le courant collecté à $T=150^\circ\text{C}$ n'est pas plus élevé que celui à $T=25^\circ\text{C}$. En effet, bien que la température favorise l'augmentation de résistivité du substrat, le phénomène de modulation de conductivité du substrat n'est pas assez significatif pour faire croître brutalement le courant parasite. Ce mécanisme est obtenu grâce à la forte concentration du substrat ($4 \cdot 10^{18} \text{ cm}^{-3}$).

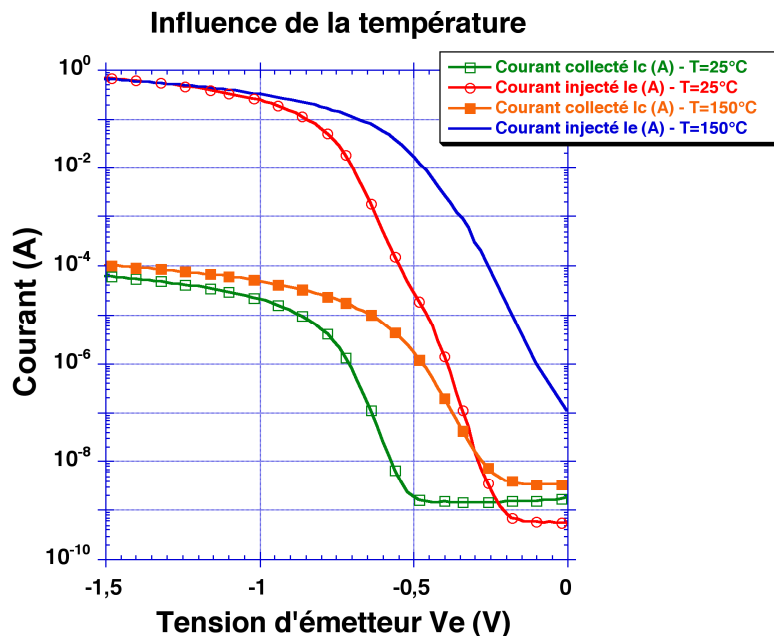


Figure 82 : Courant injecté et courant collecté fonction de la température (structure C)

La supériorité du substrat P+ à réduire le courant parasite est démontrée ici surtout à forte température ambiante.

III.3. Résultats transitoires

Comme dans le cas précédent, l'analyse transitoire permet de connaître l'impact du substrat P+ sur l'amorçage du transistor bipolaire parasite.

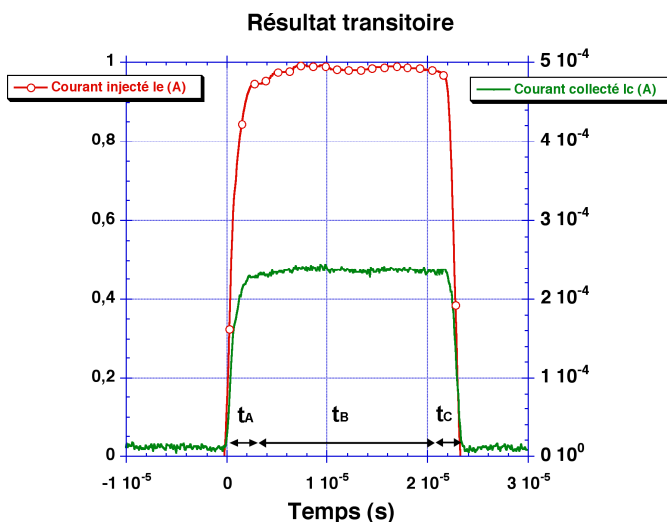


Figure 83 : Résultat transitoire (pour $W=30\mu\text{m}$)

tel-00011035, version 1 - 18 Nov 2005

Les résultats transitoires montrent l'évolution temporelle similaire entre le courant injecté et le courant collecté. En d'autres termes, le courant collecté suit l'évolution de la perturbation.

En début d'injection du courant parasite, c'est-à-dire pendant la première phase t_A , le passage du courant de trous à travers un substrat faiblement résistif met en conduction de manière instantanée la jonction P_substrat/caisson N^+ . Ainsi apparaît le courant des porteurs minoritaires à la zone collectrice. Nous pouvons traduire ce résultat par l'influence de la constante de temps $R_{SUB}C_{emettrice}$ avec une résistance de substrat R_{SUB} très faible.

Pendant l'application du courant injecté tout au long de l'impulsion, c'est-à-dire pendant la seconde phase t_B , le courant de diffusion des porteurs minoritaires atteint la zone collectrice. Son niveau en amplitude dépend de la largeur qui sépare les deux caissons N^+ .

En fin d'injection du courant injecté, c'est-à-dire pendant la dernière phase t_C , les charges négatives stockées à la jonction P_substrat/caisson N^+ sont évacuées à travers le substrat P^+ , lieu des phénomènes de recombinaison. Ce mécanisme annule le courant parasite dans le substrat. Ainsi aucun courant n'est obtenu dans la zone collectrice.

Ces résultats transitoires démontrent que l'évolution temporelle du courant collecté est similaire avec celle du courant injecté. Bien que le niveau en amplitude soit faible, la surcharge de courant en terme de rapidité (di/dt) pourrait induire des conséquences dangereuses aux circuits intégrés proches de la zone émettrice comme le phénomène du "latch-up" dans les circuits CMOS.

III.4. Conclusion

Les performances du substrat P^+ en terme de réduction du courant parasite sont évidentes. Les résultats obtenus confirment l'intérêt de modifier le dopage du substrat plutôt que la distance entre deux caissons N^+ pour éviter toute propagation de porteurs minoritaires à travers le substrat. Cependant, cette technologie P^+ n'est pas compatible avec les circuits intégrés de puissance de haute tension supérieure à 20V. Elle est appliquée dans les technologies CMOS pour résoudre le problème de "latch-up".

Dans les applications de circuits intégrés de puissance, l'épaisseur d'épitaxie P^- doit être ajustée de manière à assurer la tension de claquage de la jonction P_substrat/caisson N^+ supérieure à celle des circuits.

IV. Mécanisme d'injection en technologie de substrat P⁻/P⁺ à épitaxie "épaisse"

La technologie P⁻/P⁺ a été proposée comme une alternative aux problèmes de tension de claquage des circuits intégrés de puissance et de courant parasite dans le substrat. Dans cette technologie, le puits P⁺ n'atteint pas le substrat P⁺ en raison de l'épaisseur de l'épitaxie P⁻ (Figure 66).

IV.1. Structures de test

Les structures de test ainsi que les conditions de mesures sont similaires à celles utilisées pour la technologie P⁻ (Figure 67). En effet, le procédé technologique a été modifié pour augmenter l'épaisseur de l'épitaxie P⁻. C'est pourquoi les structures de test utilisées ainsi que les circuits intégrés sont identiques. Ainsi les performances des circuits intégrés, en particulier la tension de claquage, sont assurées [CHE93] [HUA94] [HUA96].

IV.2. Résultats statiques

Les conditions de test pour ce mode de fonctionnement sont appliquées de manière identique à celles employées pour la technologie de substrat P⁻. Une polarisation négative est appliquée au contact de drain du transistor NLD MOS1. La source de ce transistor ainsi que les puits P⁺ (Piso1 et Piso2) sont reliés à la masse. Une mesure effectuée sur les courants injecté I_e au drain du transistor NLD MOS1 et collecté I_c au drain du transistor NLD MOS2 permet de tracer la caractéristique courant-tension donnée en Figure 84.

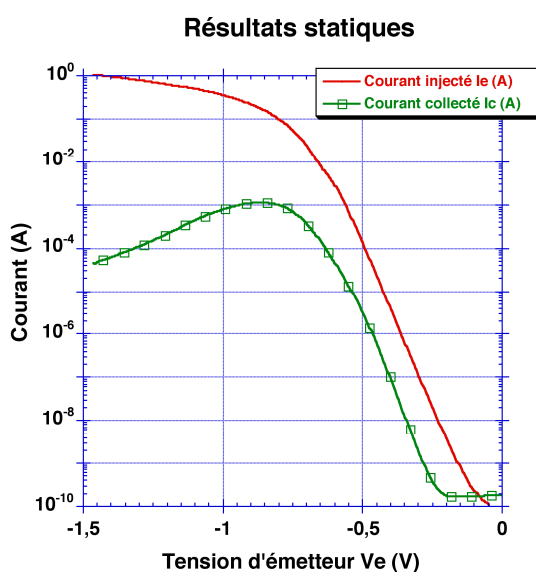


Figure 84 : Courants mesurés en fonction de la tension appliquée au drain NLD MOS1

La croissance des courants injecté et collecté obtenue en faible injection ($-0.6V < V_e < 0$) est très caractéristique des courants obtenus en technologie P⁻. Cependant, le niveau de courant collecté en amplitude est supérieur à celui obtenu en technologie P⁻ et en technologie P⁺. Ce résultat s'explique par la structure physique du substrat P⁻/P⁺. En effet, le fait d'associer une épitaxie P⁻ sur un substrat P⁺ forme une jonction P⁻/P⁺. Cette jonction induit un champ électrique opposé au flux des électrons donc des porteurs minoritaires. En conséquence, en faible injection de courant injecté, la conduction du courant parasite est réalisée à travers l'épitaxie. Les résultats de simulation physique, présentés en Figure 85, le démontrent. C'est pourquoi ce mécanisme ne favorise pas la recombinaison des porteurs minoritaires avec le substrat P⁺.

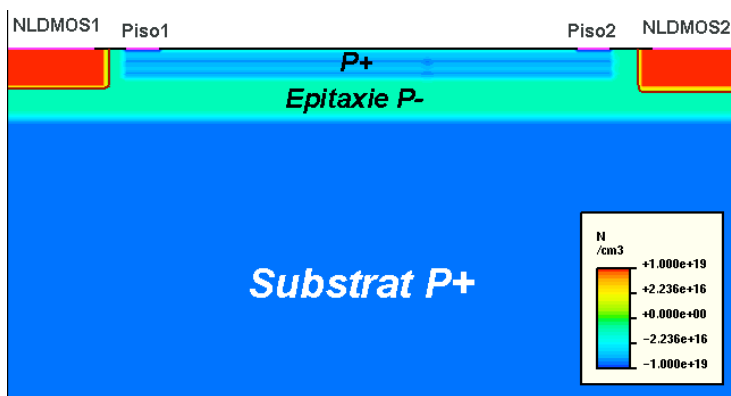


Figure 85.a : Coupe technologique

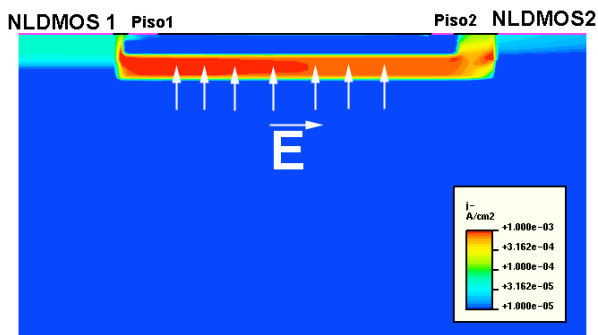


Figure 85.b : Courant d'électrons à $V_e = -0,4V$

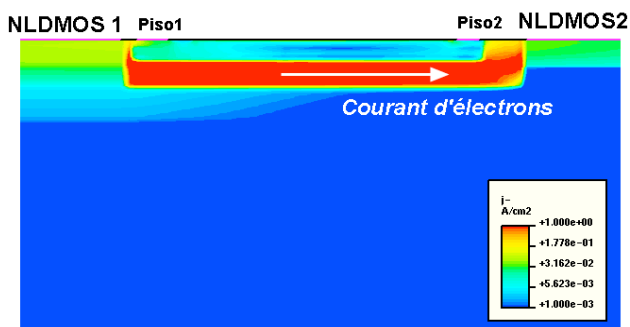


Figure 85.c : Courant d'électrons à $V_e = -0,6V$

Figure 85 : Flux des porteurs minoritaires (électrons) à faible injection du courant injecté dans le substrat P⁻/P⁺ issu des résultats de simulation physique

En forte injection ($V_e < -0.6V$), le courant collecté diminue de manière permanente. Ce résultat met en lumière une propriété physique spécifique dans le substrat. Nous pouvons illustrer cette propriété physique du substrat à travers les résultats de simulation physique

présentés en Figure 86. A ce niveau d'injection, le passage des porteurs minoritaires en excès à la jonction Piso1/NLDMOS1 induit la circulation du courant de trous à cet endroit et également vers le substrat (Figure 86.a,b,c,d). Ainsi est mis en jeu le phénomène de modulation de conductivité. Cela se traduit par une chute de tension qui va se répercuter au substrat P⁺ (Figure 86.e,f,g,h). Donc un potentiel négatif est appliqué dans tout le substrat P⁺ en raison de sa faible résistivité (Figure 86.e).. En conséquence, la barrière de champ électrique à la jonction épitaxie P⁻/substrat P⁺ va s'accroître en raison de la différence de potentiel avec les puits P⁺ à la masse en surface (Figure 86.f). Cette barrière va traverser l'épitaxie P⁻ proche de la zone à protéger avec l'augmentation du courant injecté (Figure 86.f) et va s'opposer au flux des porteurs minoritaires (Figure 86.b). Cela se traduit par une nouvelle circulation de ce courant vers un contact dédié c'est à dire le puits Piso1 où le phénomène de recombinaison sera prépondérant. Enfin, une diminution du courant parasite dans la zone à protéger est donc obtenue.

En résumé, ce mécanisme mis en jeu dans le substrat apparaît dès le passage du courant de trous dans le substrat P⁺ à travers l'épitaxie P⁻ en raison de la modulation de conductivité de cette couche épitaxiale. Cela se traduit par une chute de tension fonction du courant injecté, et donc un potentiel négatif appliqué à tout le substrat P⁺. Ce potentiel négatif avec les puits P⁺ (ou Piso) à la masse forme une barrière de champ électrique dans l'épitaxie P⁻ qui s'oppose au passage du courant de porteurs minoritaires.

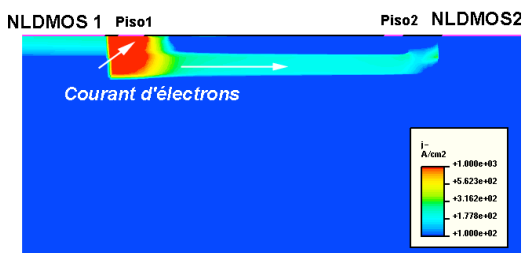


Figure 86.a : Courant d'électrons à $V_e = -1V$

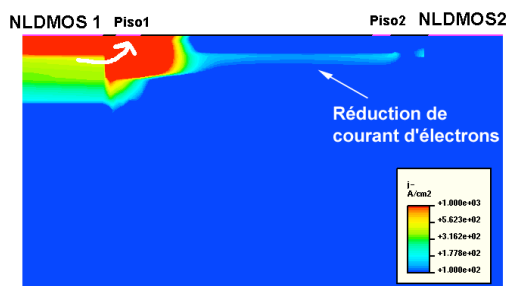


Figure 86.b: Courant d'électrons à $V_e = -1,2V$

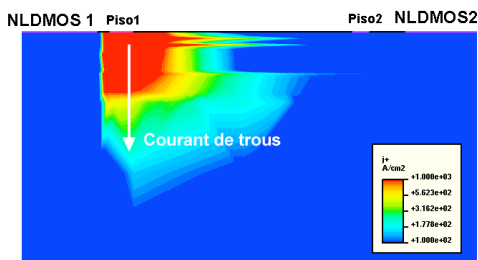


Figure 86.c : Courant de trous à $V_e = -1V$

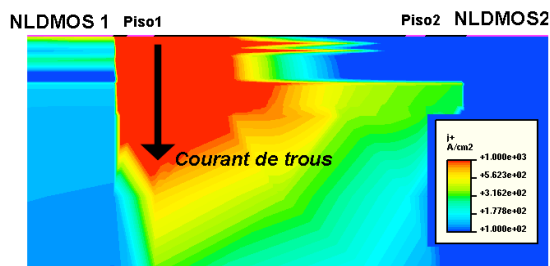


Figure 86.d : Courant de trous à $V_e = -1.2V$

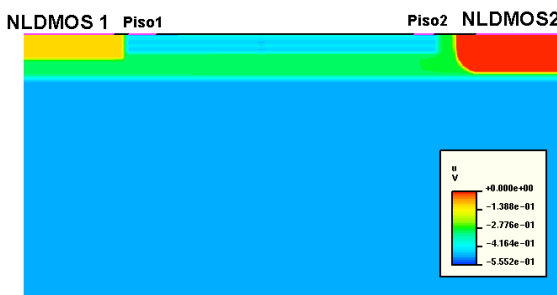


Figure 86.e : Potentiel à $V_e = -0,6V$

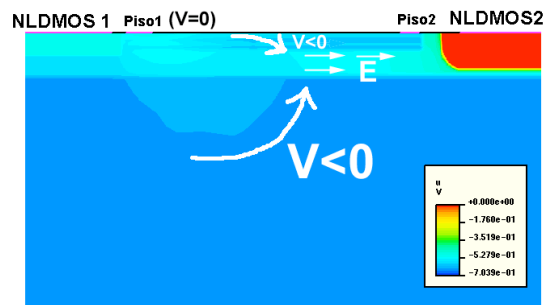


Figure 86.f : Potentiel à $V_e = -1V$

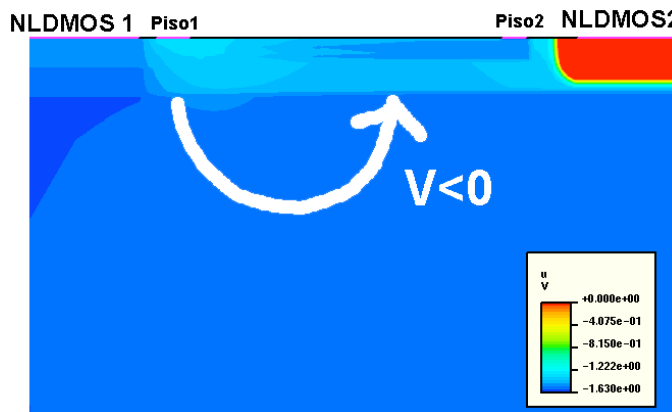


Figure 86.g : Potentiel à $V_e = -1,2V$

Figure 86 : Flux des porteurs minoritaires (électrons) et majoritaires (trous), potentiel électrostatique dans le substrat P/P⁺ issu des résultats de simulation physique

Ce résultat confirme l'intérêt de cette technologie à réduire le courant parasite à fort niveau de courant injecté. Cela nécessite par contre de contrôler ce courant en faible d'injection.

En Figure 87, une augmentation de largeur (W) qui sépare deux caissons N⁺ réduit difficilement le courant parasite surtout en faible niveau d'injection. On retrouve cette propriété dans la technologie P⁻ surtout en raison de la présence de l'épitaxie P⁻ sur le substrat P⁺. En effet, à cet endroit, le gain du transistor bipolaire parasite non négligeable favorise la conduction du courant parasite en faible niveau d'injection. Ce résultat est lié à la structure physique de cette technologie où le puits P⁺ n'atteint pas le substrat P⁺.

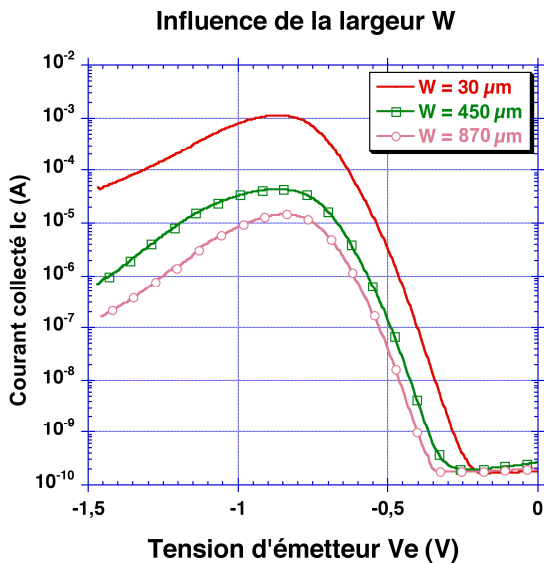


Figure 87 : Courant collecté en fonction de la distance entre deux caissons N⁺

La Figure 88 illustre l'évolution du courant injecté et collecté en fonction de la température. Comme dans les autres technologies, une augmentation de la température ambiante diminue le phénomène de recombinaison surtout en faible injection ($-0.6V < V_e < 0$).

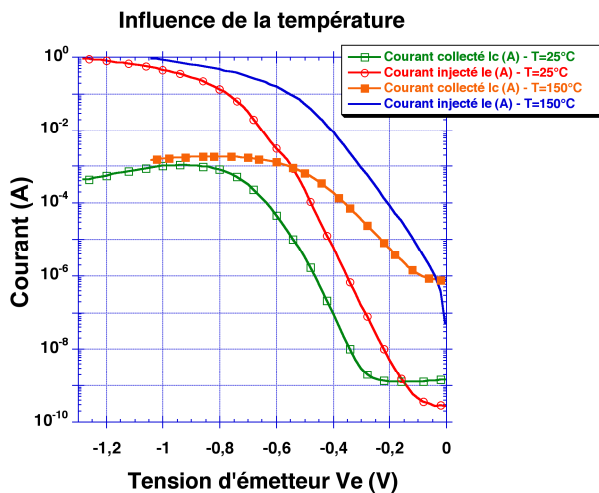


Figure 88 : Courant injecté et courant collecté en fonction de la température

Malgré ce mécanisme de recombinaison, le courant collecté en amplitude à $T=150^{\circ}\text{C}$ suit la tendance de celui obtenu à $T=25^{\circ}\text{C}$. En effet, bien que la température favorise l'augmentation de résistivité du substrat, le phénomène de modulation de conductivité au niveau de la couche épitaxiale P n'est pas assez significatif pour faire croître brutalement le courant parasite. Ce résultat est obtenu grâce à l'introduction de la barrière électrique

tel-00011035, version 1 - 18 Nov 2005

opposée au flux de porteurs minoritaires. Ce mécanisme est également mis en évidence à travers les résultats transitoires.

IV.3. Résultats transitoires

Dans ce paragraphe, nous présentons plusieurs résultats transitoires pour illustrer la diminution du courant collecté avec l'augmentation du courant injecté. Egalement, nous mettons en évidence le mécanisme de barrière électrique dans le substrat.

La Figure 89 présente les résultats transitoires obtenus pour un courant injecté de 1A.

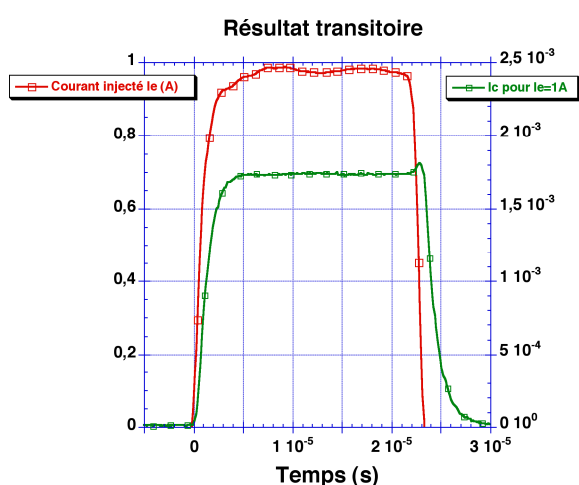


Figure 89.a : Courant collecté et courant injecté de 1A

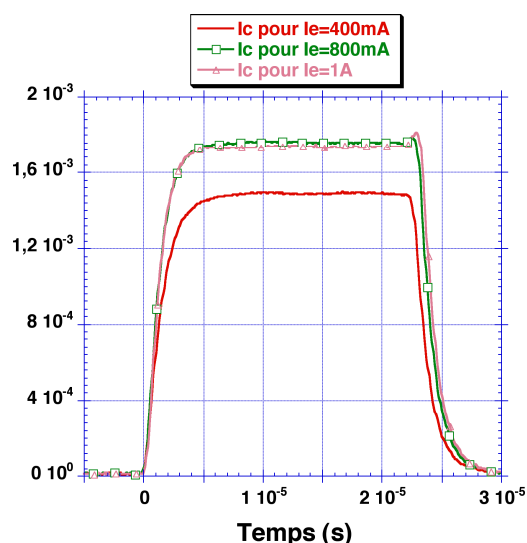


Figure 89.b : Courants collectés

Figure 89 : Résultats de courants collecté et injecté jusqu'à 1A

Pour un courant injecté appliqué jusqu'à 1A, la tendance du courant collecté est similaire à celle de la technologie P⁻ (Figure 89.a). En d'autres termes, nous pouvons retrouver les trois phases du fonctionnement du courant parasite avec le temps nécessaire pour polariser en direct la jonction PN en début d'impulsion puis pour évacuer les charges stockées en fin d'impulsion du courant injecté.

Cependant, nous pouvons constater un début de diminution du courant collecté à partir d'un courant injecté de 1A à travers la Figure 89.b. En effet, le courant collecté n'augmente plus entre deux valeurs de courants injectés de 800mA et de 1A. A ce stade, le phénomène de barrière électrique dans le substrat apparaît.

Le courant collecté va diminuer progressivement avec l'augmentation du courant injecté au-delà de 1A (Figure 90).

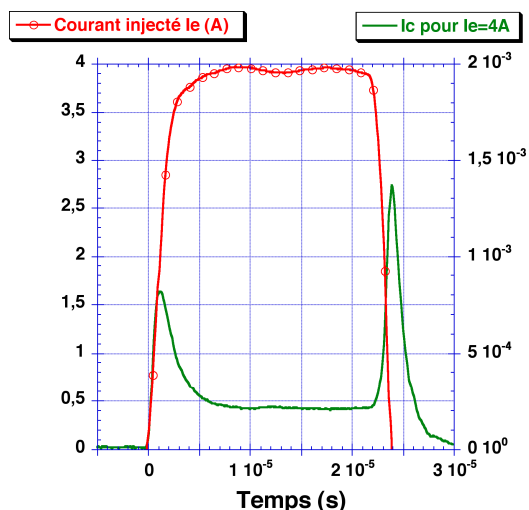


Figure 90.a : Courant collecté et courant injecté de 4A

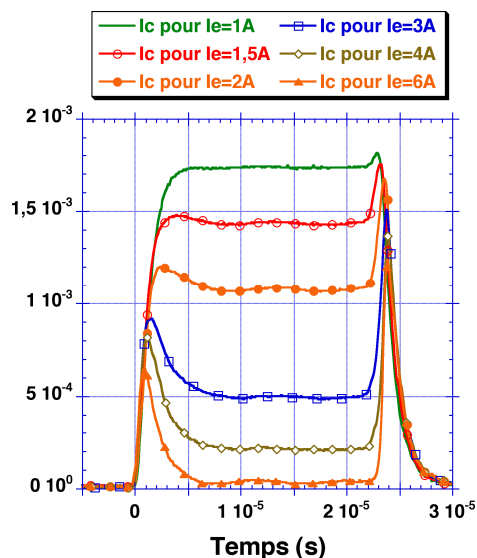


Figure 90.b : Courants collectés

Figure 90 : Résultats de courants collectés et injecté jusqu'à 6A

La Figure 90.b illustre clairement la diminution du courant collecté (le plateau) sous l'action de la barrière de champ électrique dans le substrat avec un courant injecté jusqu'à 6A. A fort niveau de courant injecté, deux pics de courant collectés ont été constatés (Figure 90.a). Le premier pic du courant collecté s'explique par un courant minimal de courant injecté nécessaire pour induire le mécanisme de barrière électrique opposée au courant parasite. Le second pic du courant collecté est responsable du phénomène d'évacuation des charges stockées à la jonction PN. En effet, en fin d'impulsion du courant injecté, la barrière de champ électrique dans le substrat disparaît. Cela se traduit par une conduction des charges stockées restantes à travers l'épithaxie P- pour atteindre la zone à protéger.

Malgré ce mécanisme, le courant collecté en valeurs absolues demeure toujours inférieur au courant maximal obtenu pour un courant injecté de 800mA-1A (Figure 90.b, Figure 89.b). Ce résultat démontre l'intérêt de cette technologie à protéger les zones victimes à fort niveau de courant injecté. De plus, le mécanisme de barrière électrique dans le substrat est validé.

IV.4. Conclusion

Les résultats statiques confirment l'importance du niveau de courant collecté en faible injection du courant injecté en raison de la structure physique du substrat en particulier de la jonction P/P⁺. A fort niveau de courant injecté, le substrat P⁺ agit comme barrière électrique

à travers l'épithaxie P⁻ de manière à drainer le courant parasite vers un contact dédié. Ce mécanisme est validé à travers les résultats transitoires.

A la différence des autres technologies, cette technologie nous permet de connaître le maximum de courant parasite dans la zone à protéger quelque soit le niveau de courant injecté. L'utilisateur peut contrôler ce courant maximal surtout à faible niveau de courant injecté en utilisant des techniques de protection telles que les protections passives par anneaux de garde.

V. Comparaison des trois technologies étudiées [LAI03]

A travers l'étude de ces trois technologies, nous avons étudié, à l'aide d'une structure de test identique composée d'une zone émettrice de grande surface séparée d'une zone à protéger d'une distance de 30 μ m, la réponse en fonction du courant injecté en mode statique (Figure 91).

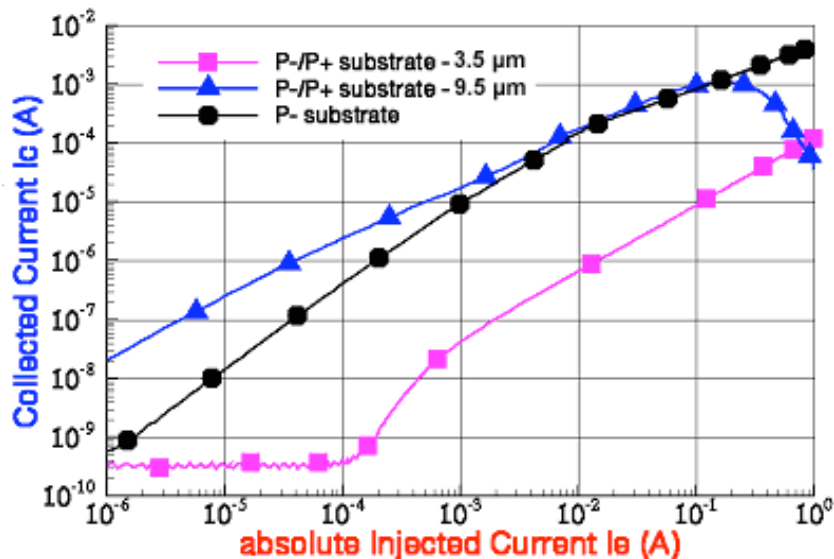


Figure 91: Résultat comparatif des trois technologies fonction du courant injecté en mode statique

Ce résultat confirme la compréhension des mécanismes physiques, présentés dans les paragraphes précédents, mis en jeu dans le substrat selon la technologie utilisée. A titre d'exemple, en faible injection du courant injecté ($I_e < 1\text{mA}$), le courant parasite de la technologie P⁻/P⁺ est bien supérieur à celui de la technologie P⁻ et de la technologie P⁺. Ce résultat démontre l'impact de la jonction P⁻/P⁺ de la technologie P⁻/P⁺ sur le courant parasite. Egalement, la technologie du substrat P⁺ favorise des phénomènes de recombinaison plus importants donc un courant parasite faible.

Malgré ses pauvres performances en faible injection, la technologie P-/P+ retrouve sa supériorité en terme d'amplitude du courant parasite à fort niveau du courant injecté. Cependant, en raison de la présence de l'épithaxie P⁻ sur le substrat P⁺, un courant de diffusion de porteurs minoritaires peut se propager à travers la puce à la différence de la technologie du substrat P⁺.

Ce résultat final démontre de faibles performances de la technologie de substrat P⁻ en terme de réduction du courant parasite.

VI. Conclusion

Trois technologies de substrat ont été étudiées avec une série de tests en mode statique et dynamique sans oublier l'influence de la température de l'environnement.

La technologie de substrat P⁻, souvent utilisée dans les applications en raison de son faible coût, présente de mauvaises performances en terme de réduction du courant parasite. Il est le résultat du faible dopage ou de la forte résistivité du substrat P⁻. C'est pourquoi une grande distance qui sépare les deux caissons N⁺ est nécessaire pour réduire ce courant de porteurs minoritaires. Des phénomènes de modulation de conductivité ont été constatés en forte injection du courant injecté. A ce niveau d'injection, ce mécanisme induit une augmentation du courant parasite dans les zones à protéger. En conséquence, dans une puce où sont hébergés des circuits intégrés avec des contacts de substrat à la masse, une résistance de substrat plus faible en plus de ce phénomène peut induire des conséquences dangereuses pour les victimes ou les zones à protéger. Il serait donc approprié d'ajuster la valeur de dopage du substrat de manière à réduire le courant parasite.

Dans la technologie de substrat P⁺, la diffusion du puits P⁺ servant de contact au substrat peut atteindre le substrat P⁺. Il en résulte qu'un caisson N⁺ est entourée de zones P⁺. Cela induit des phénomènes de recombinaison prépondérants au passage du courant de porteurs minoritaires. C'est pourquoi une augmentation de largeur de 10 μ m qui sépare les deux caissons N⁺ réduit significativement le courant parasite. De plus, le phénomène de modulation de conductivité dans le substrat n'est plus significatif en raison de la faible résistivité du substrat. C'est pourquoi à forte température le courant parasite n'est pas plus conséquent que celui obtenu à T=25°C. De plus, grâce à la structure physique de ce

substrat, le courant des porteurs minoritaires ne diffuse plus à travers toute la puce en raison des mécanismes de recombinaison. Un certain nombre de ces résultats confirme l'intérêt de modifier le dopage du substrat de manière à réduire considérablement le courant parasite. Cependant, cette technologie ne permet pas de réaliser des circuits intégrés de haute tenue en tension.

Pour pallier ce problème, une technologie d'épitaxie P^- de grande épaisseur sur un substrat P^+ a été développée. Ses performances médiocres en faible injection du courant injecté deviennent meilleures en fort niveau de courant injecté. Il est le résultat de la création d'une barrière de champ électrique qui s'oppose au flux de porteurs minoritaires. Cette technologie présente un intérêt pour réduire le courant parasite maximal. A la différence de la technologie de substrat P^+ , cette technologie favorise la propagation du courant parasite surtout à faible injection à travers la puce en raison de la présence de la couche épitaxiale sur le substrat P^+ . Malgré cette contrainte, le fait d'utiliser un substrat P^+ dans une technologie présente une solution intéressante en terme de réduction du courant parasite. Des techniques simples de protection telles que les protections passives par anneaux de garde peuvent être utilisées dans la technologie de substrat P^+ et également dans la technologie P^-/P^+ . Son efficacité contre le courant parasite pourrait être démontrée surtout à faible injection grâce à la présence d'une barrière de champ électrique de la jonction épitaxie P^- /substrat P^+ avec le champ électrique assuré par la jonction PN polarisée en inverse.

Il existe une autre alternative dans cette dernière technologie pour réduire considérablement le courant parasite en utilisant des tranchées d'oxyde autour des puits P^+ de manière à drainer le courant parasite dans le substrat P^+ [\[PAR02\]](#). Dans cet article, la diminution du courant parasite à fort niveau d'injection est obtenue.

Plusieurs solutions envisagées contre le courant parasite sont réalisables dans une technologie d'épitaxie P^- sur un substrat P^+ . Elles répondent aux exigences de la réduction des dimensions. Cependant, l'utilisation de ces technologies dans les applications engendre un coût de procédé technologique non négligeable.

C'est pourquoi la technologie de substrat massif P^- est souvent conservée dans les applications en raison de son faible coût. Ses performances vis-à-vis des courants de substrat restent très médiocres. Cela nécessite de développer des techniques de protection pour réduire ce courant parasite.

Les protections passives par anneaux de garde ont été proposées mais leur efficacité contre le courant parasite reste faible en raison de la propagation de ce courant à travers le substrat [DEC96] [GON01-B]. Une autre technique de protection, celle de la barrière active basée sur la modulation du potentiel négatif dans le substrat de manière à créer un champ électrique qui sert de barrière au flux des porteurs minoritaires [WDR91] [GON01-A]. Son efficacité contre le courant parasite est améliorée par rapport à celle de la protection précédente. Cependant une grande largeur est nécessaire à cette protection pour augmenter son efficacité contre le courant parasite. De plus, cette protection nécessite l'utilisation d'un puits P⁺ à la masse proche de la zone émettrice pour assurer ses performances. Une telle structure favorise le courant de diffusion des porteurs minoritaires surtout à fort niveau d'injection. C'est pourquoi ses performances se dégradent à ce niveau d'injection surtout en raison du mécanisme de modulation de conductivité. En effet, à travers les résultats de simulation physique, un puits P⁺ proche de la zone émettrice favorise l'injection permanente du courant de porteurs minoritaires.

En conséquence, de nouvelles techniques de protection doivent être développées avec une petite surface pour résoudre ces problèmes. Des protections actives que l'on présentera dans le chapitre suivant ont été proposées pour localiser le potentiel négatif autour de la zone émettrice. Cette disposition a été choisie pour mettre en inverse la jonction d'isolation PN de manière à limiter l'injection des porteurs minoritaires ainsi que le phénomène de modulation de conductivité. De plus, nous pouvons accroître son efficacité en disposant des contacts de substrat à la masse distants de cette zone émettrice de manière à retarder l'activation du transistor bipolaire parasite [LAI02-A] [LAI02-B].

Chapitre 4

Stratégie

de protections

actives

En s'appuyant sur les solutions de protection décrites dans le premier chapitre, l'idée d'imposer un potentiel négatif dans le substrat de manière à contrôler le courant parasite est reprise dans notre travail pour développer des dispositifs de protection avancés. De bonnes performances en terme de réduction de courant de substrat doivent être obtenues avec une surface réduite. De plus, les contraintes d'intégration de ces structures doivent être résolues. En effet, les protections actives ne peuvent être efficaces que si elles répondent aux problèmes du courant de substrat et si elles ne perturbent aucune des fonctionnalités du système telles que le circuit de commande, le circuit de protection contre les décharges électrostatiques ou pour dissiper l'énergie du transistor de puissance...

Pour répondre à ces exigences, des structures de test simples ont été développées puis validées par des mesures expérimentales pour définir des règles de conception. Avec ces règles, nous présenterons de nouvelles structures optimisées pour accroître les performances contre le courant parasite et surtout pour répondre aux contraintes d'intégration. Un exemple de réalisation de cette voie de conception est le développement de la protection active intégrée.

Ces protections actives, utilisées dans ce chapitre, ne peuvent être appliquées que dans une technologie de substrat résistif P⁻ suite à la conclusion du chapitre précédent.

I. Principe de fonctionnement

Le principe de la protection active, déjà décrit dans le premier chapitre, consiste à renvoyer le potentiel négatif de la perturbation extérieure dans le substrat P⁻ de manière à éviter la conduction des transistors parasites (Figure 92).

Le transistor de puissance latéral DMOS (LDMOS) est constitué de deux contacts de drain court-circuités dont le premier en surface (**nœud A**) et le second au travers du puits N⁺ et de la couche enterrée N⁺ (**nœud B**). Cette configuration, très utilisée dans notre travail, permet d'obtenir la technique de double RESURF, donc une tension de claquage élevée pour une même surface [\[PAR00\]](#).

Ce résultat ne peut être obtenu que grâce à l'introduction d'une épitaxie de type P⁻ au lieu du type N⁻ sur un substrat P⁻. Le drain de ce transistor LDMOS de puissance se comporte comme la zone émettrice de l'injection des porteurs minoritaires lors d'une commutation sur charge inductive.

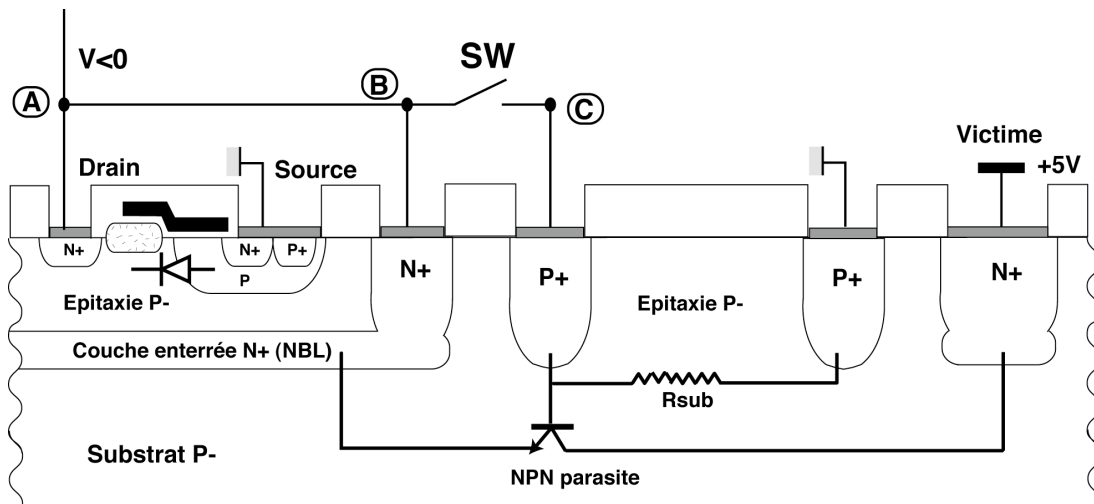


Figure 92 Coupe technologique du principe de fonctionnement de la protection active

La protection active proposée est la structure **SW**. Cette structure de protection a deux fonctions à réaliser. La première consiste à détecter le potentiel négatif au niveau du contact de drain (nœud **A** ou nœud **B**) pour son déclenchement. Enfin, la deuxième consiste à délivrer, dès l'arrivée de la perturbation, le potentiel négatif du drain au substrat P^- par l'intermédiaire du puits P^+ (nœud **C**) qui entoure la zone émettrice, c'est-à-dire le transistor de puissance.

En conséquence, la jonction base-émetteur (substrat P^- /couche enterrée N^+) du transistor bipolaire parasite NPN dans le substrat est bloquée (nœuds **B** et **C** court-circuités). Ainsi, le courant parasite peut être évité et la zone collectrice ou victime sera protégée.

Nous pouvons traduire ce mécanisme par la mise en place d'une barrière de champ électrique sous le puits P^+ , donc autour du transistor de puissance, de manière à drainer le courant de porteurs minoritaires vers un contact dédié, c'est-à-dire vers la source à la masse. Ainsi, nous pouvons obtenir une bonne efficacité d'injection de ce courant à travers la diode de roue libre (source/drain).

Ce principe de protection est utilisé dans de nombreux brevets industriels [\[BER89\]](#) [\[BER91\]](#) [\[PEP96-A\]](#) [\[PEP96-B\]](#) [\[WIL95\]](#) [\[PAL97\]](#) [\[MEN98\]](#) [\[RAV00\]](#).

Nous pouvons représenter la coupe technologique en Figure 92 par un circuit électrique équivalent (Figure 93). Ce circuit indique que, pour une bonne efficacité, la protection active doit court-circuiter la jonction base-émetteur (nœud **C**/ nœud **B**) du transistor bipolaire parasite NPN avec une vitesse de commutation élevée afin d'éviter son amorçage.

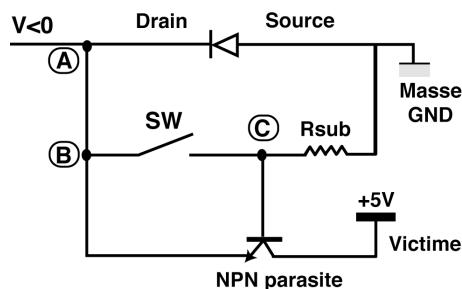


Figure 93 Schéma équivalent du fonctionnement de la protection active

Pour répondre à cette condition, les performances de la protection active (**SW**) doivent être connues en régime statique et transitoire en fonction de la perturbation extérieure. Également la résistance minimale de substrat (**Rsub**) doit être connue pour permettre de contrôler le transistor NPN parasite.

Nos dispositifs de protection sont réalisés avec des structures bipolaires et MOS.

La structure bipolaire, base à la masse, est mise en conduction uniquement lorsqu'un courant négatif ou potentiel négatif inférieur à $-0.6V$ apparaît au contact de drain. Puis, en mode saturé, elle lie le potentiel négatif du contact de drain au contact de substrat, le puits P^+ .

Pour une structure MOS, un circuit de commande dédié en amont détecte le potentiel négatif du contact de drain puis agit avec une tension positive sur la grille de cette structure. Cette structure en régime linéaire, comme une résistance fixe, impose ce potentiel négatif au puits P^+ .

A la différence des autres structures de protection décrites dans le premier chapitre, en particulier celle de la barrière active, aucun caisson N^+ supplémentaire n'est nécessaire pour réaliser cette protection active. De plus, notre dispositif agit sur les puits P^+ autour du composant de puissance. Donc, la surface occupée par la protection pour une même performance en terme de réduction du courant parasite peut être considérablement réduite.

II. Structure de protection active : transistor bipolaire [\[LAI02-A\]](#)

La structure de protection bipolaire a été la première à être utilisée en raison de l'intérêt majeur de sa technique d'auto-amorçage. En effet, l'apparition d'un courant négatif ou d'un potentiel négatif favorise son déclenchement instantané en mode de saturation. Son efficacité contre le courant de substrat dépend des résistances comme nous le démontrerons plus loin. L'influence de la température extérieure de l'environnement sur les performances de cette protection sera également étudiée.

En raison de la nature inductive ou capacitive de la décharge dont la durée est relativement longue ($t=1\text{ms}$), les mesures sont effectuées en régime statique.

II.1. Structure de test

La structure de test proposée est constituée de trois transistors LDMOS de puissance (NLD1,NLD2,NLD3), de surface égale $700 \times 700 \mu\text{m}^2$, espacés les uns des autres d'une distance fixe de $475 \mu\text{m}$ (Figure 94).

Chaque transistor est entouré d'un puits P^+ , servant de contact au substrat (Piso), de différentes largeurs respectivement $3 \mu\text{m}$ (Piso1), $10 \mu\text{m}$ (Piso2), $50 \mu\text{m}$ (Piso3). Ces puits de différentes largeurs nous permettent de connaître l'aptitude de la protection active à délivrer le potentiel négatif au substrat. Ces transistors peuvent être utilisés indifféremment comme zone d'injection de courant parasite ou comme composant à protéger.

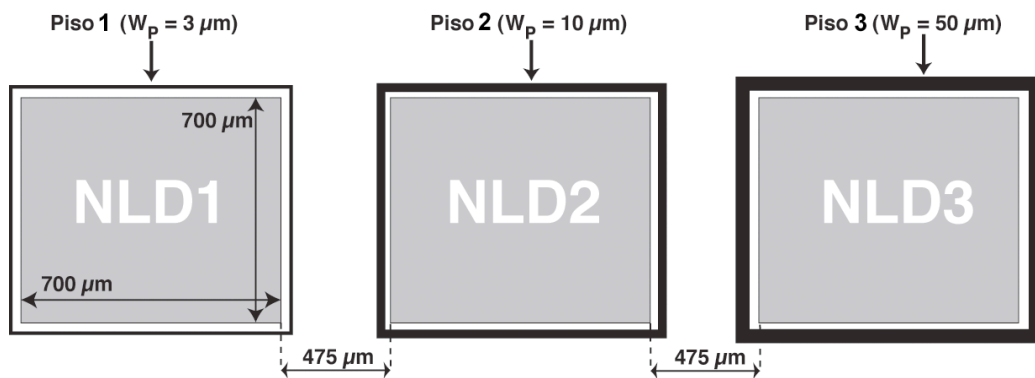


Figure 94 Structure de test de transistors LDMOS simples

Autour de ces composants, des transistors bipolaires NPN sont intégrés dans la même puce (Figure 95, Figure 96). Cette puce est également intégrée dans un boîtier céramique pour permettre d'effectuer une série de tests (Figure 95).

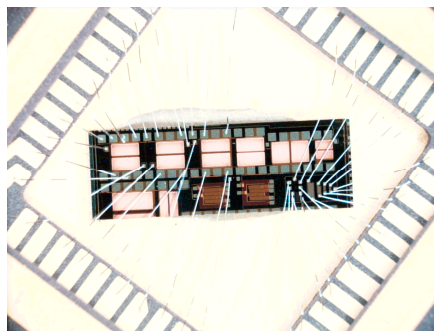


Figure 95 Vue de puce technologique sur un boîtier céramique

Dans ce circuit de test, les structures de protection bipolaires ne sont pas connectées aux transistors de puissance LDMOS sur le silicium. Cette connexion est réalisée de manière externe (Figure 96).

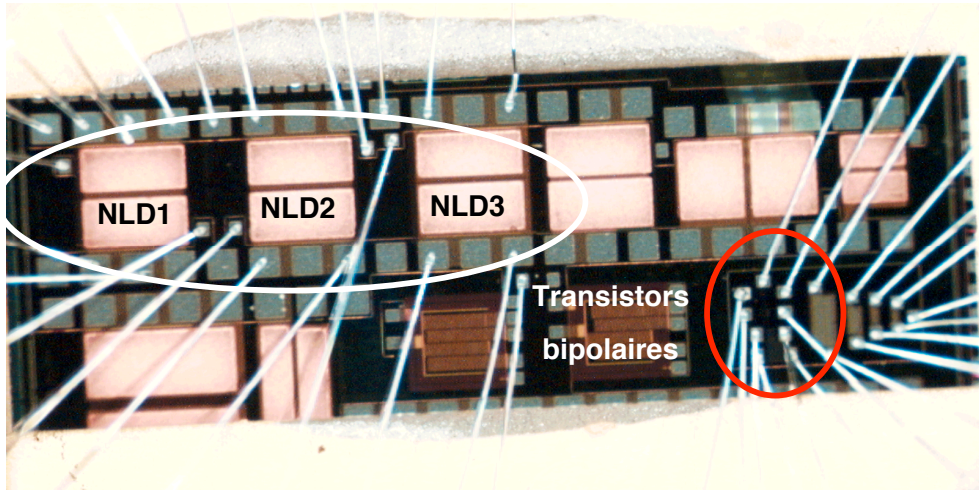


Figure 96 Structure de test avec des transistors LDMOS et bipolaires

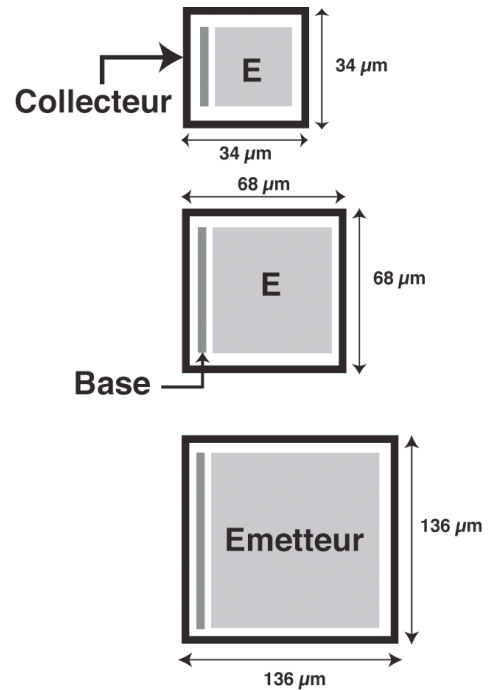
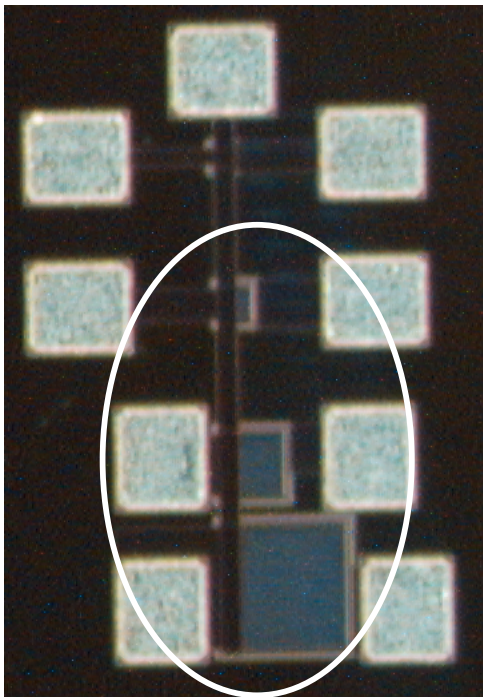
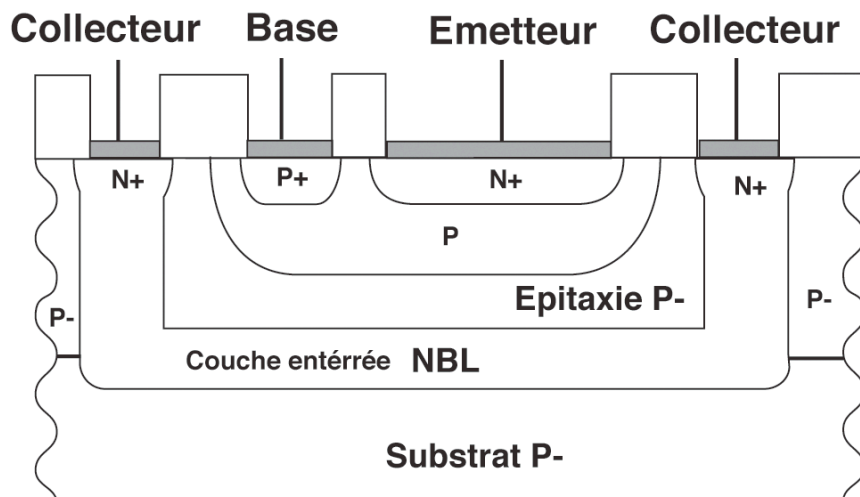


Figure 97 Présentation de structures bipolaires

Trois transistors bipolaires NPN de surfaces différentes, respectivement $34 \times 34 \mu\text{m}^2$, $68 \times 68 \mu\text{m}^2$, $136 \times 136 \mu\text{m}^2$ peuvent être utilisés (Figure 97).

Figure 98 \square Coupe technologique de la structure bipolaire

La structure bipolaire de protection, présentée en Figure 98, est un transistor bipolaire NPN standard de la technologie. L'émetteur est constitué d'un contact N^+ en surface. Un caisson P est réalisé par implantation ionique dans l'épitaxie P^- permettant d'obtenir la base avec un contact P^+ en surface. Ces couches technologiques sont isolées à l'aide d'un caisson N^+ formé d'une couche enterrée N^+ et d'un puits N^+ qui les entoure. Ce caisson constitue également le collecteur du dispositif.

II.2. Principe de fonctionnement

Une configuration de test est proposée pour décrire son mode de fonctionnement \square Le transistor LDMOS de puissance du milieu **NLD2** est choisi comme zone émettrice de porteurs minoritaires et le transistor LDMOS voisin **NLD1** comme zone à protéger, son drain étant polarisé à +5V (Figure 99). La protection active est connectée de la manière suivante \square l'émetteur au drain du transistor NLD2, la base à la masse et le collecteur au puits P^+ qui entoure le transistor NLD2 (**Piso2**). La diode de roue libre est également utilisée avec la source du transistor NLD2 à la masse. Le substrat P^- est relié à la masse au travers du puits P^+ (**Piso1**) qui entoure le transistor NLD1. Une valeur de 120 \square de résistance de substrat **Rsub** est mesurée entre les deux puits P^+ (**Piso1-Piso2**). Les grilles de tous les transistors LDMOS sont flottantes.

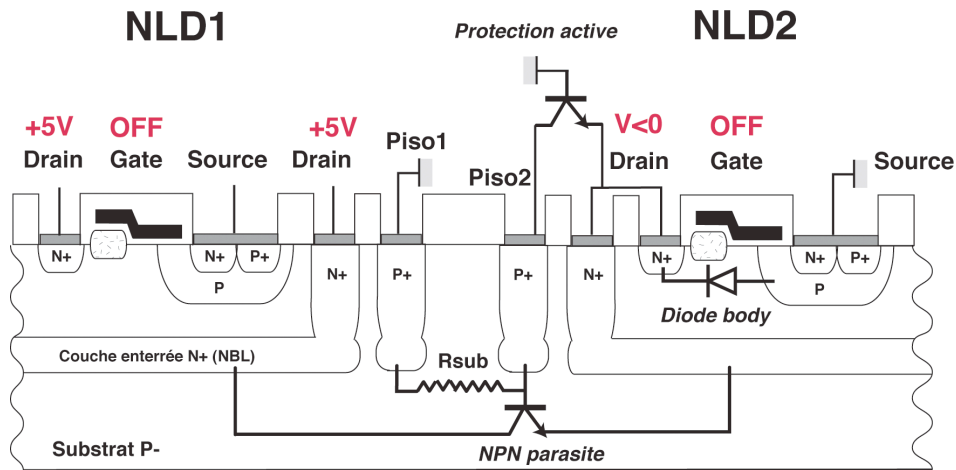


Figure 99 Coupe technologique du dispositif de test

Comme on peut le voir sur le schéma électrique équivalent de cette structure (Figure 100), le courant injecté de porteurs minoritaires I_e , lors d'une polarisation négative au drain du transistor NLD2, est celui qui traverse la diode de roue libre (diode source/drain), la protection active si elle est utilisée, et enfin le transistor NPN parasite s'il est déclenché dans le substrat. Le courant collecté I_c correspond au courant parasite dans le substrat que collecte le transistor NLD1 au niveau du contact de drain.

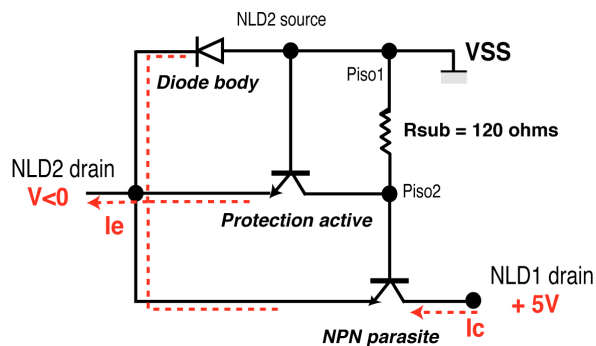


Figure 100 Schéma équivalent du dispositif de test

Pour analyser le fonctionnement de la protection active bipolaire, deux tests distincts ont été réalisés : le premier test sans la protection active, et le second avec la structure de protection bipolaire de surface $136 \times 136 \mu\text{m}^2$.

Une polarisation négative en régime statique de 0 à $-1,2\text{V}$ est appliquée au niveau du drain du transistor NLD2. Une mesure effectuée sur les courants injecté I_e au drain du transistor NLD2 et collecté I_c au drain du transistor NLD1 permet de tracer leurs courbes de réponse en Figure 101.

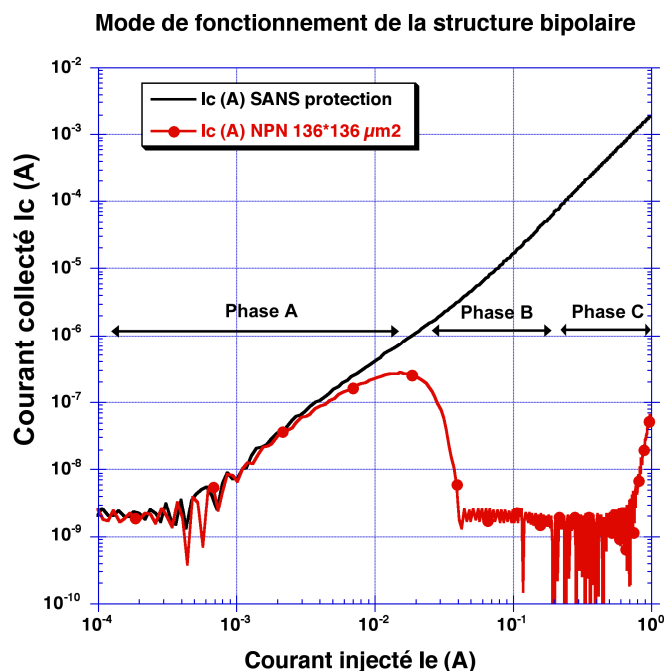


Figure 101 Courant collecté I_c en fonction du courant injecté I_e

Sans protection active, un courant collecté I_c de 2 mA est obtenu pour un courant injecté de 1A. Pour cette même amplitude de courant injecté, avec la protection active, seul un courant très faible de l'ordre $0,1\mu\text{A}$ est collecté dans la zone à protéger. D'où, une forte réduction en courant de 4 décades est obtenue. Son efficacité contre ce courant parasite apparaît clairement ici. Nous pouvons décrire son fonctionnement en trois phases

- **Phase A**

Le courant collecté I_c obtenu est identique dans les deux cas. En effet, la protection active n'est pas déclenchée puisque à ce niveau de courant, la tension correspondante n'a pas dépassé le seuil de déclenchement de la jonction base-émetteur c'est-à-dire $-0,6\text{V}$. En conséquence, le transistor bipolaire NPN parasite se met en conduction.

- **Phase B**

Une chute brutale de courant collecté I_c est observée. Elle est le résultat du déclenchement de la structure de protection active en mode de saturation. Par conséquent, le transistor bipolaire NPN parasite est bloqué. Ainsi un courant parasite I_c très faible est obtenu dans le substrat.

- **Phase C**

Le courant collecté I_c croît de nouveau en forte injection du courant injecté (supérieur à 100mA). La protection perd petit à petit de son efficacité. En effet, le courant injecté en forte injection à travers le substrat, donc à travers la résistance de substrat, fait croître le potentiel

local du substrat. Ce potentiel est suffisamment important pour dépasser le seuil de déclenchement du bipolaire NPN parasite.

Nous pouvons constater que la transition entre la phase A et la phase B est très caractéristique de la sensibilité du déclenchement de la structure de protection. En effet, cette transition indique que les performances de commutation de la protection sont suffisantes vis-à-vis de l'amorçage du transistor parasite.

Également, la transition entre la phase B et la phase C indique les limites de performances de la protection active en raison du mécanisme de forte injection où le courant injecté I_e est supérieur à 100mA.

Ces différents modes de fonctionnement sont illustrés à travers le circuit équivalent en Figure 100. Nous verrons par la suite en quoi l'influence de différents paramètres de conception contribue à ces transitions de phases afin de garantir les performances optimales de la protection.

II.3. Paramètres de conception

Dans cette partie, nous présentons les résultats expérimentaux des paramètres qui influent sur les performances de la structure de protection: la taille de la protection active, la résistance d'émetteur R_e , la résistance du collecteur R_c , la résistance de base R_b , la largeur du puits P^+ et la résistance de substrat R_{sub} . Ainsi, nous pourrions définir des règles de conception pour garantir son efficacité optimale contre le courant de substrat.

II.3.a. Influence de la taille de la protection active bipolaire

Nous voulons étudier l'influence de la taille des structures bipolaires de protection active sur le courant collecté au transistor de puissance voisin. Le test effectué est similaire à celui présenté précédemment (Figure 99). La zone émettrice est toujours le transistor NLD2 et la zone collectrice le transistor voisin NLD1.

Nous pouvons constater sur la Figure 102 que la surface de la protection modifie le seuil de courant injecté auquel la protection se déclenche. En effet, une surface conséquente de structure de protection se traduit par son déclenchement à de faibles valeurs de courant injecté (à partir de 20mA).

Ces résultats obtenus confirment l'impact de la géométrie des structures de protection sur leur capacité à s'amorcer à de faibles valeurs de courant injecté.

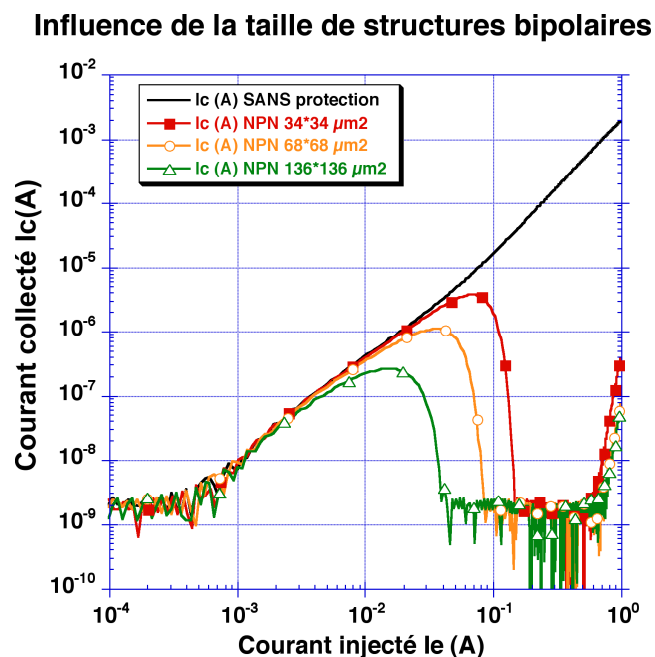


Figure 102 Courant collecté I_c en fonction du courant injecté I_e pour différentes tailles de structure de protection bipolaire

A forte amplitude de courant injecté supérieur à 300mA, le courant collecté I_c augmente de nouveau. Ce courant obtenu est similaire pour les trois structures de protection. Ce résultat indique qu'il y a déclenchement du transistor bipolaire NPN parasite dans le substrat. En effet, un fort niveau de courant injecté à travers la résistance de substrat fait croître le potentiel du substrat suffisamment pour mettre en conduction ce transistor parasite.

Ces résultats confirment la contribution de la résistance de substrat sur les performances de la protection active. Cela nécessite une bonne connaissance du placement des puits P^+ à la masse dans les circuits intégrés. Ainsi, le transistor bipolaire NPN parasite dans le substrat sera mieux contrôlé.

Une surface de protection supérieure à $68 \times 68 \mu\text{m}^2$ est nécessaire pour assurer de bonnes performances contre le courant parasite. Elle représente 1% de la surface totale du transistor LDMOS de puissance ($700 \times 700 \mu\text{m}^2$).

II.3.b. Influence de la résistance d'émetteur R_e

L'impact de la résistance d'émetteur R_e sur l'efficacité de la protection est étudié. La configuration de test reste inchangée sauf qu'une résistance série externe de différentes valeurs est utilisée comme résistance d'émetteur R_e entre le contact du drain du transistor NLD2 et le contact de l'émetteur de la protection active (Figure 103).

Cinq valeurs de résistance d'émetteur R_e respectivement 3,4 Ω , 5,8 Ω , 10 Ω , 16 Ω , 27 Ω sont choisies. Seule la structure bipolaire de protection de surface 136*136 μm^2 est utilisée. La Figure 103 représente ce dispositif de test par un circuit électrique équivalent.

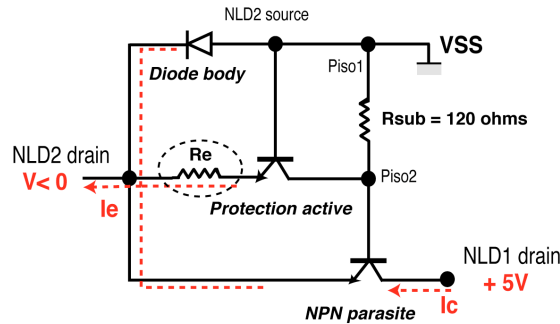


Figure 103 Schéma équivalent du circuit de test avec la résistance d'émetteur R_e

Une augmentation sensible de résistance d'émetteur annule la chute du courant collecté I_c (Figure 104). Plus particulièrement, une valeur de résistance d'émetteur supérieure à 10 Ω dégrade les performances de la protection.

Il s'ensuit que cette résistance retarde l'amorçage de la protection par rapport au déclenchement du transistor bipolaire parasite.

Donc, une résistance d'émetteur la plus faible possible doit être obtenue pour garantir de bonnes performances en commutation de la structure de protection.

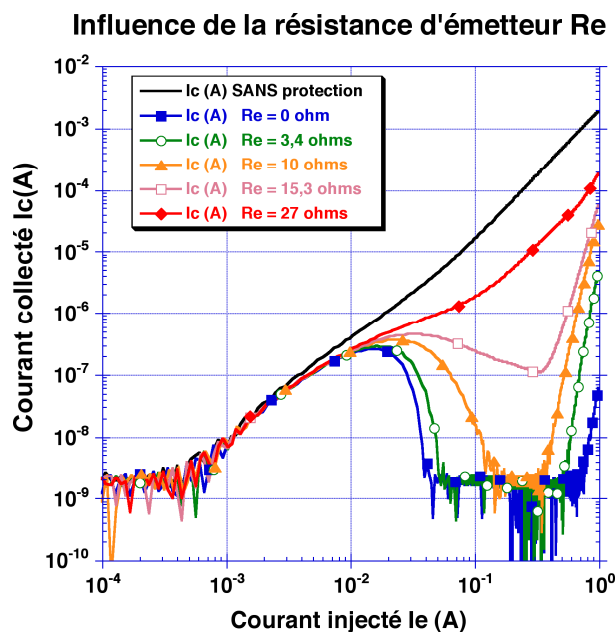


Figure 104 Courant collecté I_c en fonction du courant injecté I_e pour différentes valeurs de résistance d'émetteur R_e

Pour répondre à cette exigence, la structure de protection doit être placée proche de la zone perturbatrice pour réaliser la connexion métallique entre son contact d'émetteur et le contact de drain du transistor LDMOS. Ainsi, la connexion entre ces deux contacts par l'intermédiaire des fils du boîtier céramique est évitée.

Notons qu'une résistance externe R_e nulle signifie que seules les résistances parasites telles que les résistances d'interconnexion de valeur approximative de $2\ \Omega$ contribuent à la résistance d'émetteur.

II.3.c. Influence de la résistance du collecteur R_c

Nous voulons connaître l'impact de la résistance de collecteur R_c sur le courant collecté I_c au contact du drain du transistor NLD1. Le dispositif de test reste inchangé. Cependant, une résistance série externe de différentes valeurs, respectivement $10\ \Omega$, $20\ \Omega$, $48\ \Omega$, $122\ \Omega$, $275\ \Omega$ est ajoutée entre le contact du collecteur de la structure de protection et le puits P^+ (**Piso2**) qui entoure le transistor NLD2 (Figure 105). La structure bipolaire de surface $136 \times 136\ \mu\text{m}^2$ est toujours utilisée comme protection.

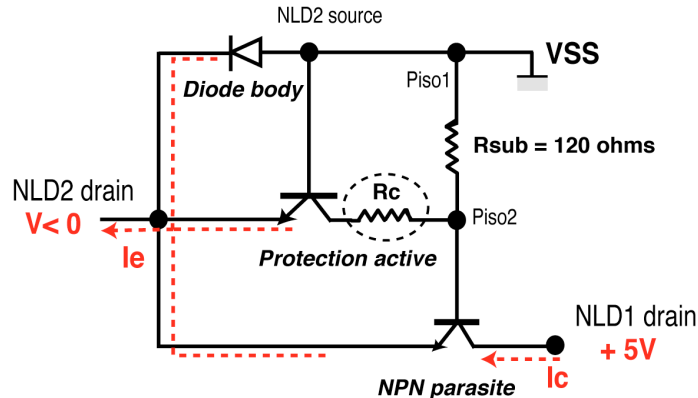


Figure 105 Schéma équivalent du dispositif de test avec la résistance de collecteur R_c

Les résultats, présentés en Figure 106, montrent qu'une forte valeur de résistance de collecteur se traduit par la remontée du courant collecté en forte injection à un niveau de courant injecté de 40mA . Cependant, elle ne modifie pas le seuil de déclenchement ni le niveau du courant collecté dès le déclenchement de la protection. Cette résistance ne modifie pas l'amorçage de la protection en mode de saturation.

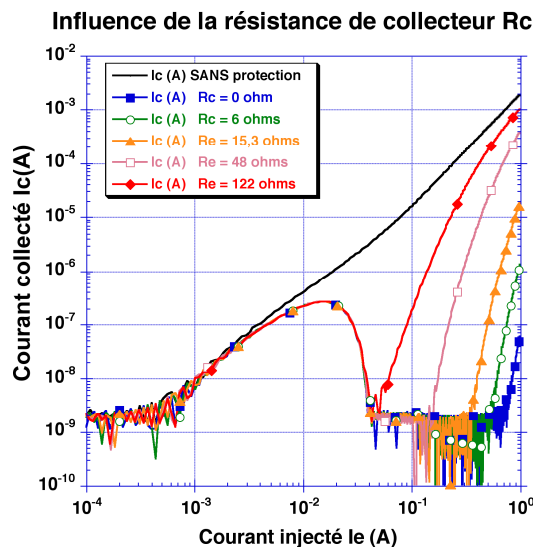


Figure 106 Courant collecté I_c en fonction du courant injecté I_e pour différentes valeurs de résistance de collecteur R_c

La remontée brutale du courant collecté est la conséquence du phénomène de saturation de la structure de protection. En effet, le courant injecté circule à travers cette protection en mode saturé, donc à travers la résistance du collecteur. Il en résulte une différence de potentiel aux bornes de cette résistance, donc une élévation de potentiel au niveau du puits P^+ (Piso2). En conséquence, ce potentiel devient suffisamment important dans le substrat pour mettre en conduction le transistor bipolaire parasite. Ce mode de fonctionnement est illustré au travers du circuit électrique équivalent en Figure 105.

Comme dans le cas précédent, une très faible résistance de collecteur inférieure à $10\ \Omega$ doit être obtenue pour limiter la dégradation des performances des structures de protection surtout en forte injection de courant de porteurs minoritaires.

Cela implique que cette protection doit être située proche de la zone perturbatrice afin de lier le collecteur de la protection active au puits P^+ par l'intermédiaire de niveaux d'interconnexions métalliques.

II.3.d. Influence de la résistance de base R_b

L'influence de la résistance de base R_b sur les performances de la protection active est étudiée. Le dispositif de test précédent est toujours utilisé avec une résistance série externe. Cette résistance de grandes valeurs respectivement $275\ \Omega$, $575\ \Omega$, $1192\ \Omega$ est connectée entre la base de la protection et la masse (Figure 107). La structure bipolaire de surface $136 \times 136\ \mu\text{m}^2$ est toujours utilisée comme protection.

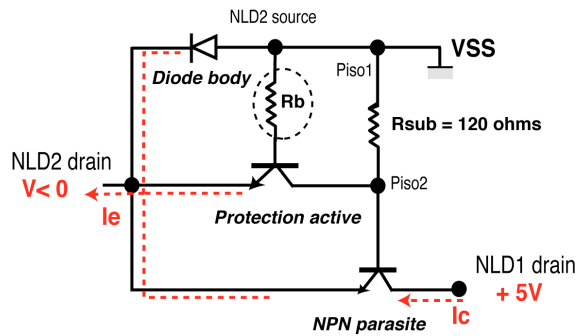


Figure 107 Schéma équivalent du dispositif de test

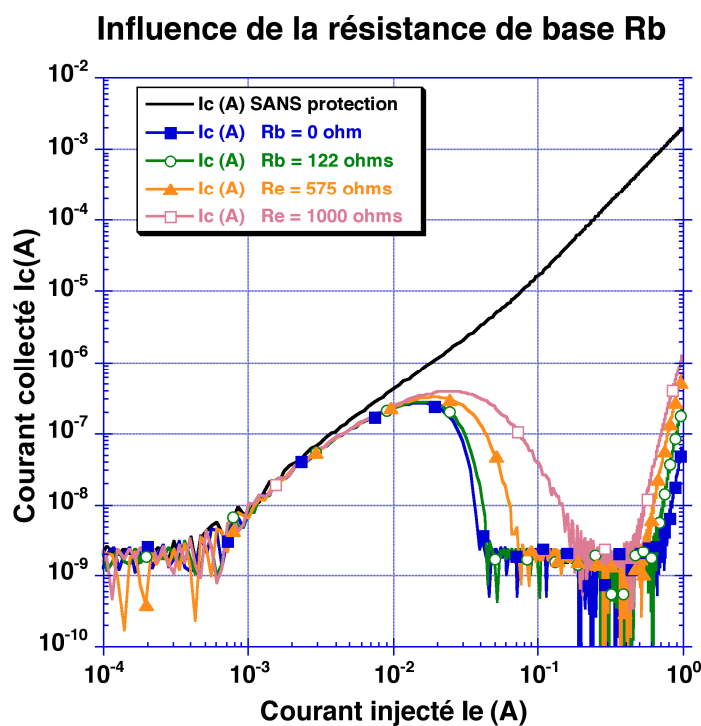


Figure 108 Courant collecté I_c en fonction du courant injecté I_e pour différentes valeurs de résistance de base R_b

Les résultats présentés en Figure 108 illustrent l'influence de la résistance de base sur le courant collecté. Une résistance de base de très forte valeur supérieure à 275 Ω peut modifier le fonctionnement de la protection. En effet, elle contrôle l'amorçage de la protection par rapport au déclenchement du transistor bipolaire parasite dans le substrat.

Une bonne efficacité de structures de protection nécessite l'utilisation d'une résistance de faible valeur inférieure à 200 Ω entre le contact de base et la masse. Cette spécification de conception est facilement réalisable en introduisant une connexion métallique entre ce contact de base et la source du transistor LDMOS à la masse.

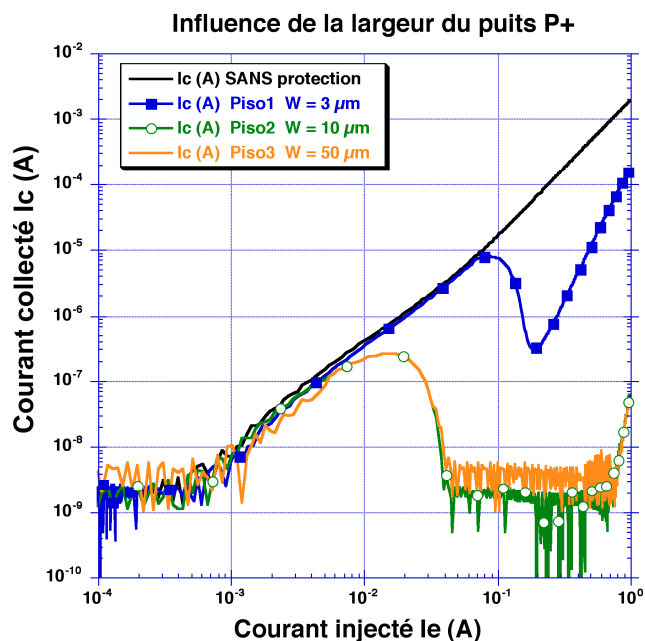


Figure 110 \square Courant collecté I_c en fonction du courant injecté I_e pour différentes largeurs du puits P+

L'évolution du courant collecté est similaire dans le cas des puits de largeurs $10\mu\text{m}$ (Piso2) et $50\mu\text{m}$ (Piso3). Ce courant demeure relativement faible par rapport à celui dans le cas du puits $3\mu\text{m}$ (Piso1). En effet, une petite largeur du puits P⁺ ne favorise pas un bon contact au substrat où a lieu des variations intempestives de courant et de potentiel. Une largeur minimale du puits P⁺, de préférence supérieure à $8\mu\text{m}$, doit être respectée pour permettre l'application du potentiel négatif dans le substrat, servant de barrière de champ électrique sous le puits P⁺ aux flux de porteurs minoritaires.

II.3.f. Influence de la résistance de substrat

Dans cette partie, l'étude porte sur l'impact de la résistance de substrat sur le courant collecté dans la zone à protéger. Nous voulons connaître les limites de performances des structures de protection dès l'introduction de nouveaux contacts (ou puits P⁺) au substrat à la masse. En effet, l'ajout d'un nouveau contact au substrat à la masse autour du transistor de puissance où est connectée la protection modifie la résistance résultante de substrat et surtout la distribution équipotentielle dans le substrat. Par conséquent, cela peut considérablement influencer les performances de la barrière de champ électrique sous le puits P⁺.

Nous pouvons représenter notre banc de test par un circuit électrique équivalent en Figure 111. Le transistor NLD2 est choisi comme zone émettrice de courant parasite. Le transistor NLD1 est utilisé comme zone collectrice, donc à protéger. La structure de protection de surface $136 \times 136 \mu\text{m}^2$ est toujours utilisée comme protection active.

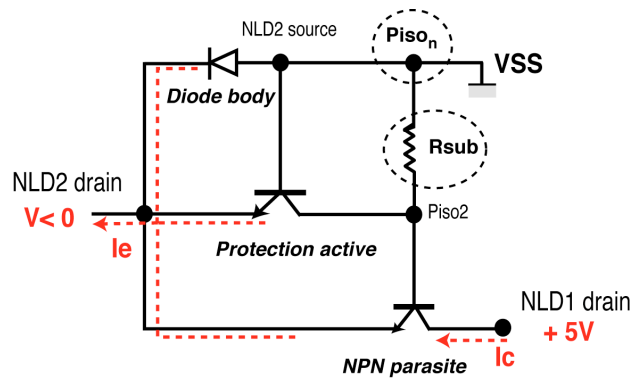


Figure 111 Schéma équivalent du dispositif de test avec différentes valeurs de résistance de substrat R_{sub}

Deux configurations de test sont nécessaires pour obtenir deux résistances de substrat différentes, respectivement 120Ω et 60Ω :

- En introduisant le puits Piso1 à la masse pour obtenir $R_{sub}=120 \Omega$
- Enfin, avec deux puits Piso1 et Piso3 à la masse pour obtenir $R_{sub}=60 \Omega$

Résistance substrat	NLD1	NLD2	NLD3	Piso1	Piso2	Piso3
120Ω	Collecteur	Emetteur	XX	Masse	Protection	XX
60Ω	Collecteur	Emetteur	XX	Masse	Protection	Masse

Ce deuxième contact du puits P^+ (Piso3) à la masse nous permet de connaître son impact sur la barrière électrique appliquée autour du puits P^+ (Piso2) du transistor NLD2, donc les performances de la protection active.

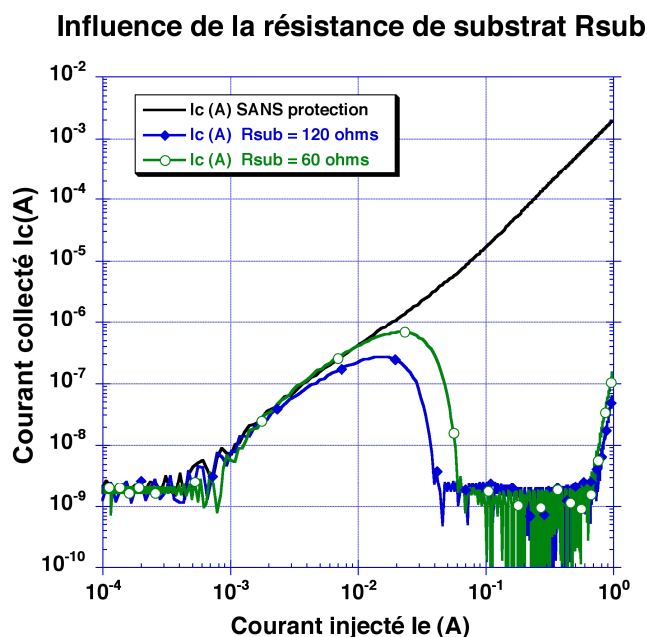


Figure 112 Courant collecté I_c en fonction du courant injecté I_e fonction de la résistance de substrat

Les résultats obtenus en Figure 112 montrent deux niveaux différents de courant collecté maximum ($I_c=0,3\mu s$ pour $R_{sub}=120\Omega$ □ $I_c=0,8\mu s$ pour $R_{sub}=60\Omega$ □). En effet, une diminution de résistance de substrat favorise l'amorçage du transistor bipolaire parasite. En forte injection du courant injecté, l'évolution du courant collecté est similaire pour les deux cas de résistance. Cela confirme que la barrière de champ électrique autour du puits P_{iso2} de largeur $10\mu m$ est homogène et donc peu influencée.

Ces résultats confirment l'intérêt majeur de l'utilisation de la protection active à protéger les circuits intégrés autour du composant de puissance surtout à partir d'une résistance de substrat acceptable ($R_{sub}>60\Omega$). Cette valeur de résistance permet de garantir le niveau maximal du courant collecté quelque soit le niveau du courant injecté. Certes, cette résistance est difficile à extraire avec le placement de plusieurs contacts de substrat à la masse dans les circuits intégrés. En conséquence, une distance minimale entre le puits P^+ où est connectée la protection et le puits P^+ le plus proche, relié à la masse, doit être fixée pour assurer l'efficacité de la protection active contre le courant parasite. Dans cet exemple, une distance minimale de $475\mu m$ doit être obtenue. Cela n'est pas réalisable dans les applications de circuits intégrés surtout avec les exigences de la réduction des dimensions. En effet, dans cette technologie de substrat P^+ , un puits P^+ est implanté sous l'oxyde d'isolation à travers l'épitaxie entre deux caissons N^+ pour éviter les effets parasites tels que le transistor MOS parasite. Ce puits contribue à diminuer la résistance de substrat entre

deux contacts au substrat. Donc, en introduisant un caisson N⁺ supplémentaire autour du composant de puissance, pour une même résistance de substrat, une distance minimale peut être fortement réduite de l'ordre de 150µm-200µm (à l'aide de la simulation physique) avec la forte résistivité du substrat P⁻.

II.3.g. Influence de la température extérieure

Nous voulons étudier l'influence de la température de l'environnement sur les performances de la protection active. En d'autres termes, nous voulons connaître le comportement du transistor bipolaire NPN parasite dans le substrat à chaque changement de température. En effet, une forte température peut favoriser l'amorçage du transistor bipolaire NPN parasite en raison de son gain en courant.

Nous avons choisi deux températures, T=25°C et T=150°C, pour répondre aux spécifications des applications automobiles. La configuration de test est similaire de celle utilisée au départ pour l'évaluation de la résistance d'émetteur ou du collecteur. Le transistor NLD2 est la zone émettrice de porteurs minoritaires et le transistor NLD3 la zone collectrice. L'efficacité de la protection est évaluée par la mesure du courant collecté à ce dernier transistor (Figure 113).

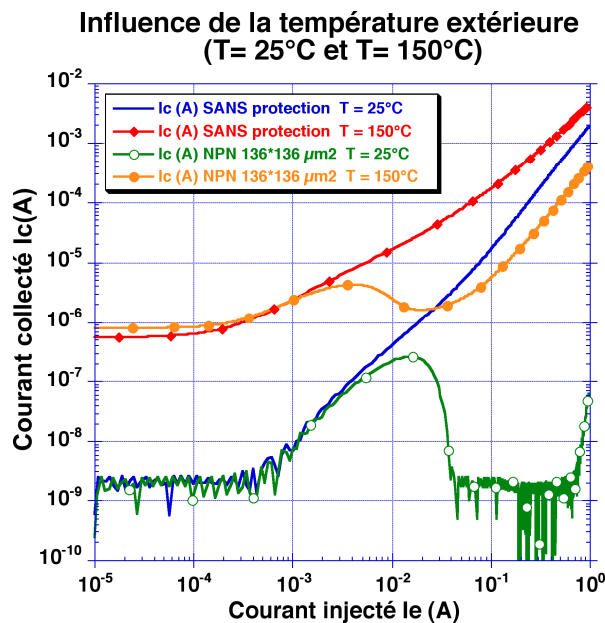


Figure 113 Courant collecté Ic en fonction du courant injecté Ie à T=25°C et T=150°C

Nous pouvons constater des différences importantes en terme d'amplitude du courant collecté à ces deux températures distinctes.

Avec une température de $T=150^{\circ}\text{C}$, le rapport entre le courant collecté obtenu sans la protection et celui obtenu avec la protection active est de 1 décade au lieu de 4 décades à température ambiante $T=25^{\circ}\text{C}$. La dégradation des performances de la protection apparaît clairement ici. Il en résulte que la température augmente la sensibilité du transistor bipolaire parasite à se mettre en conduction. Néanmoins, la protection permet de retarder cet amorçage.

Nous pouvons expliquer ce phénomène par la faible recombinaison des porteurs minoritaires dans le substrat à haute température [SCH03]. Il en résulte une injection conséquente de ces porteurs dans le substrat. Par conséquent, ces porteurs peuvent franchir la barrière de champ électrique appliquée sous le puits P^+ et donc atteindre la zone collectrice. Egalement, nous pouvons traduire ce phénomène par une modulation de conductivité dans le substrat liée à cette injection. Une forte injection de ces porteurs minoritaires entraîne une modulation de conductivité qui abaisse la résistance de substrat P^- . Cette résistance R_{sub} très faible ne permet pas de faire varier localement le potentiel du substrat pour annuler le transistor bipolaire parasite.

II.3.h. Règles de conception

Un bilan sur les résultats, présentés ci-dessus sous forme de tableau, s'impose pour définir des règles de conception. Ainsi, nous pourrions optimiser de nouvelles structures de protection en tenant compte des contraintes d'intégration.

Paramètres	Surface de protection	R_e	R_c	Largeur Piso	R_b	R_{sub}
Valeurs	<10% de surface d'injection (LDMOS)	Très faible $2\Omega <$	Très faible $2\Omega <$	>8μm	Faible $100\Omega <$	>60Ω

Pour assurer son efficacité contre le courant parasite dans le substrat, la protection doit être déclenchée dès l'arrivée du potentiel négatif ou courant négatif au niveau du drain du transistor. Une surface conséquente de la protection supérieure à $70 \times 70 \mu\text{m}^2$, soit 1% de la surface totale du transistor LDMOS ($700 \times 700 \mu\text{m}^2$), est nécessaire pour assurer un courant suffisant de contre-réaction. En effet, pour assurer cette performance, la surface de cette protection optimisée doit être acceptable, c'est-à-dire inférieure à 10% de la surface de la zone émettrice.

De plus, il est important d'avoir une très faible résistance d'émetteur pour éviter l'amorçage des transistors parasites dans le substrat. Pour répondre à cette exigence, un court-circuit par l'intermédiaire du métal d'interconnexion entre le drain du transistor LDMOS et l'émetteur de la structure bipolaire est nécessaire.

Pour assurer de bonnes performances en forte injection, il est également nécessaire d'avoir une faible résistance de collecteur et du contact au substrat (Piso) sont nécessaires pour permettre d'appliquer facilement le potentiel négatif dans le substrat. Comme dans le cas précédent, cette condition est satisfaite par la réalisation d'un court-circuit entre le collecteur de la structure de protection et le puits P⁺ d'une largeur supérieure à 8 μm par l'intermédiaire du métal d'interconnexion. Par conséquent, la structure bipolaire de protection doit être proche du composant de puissance afin d'éviter de longues connexions métalliques.

Nous avons constaté qu'une grande valeur de résistance de base, supérieure à 200 Ω, dégrade l'efficacité du transistor bipolaire de protection. Ce problème peut être résolu en déplaçant la structure de protection au plus près du composant de puissance et en court-circuitant le contact de base avec le contact de source du transistor de puissance.

Le dernier paramètre difficile à optimiser de par son aspect distribué demeure la résistance de substrat R_{sub}. Nous avons pu cependant constater que de nouveaux contacts au substrat à la masse ont peu d'impact sur les performances de la protection grâce au puits qui entoure le composant de puissance. En effet, le fait d'entourer le composant par ce puits P⁺ permet d'obtenir une barrière électrique au flux de porteurs minoritaires. Cette performance peut être obtenue avec une distance minimale entre le puits P⁺ où est connectée la protection et le puits P⁺ le plus proche, relié à la masse. Cette distance minimale doit correspondre à une résistance de substrat supérieur à 60 Ω afin d'éviter le déclenchement du transistor bipolaire parasite. Cela est réalisable en identifiant les contacts de substrat les plus proches autour des composants de puissance susceptibles d'être déplacés pour répondre à cette exigence. De plus, nous pouvons réduire la largeur de ces contacts de manière à augmenter sa résistance de contact. En effet, nous pouvons introduire des résistances parasites supplémentaires telles que des résistances de contact, des résistances d'interconnexion métallique, afin d'isoler la masse par rapport à la barrière de champ électrique appliquée par la protection active.

Enfin, nous pouvons constater la dégradation des performances de la protection à haute température (T=150°C). En effet, à ce niveau de température, le phénomène de recombinaison des porteurs minoritaires dans le substrat n'est plus prépondérant. Il en résulte une injection conséquente de ces porteurs dans le substrat, responsable de la

modulation de conductivité du substrat. La résistance résultante de substrat diminue et favorise le déclenchement du transistor bipolaire parasite.

Ce bilan de conception confirme la nécessité d'appliquer notre méthodologie de conception basée sur la simulation physique pour optimiser ces paramètres.

II.4. Contraintes d'intégration

Nous présentons quelques exemples simples de problèmes d'intégration de la protection active. Nous avons étudié jusqu'à maintenant les paramètres nécessaires pour obtenir des bonnes performances de la protection contre le courant de substrat. Cependant, l'efficacité de cette protection ne peut être validée que si elle ne perturbe aucune fonctionnalité des circuits.

A titre d'exemple, la protection active doit assurer une tenue en tension supérieure ou égale à celle du composant de puissance. La structure de protection utilisée précédemment a une tenue en tension de 12V (tenue en tension de la jonction base-émetteur polarisé en inverse). Cette valeur est donc inférieure à celle du composant de puissance égale à 55V. Nous sommes donc amenés à utiliser des couches technologiques, compatibles avec celles utilisées pour la structure de puissance, pour construire une structure de protection bipolaire de haute tenue en tension. Nous pouvons constater ici la nécessité d'utiliser de simulations physiques pour la conception de ces structures de protection.

Nous avons constaté que l'émetteur de la protection active est relié au contact de drain donc à la charge. Toutes perturbations autres que celle de l'injection du courant de porteurs minoritaires peuvent se produire à ce contact de drain. En d'autres termes, un événement de décharge électrostatique ou de décharge d'énergie à travers ce contact peut induire une défaillance de la structure de protection. De plus, cette protection ne doit pas dégrader les performances des circuits de protection destinés à protéger le transistor de puissance contre ces événements.

Nous avons démontré de bonnes performances de la protection destinée à protéger les zones collectrices. Ces zones collectrices peuvent à leur tour devenir des zones émettrices où sont utilisées ces protections actives. Une protection mal optimisée peut induire une injection conséquente de porteurs dans le substrat (Figure 114, Figure 115). Par conséquent, ce courant peut mettre en conduction la protection active connectée au transistor voisin. En effet, cette protection active en configuration inverse est mise en conduction.

A titre d'exemple, en Figure 114, le transistor NLD2 se constitue comme zone émettrice et le transistor NLD1 comme zone collectrice où est connectée la protection active. Un potentiel

négligé est appliqué au contact de drain du transistor NLD2. La protection active n'est pas connectée à ce transistor pour obtenir le pire des cas de l'injection du courant parasite. Une mesure du courant collecté est effectuée au contact de drain du transistor NLD1 polarisé à +5V suivant les deux cas avec ou sans protection active connectée à ce transistor NLD1.

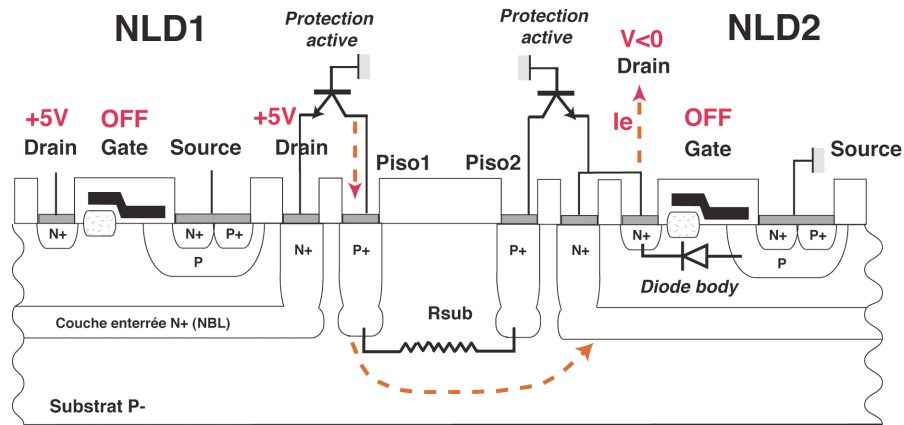


Figure 114 Présentation de structures de protection bipolaires symétriques

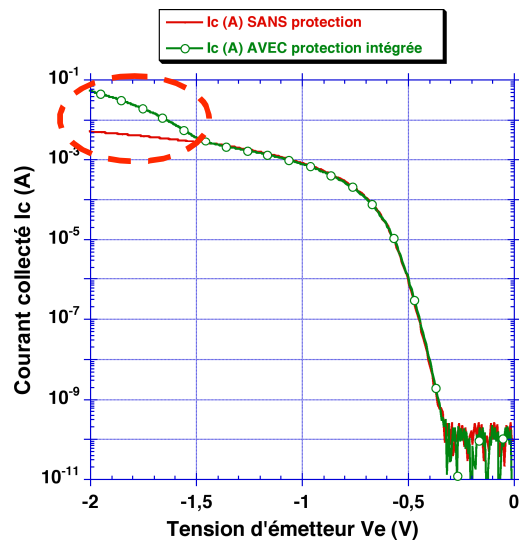


Figure 115 Courant collecté au transistor NLD1 en fonction de la tension appliquée au transistor NLD2

Les résultats, présentés en Figure 115, illustrent la remontée brutale du courant collecté. Ce phénomène se traduit par le déclenchement de la protection active au transistor NLD1, zone collectrice, en raison de la forte injection de courant parasite dans le substrat (cf. chemin du courant parasite dans le substrat en Figure 114).

Or la protection active est destinée à protéger les zones collectrices et émettrices. Une protection optimisée au transistor NLD2 garantit d'éviter ce mécanisme puisque le courant

résiduel dans le substrat est suffisamment faible pour ne pas mettre en conduction la protection active du transistor voisin.

Nous proposons une structure de protection bipolaire intégrée dans chaque transistor de puissance pour pallier ces problèmes d'intégration.

II.5. Structure de protection bipolaire intégrée

Dans cette partie, nous nous sommes consacrés au développement et à l'optimisation de la protection active. Ce nouveau dispositif doit satisfaire non seulement à la spécification concernant les courants de substrat mais aussi les contraintes d'intégration.

II.5.a. Présentation

Une structure bipolaire intégrée dans la structure du transistor LDMOS est proposée [LOC03]. En effet, les couches technologiques pour réaliser cette protection sont compatibles avec celles du transistor LDMOS (Figure 116). Ce choix répond aux règles de conception de protection.

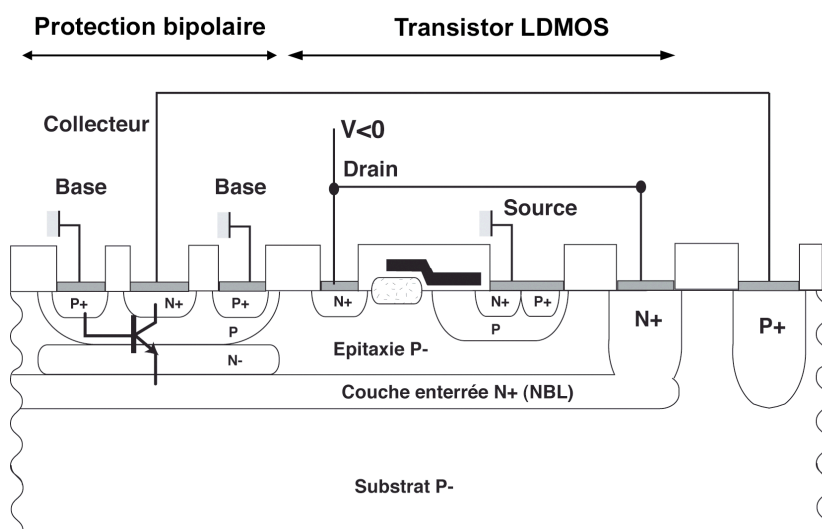


Figure 116 Présentation de la structure intégrée

Une couche implantée N⁻ en dessous d'une couche P sur la couche enterrée N⁺ est réalisée pour former l'émetteur de la protection active, héritée des structures bipolaires NPN classiques. Cet émetteur est aussi le drain du transistor LDMOS à travers le puits N⁺ et la couche enterrée N⁺. La couche P sur la couche N⁻ sert de base. Enfin, un contact N⁺ en

surface forme le collecteur connecté au puits P⁺, contact du substrat, par l'intermédiaire du métal d'interconnexion.

Par rapport aux structures bipolaires NPN classiques, la protection fonctionne en configuration inverse. Ainsi, sa tension de claquage est proche de celle du composant de puissance, c'est à dire, 55V.

II.5.b. Structure de test

Trois structures bipolaires de faible largeur sont intégrées dans la structure de puissance LDMOS de surface 545*460μm² (Figure 117). Ces structures représentent 7% de la surface totale du transistor de puissance.

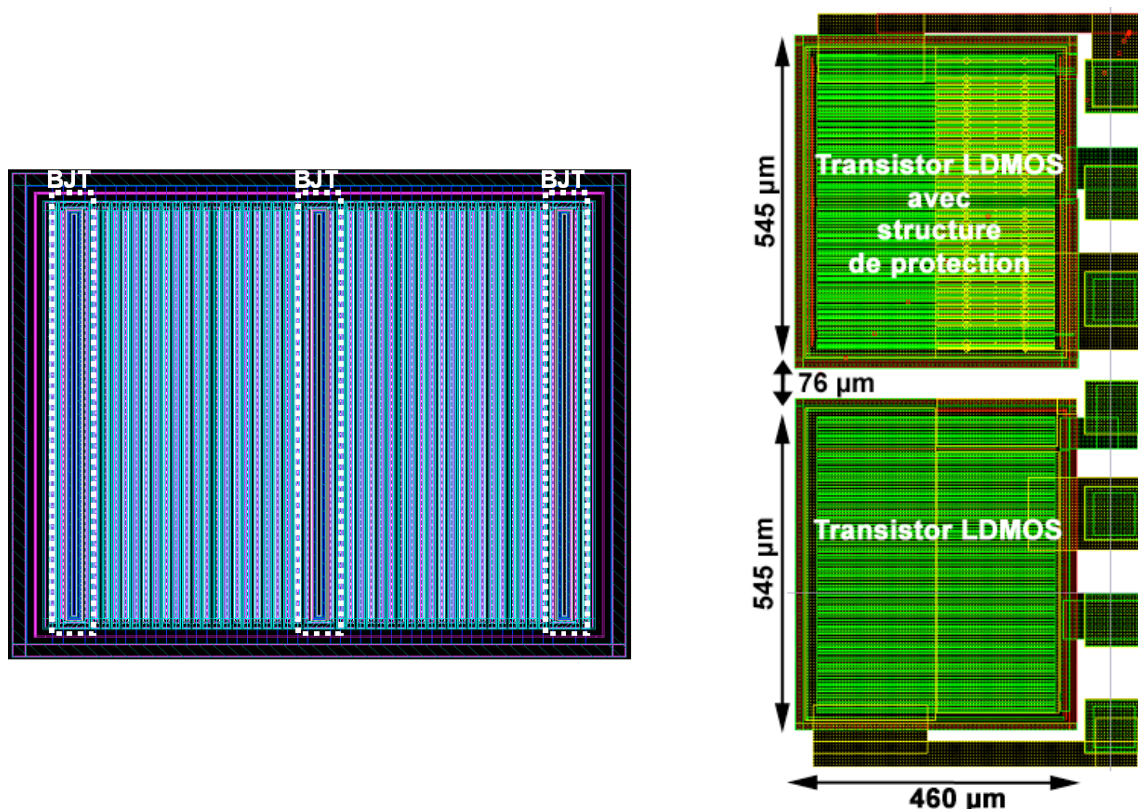


Figure 117 ☐ Vue de layout de la structure de protection intégrée

Un autre transistor de puissance de même surface est utilisé comme zone à protéger, voisin d'une distance de 76μm. Ainsi, nous avons pu évaluer de manière comparative la fonctionnalité de ce composant référence avec celui où est intégrée la structure de protection. Les résultats confirment une tension de seuil du transistor LDMOS identique ainsi que des caractéristiques normales tension-courant du drain.

Le puits P⁺ qui entoure ces transistors LDMOS est d'une largeur fixe de 10μm.

II.5.c. Courant de substrat

Pour tester l'efficacité de ce nouveau dispositif, la configuration de test suivante est mise en œuvre (Figure 118) : un potentiel négatif, jusqu'à $-2V$ en régime statique, est appliqué au drain du transistor LDMOS avec la structure de protection (NLDint) l'efficacité de la protection dépend du courant collecté I_c mesuré au transistor voisin (NLD) (Figure 119).

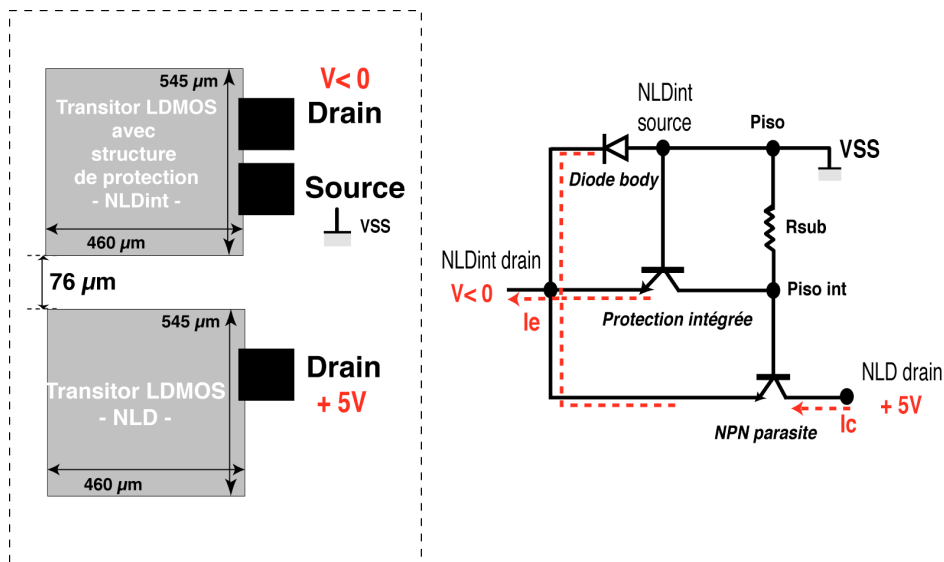


Figure 118 : Banc de test

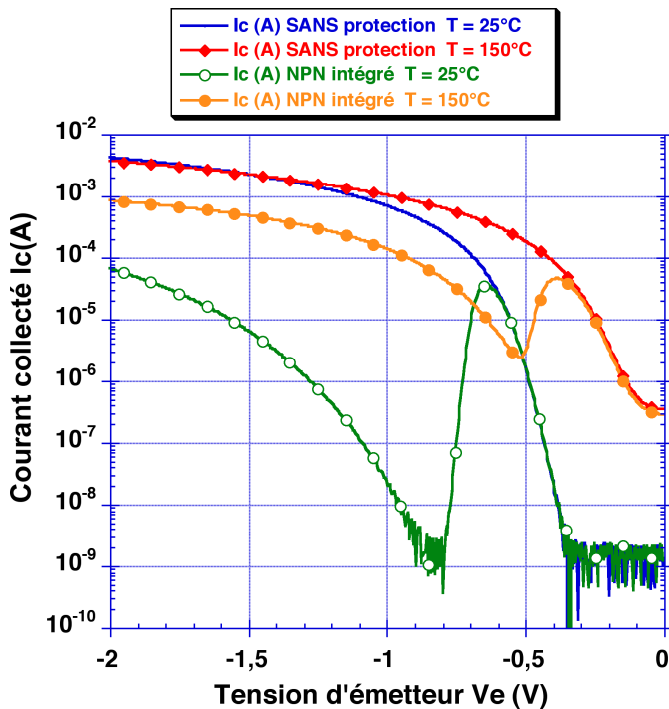


Figure 119 Courant collecté avec ou sans la structure bipolaire intégrée

La Figure 119 illustre clairement l'efficacité de la structure de protection avec un courant collecté I_c de $80\mu A$ au lieu d'un courant supérieur à $1mA$ pour une tension de drain de $-2V$ à température ambiante ($T=25^\circ C$). Cette valeur de tension correspond à un courant injecté de $1A$. Nous pouvons constater une chute brutale de courant collecté dès l'activation de la protection. Il est le résultat de l'optimisation des paramètres de la protection permettant à son activation à de faibles valeurs de tension appliquée (tension d'émetteur).

Comme nous l'avons déjà constaté, le courant collecté obtenu à haute température $T=150^\circ C$ demeure important de l'ordre de $1mA$. Néanmoins, la protection intégrée retarde l'amorçage du transistor bipolaire parasite. Cette valeur de courant collecté relativement élevée est compatible avec les spécifications des applications automobiles (courant collecté maximal égal à $1mA$ à $T=150^\circ C$). Ces performances obtenues sont très remarquables avec une faible distance entre deux transistors $75\mu m$ au lieu de $475\mu m$.

En effet, l'intégration de la structure de protection dans le transistor permet d'obtenir de faibles résistances d'accès au niveau de l'émetteur et du collecteur. Ses performances ainsi que sa sensibilité sont accrues comme l'atteste sa réponse en transitoire (Figure 120).

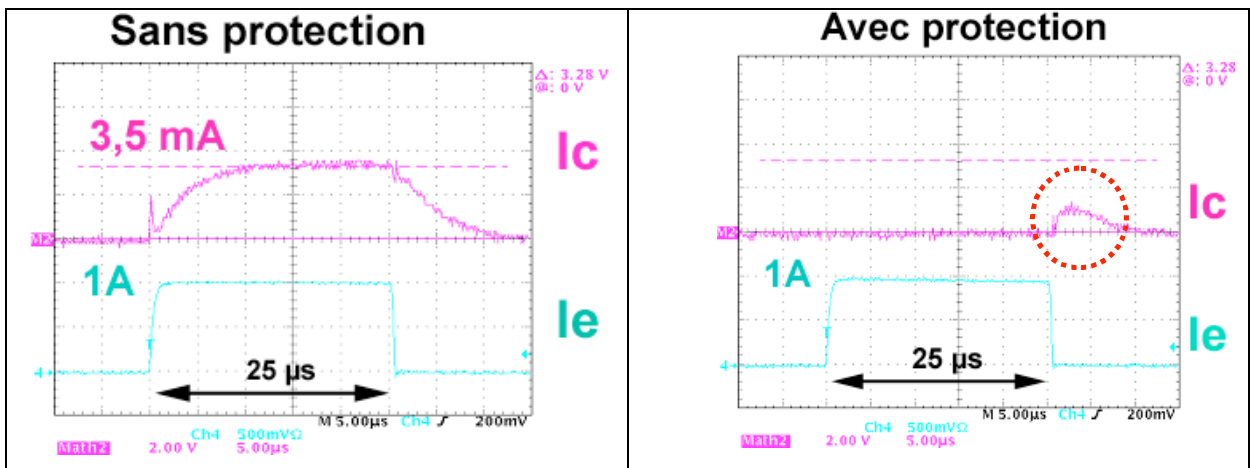


Figure 120 Réponse transitoire des structures de test

Un courant négatif I_e de $1A$ de largeur d'impulsion égale à $25\mu s$ est appliqué au drain du composant de puissance avec ou sans protection. Une mesure du courant collecté I_c au transistor voisin est effectué.

Sans la protection, un courant collecté d'une valeur de $3,5 mA$ est obtenu. Nous pouvons constater un temps de réponse relativement long de ce courant en début d'injection du courant négatif. Comme nous l'avons expliqué dans le chapitre précédent sur la technologie du substrat P, un temps est nécessaire aux trous pour traverser le substrat résistif ainsi que la zone émettrice pour mettre en direct la jonction P_substrat/caisson N+. Il en résulte un

retard de conduction de cette jonction donc de propagation du courant parasite dans le substrat.

Dès que le courant négatif n'est plus appliqué, le courant collecté décroît progressivement pendant ce même temps. En effet, en plus des mécanismes de recombinaison, les charges parasites sont stockées dans le substrat avant d'être évacuées vers le transistor voisin.

Avec la protection, il n'y a plus aucun courant collecté au transistor voisin dès l'impact du courant négatif. La commutation rapide de la protection est confirmée ici. Cependant, un pic de courant collecté est observé en fin d'impulsion du courant négatif. En effet, la diminution du courant injecté après un temps d'impulsion de $25\mu\text{s}$ induit le blocage de la structure de protection. Il en résulte le déclenchement du bipolaire parasite dans le substrat puisque le potentiel négatif n'est plus assuré dans le substrat.

Nous pouvons expliquer ce mécanisme par l'absence de barrière de champ électrique autour du puits P^+ . Ainsi les charges stockées, en raison de la faible recombinaison, dans le substrat sous le composant de puissance sont évacuées vers le transistor voisin. Il en résulte que l'efficacité de la protection dépend du temps de montée et de descente du courant injecté. Dans les applications de moteurs électriques, le temps de décharge inductive, bien supérieur à $10\mu\text{s}$, permet donc d'assurer les performances de cette protection contre le courant parasite.

Nous pouvons constater à travers ces résultats l'intérêt majeur d'intégrer les structures de protection dans le composant de puissance pour satisfaire les règles de conception ainsi que les performances en commutation. Ce nouveau dispositif est réalisable grâce à la structure physique du composant de puissance ainsi que la compatibilité des couches actives du procédé technologique.

Nous allons démontrer à travers de nouveaux résultats présentés ci-dessus que les contraintes d'intégration de cette protection sont résolues avec satisfaction.

II.5.d. Robustesse vis-à-vis des décharges électrostatiques

Les entrées-sorties du composant de puissance doivent être protégées contre les décharges électrostatiques. Deux évaluations de décharges électrostatiques avec le testeur basé sur le modèle HBM (Human Body Model) ont été effectuées sur les composants de puissance avec et sans protection [[HBM89](#)] [[HBM98](#)].

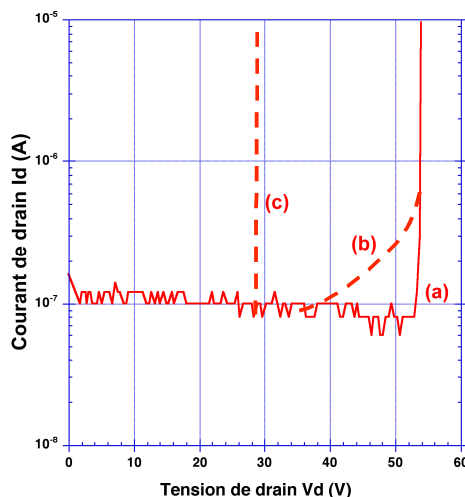


Figure 121 \square Courant de fuite au niveau du drain du transistor LDMOS

La robustesse en ESD du composant de puissance sans protection comme tous les autres transistors LDMOS s'élève à 500V. Cette valeur est fixée par le critère de défaillance défini par un courant de fuite supérieur à $1\mu\text{A}$ au niveau du drain.

Avec le dispositif de protection contre le courant de substrat, la tenue en ESD du composant de puissance est considérablement accrue : elle est de 2000V (Figure 121).

Trois courbes distinctes sont représentées en Figure 121 \square courbe (a) pour tenue en ESD à 500V \square et 1000V; courbe (b) pour tenue en ESD à 1500V \square et 1750V; courbe (c) pour tenue en ESD à 2000V. La courbe (c) indique le passage de la tension de claquage de 55V à 34V.

Ce résultat est remarquable pour ce transistor de puissance dans lequel la structure de protection non optimisée améliore sa robustesse contre les décharges électrostatiques.

II.5.e. Tenue en énergie

Comme tous les transistors de puissance, le transistor LDMOS est amené à commuter sur une charge inductive et donc doit dissiper une certaine quantité d'énergie. Pendant cette dissipation, la structure de protection ne doit pas être déclenchée. En effet, une forte densité de courant à travers le drain peut induire le mécanisme d'avalanche à travers la structure de protection bipolaire. Par conséquent, cette structure auto-polarisée peut se mettre en conduction. Donc, une longue impulsion de courant positif à travers cette structure peut conduire à sa destruction. Certes, un circuit de protection est prévu pour protéger le composant de puissance pendant cette dissipation d'énergie (Figure 122).

Nous avons observé la sensibilité de la protection aux décharges électrostatiques, dont la caractéristique en courant est très rapide et requiert un temps de réponse très court de

l'ordre de quelques nano-secondes. Il est donc important de s'assurer si la protection intégrée n'est pas déclenchée avant le circuit de protection spécifique lors du stress de tenue en énergie du transistor de puissance. Le test en énergie proposé en Figure 122 permet d'évaluer l'état de commutation de la protection par rapport au circuit de protection pendant l'impact du courant positif.

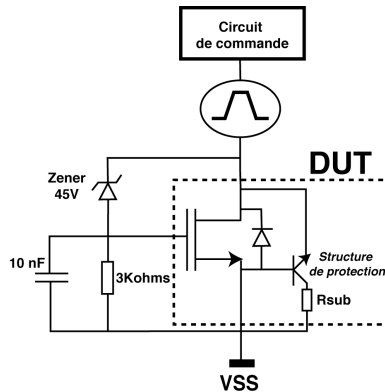


Figure 122 Présentation du test en énergie

Un circuit de commande en amont du transistor de puissance permet de générer des courants positifs de largeur d'impulsion variable. Une diode Zener est placée entre le drain et la grille du transistor LDMOS de manière à le protéger. Sa tension de claquage de 45V est inférieure à celle du transistor qui est de 55V. Une résistance de 3kΩ ainsi qu'une capacité de faible valeur 10nF entre la grille et la source permettent une bonne polarisation du transistor dès le déclenchement de la diode zener.

Deux tests ont été effectués sur deux transistors avec et sans protection.

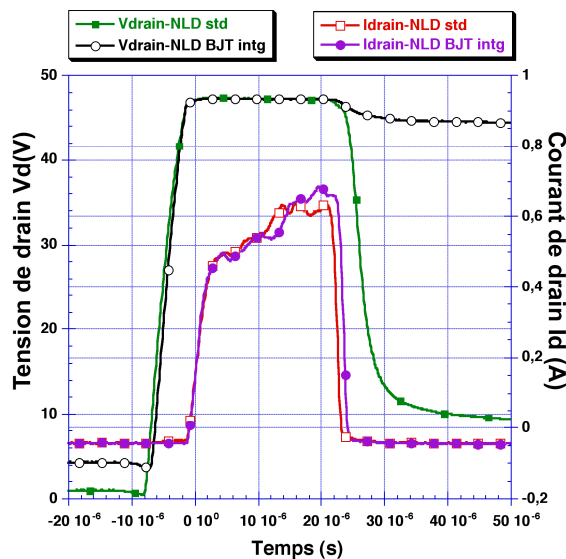


Figure 123 Réponse du test en énergie

La Figure 123 présente la réponse temporelle en tension et en courant des transistors testés. Elle illustre clairement une tension de 45V obtenue au niveau du drain dès l'impact du courant positif pendant $20\mu\text{s}$. Par conséquent, le circuit de protection s'est déclenché correctement.

Nous pouvons constater la circulation de ce courant à travers les transistors testés. L'impact de la protection intégrée sur ce test est négligeable. De plus, un changement effectué en cours du test sur l'amplitude du courant (jusqu'à 1,5A) ainsi que sa largeur d'impulsion ($100\mu\text{s}$) ne modifie pas le fonctionnement de la structure de protection. Nous pouvons en déduire que la protection intégrée bipolaire ne dégrade pas les performances de tenue en énergie du transistor LDMOS.

II.5.f. Bilan

Une structure de protection bipolaire intégrée dans le transistor de puissance présente de nombreux avantages en termes de performances contre le courant parasite et de facilité d'intégration.

En effet, elle a permis de réduire considérablement les problèmes d'intégration. Son efficacité est démontrée avec un accroissement réduit de la surface (7%) totale du transistor. Ses performances sont d'autant plus remarquables que la distance utilisée entre deux transistors de puissance est faible ($76\mu\text{m}$).

III. Structure de protection active : transistor MOS

La structure de protection MOS a été proposée pour remplacer celle des transistors bipolaires en raison de sa souplesse au niveau du contrôle. En effet, dans certaines applications, le potentiel du substrat à travers le puits P^+ doit être impérativement porté à la masse autour du composant de puissance. Cette configuration peut être réalisable avec l'introduction d'une structure MOS supplémentaire [\[RAV00\]](#).

III.1. Structure de test

La structure de test est similaire à celle utilisée pour évaluer les structures de protection bipolaires. Trois composants de puissance LDMOS de surface constante égale à $700 \times 700 \mu\text{m}^2$ sont toujours utilisées (Figure 124). Quatre structures de transistors MOS de protection de différentes surfaces sont intégrées sur la même puce (Figure 125).

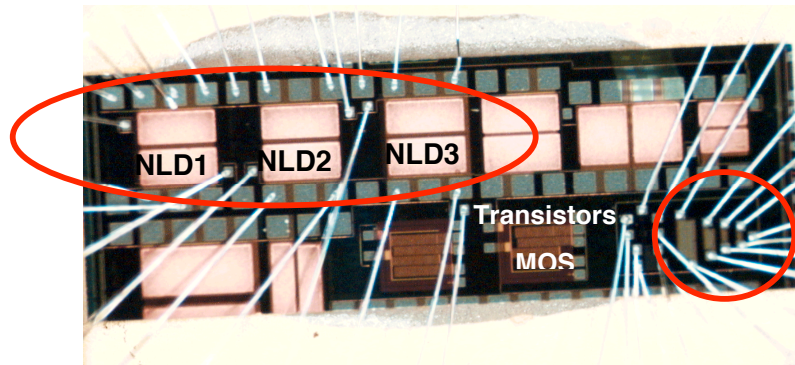


Figure 124 Structure de test avec transistors LDMOS et transistors MOS

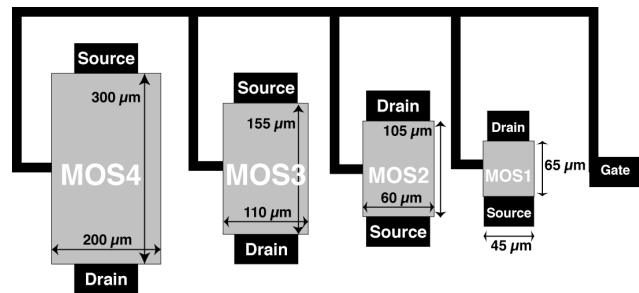
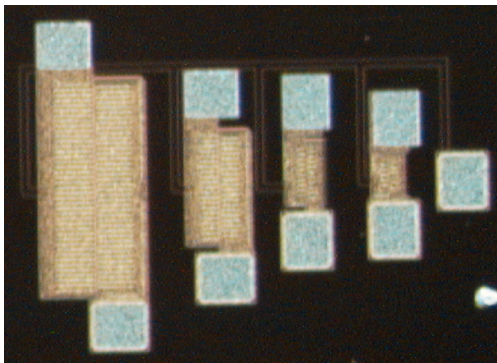


Figure 125 Structures MOS de protection

Quatre surfaces différentes de structure MOS induisent 4 résistances passantes différentes respectivement, de la plus petite à la plus grande, 74 Ω (MOS1), 21 Ω (MOS 2), 5,7 Ω (MOS 3) et enfin 2 Ω (MOS 4). Comme les structures bipolaires, la connexion entre ces transistors MOS de protection et les transistors LDMOS de puissance est réalisée de façon externe par les broches du boîtier céramique.

III.2. Principe de fonctionnement

Le dispositif de test pour l'évaluation des structures de protection MOS est similaire à celui appliqué pour les structures bipolaires. Un des transistors de puissance est choisi comme zone émettrice et le transistor voisin comme zone à protéger. L'efficacité de la protection dépend du courant collecté à cet endroit (Figure 126).

Comme pour la structure bipolaire, la connexion du transistor MOS est réalisée entre le drain du composant de puissance et le puits P⁺ qui l'entoure. En d'autres termes, le drain du transistor MOS de protection est relié au drain du transistor LDMOS. Puis, la source de cette protection est connectée au puits P⁺. Enfin, la grille est polarisée à une tension +10V. Dans un circuit réel, ce potentiel serait délivré par une circuiterie de contrôle lors de la détection de

la surtension négative du drain du transistor LDMOS. Cette valeur de tension est choisie pour garantir un mode de fonctionnement linéaire du transistor MOS. Ainsi, le potentiel négatif du contact de drain sera mieux transmis au substrat.

La diode de roue libre du transistor LDMOS de la zone émettrice est utilisée avec la source à la masse. La grille des composants de puissance est laissée flottante.

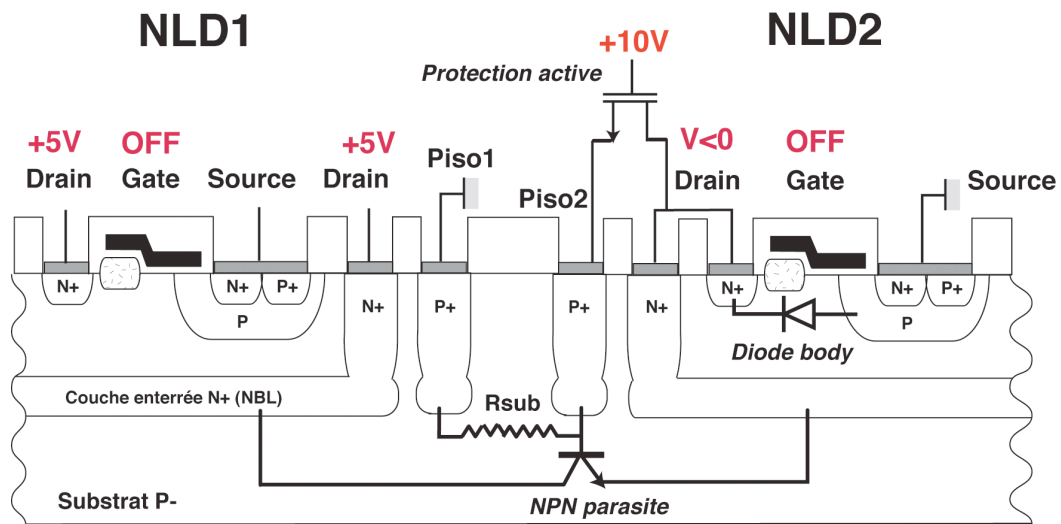


Figure 126 Coupe technologique du dispositif de test

La résistance de substrat entre les deux puits P+ (Piso2-Piso1) est évaluée à une valeur égale à $120\ \Omega$. De la coupe technologique de la Figure 126, on peut extraire le schéma électrique équivalent donné Figure 127.a pour décliner la série de tests effectués. Le courant injecté I_e circule à travers la diode de roue libre (diode-body), puis la protection active MOS si elle est active et enfin dans le substrat à travers le transistor bipolaire parasite.

Dans les applications, un circuit de commande réalisé à l'aide d'un amplificateur opérationnel est utilisé pour détecter le potentiel négatif au niveau du drain du transistor LDMOS (Figure 127.b). Dès l'impact de ce potentiel négatif en dessous de -200mV , l'amplificateur opérationnel fournit une tension positive de $+10\text{V}$ au contact de grille de la structure de protection MOS pour obtenir son mode de fonctionnement linéaire.

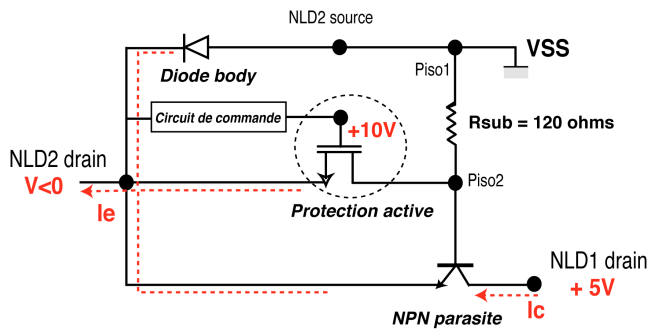


Figure 127.a :Circuit équivalent

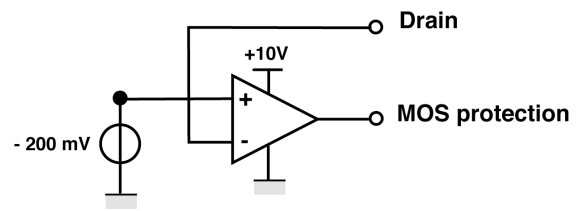


Figure 127.b : Circuit de commande MOS

Figure 127 Circuit de test

Ce circuit de commande n'est pas utilisé dans notre puce de test. Nous nous contentons d'appliquer de manière permanente la tension positive (+10V) sur la grille de la protection active.

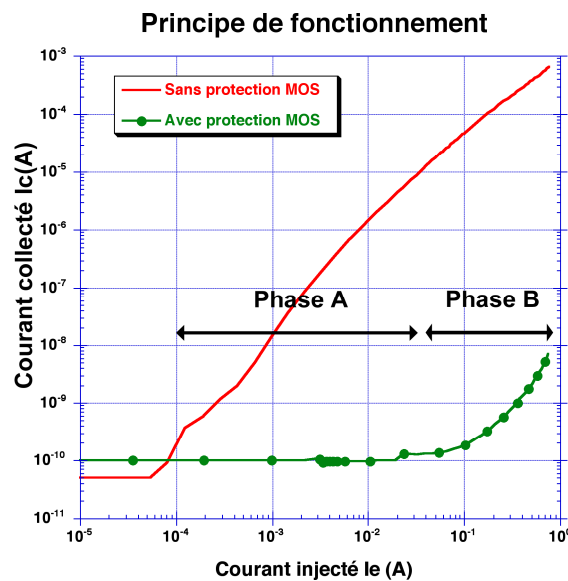


Figure 128 Courant collecté I_c en fonction du courant injecté pour une structure MOS

La Figure 128 présente les résultats expérimentaux avec ou sans la protection active. Contrairement aux structures de protection bipolaires, dès le début de l'injection, la structure est efficace (**phase A**). Ce résultat est à pondérer par le fait que la grille de la structure MOS est polarisée à une tension positive de manière permanente puisque le circuit de commande n'est pas utilisé. Cela implique que cette protection est toujours active bien avant l'impact du courant injecté. La rapidité de la circuiterie de détection et de contrôle sera donc primordiale pour garantir une meilleure protection.

Ce dispositif de test nous permet de connaître les performances des structures MOS ainsi que ses limites, en forte injection du courant injecté (**phase B**). Dans ce mode, la résistance de substrat contribue au déclenchement du transistor bipolaire parasite. Par conséquent, le courant collecté croît. Nous pouvons en déduire que le comportement de la protection MOS est similaire à celui des structures de protection bipolaires.

Nous allons maintenant comparer les performances de cette protection à celles du transistor bipolaire.

III.3. Paramètres de conception

Notre étude porte sur l'influence de trois paramètres: l'influence de la résistance passante des structures MOS, l'influence de la largeur du puits P⁺ et enfin la résistance de substrat (ou distance entre deux puits P⁺). Le dispositif de test utilisé est très similaire à celui utilisé pour l'étude des performances des structures de protection bipolaires.

III.3.a. Influence de la résistance passante du transistor MOS

L'impact de la résistance passante et donc de la taille du transistor MOS de protection sur le courant collecté au transistor voisin NLD1 est évalué. Le transistor NLD2 reste la zone perturbatrice.

Les structures MOS de protection de différentes tailles ont pour résistances passantes respectives 74 Ω (MOS1), 21 Ω (MOS 2), 5,7 Ω (MOS 3) et 2 Ω (MOS 4).

Comme on peut le constater sur la Figure 129, le courant collecté **I_c** croît à forte injection du courant injecté **I_e** pour des structures MOS de petite surface (MOS1, MOS2). La chute de potentiel aux bornes de la protection MOS ne permet pas d'appliquer efficacement le potentiel négatif au substrat à travers le puits P⁺. Donc, le bipolaire parasite NPN dans le substrat est amorcé.

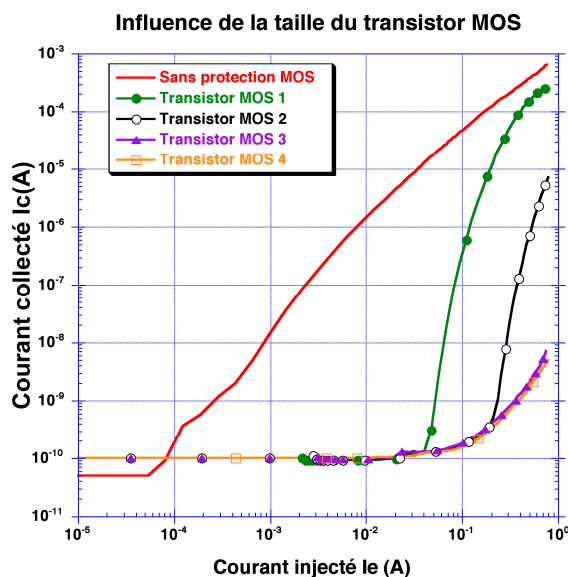


Figure 129 Courant collecté I_c en fonction du courant injecté I_e avec différentes structures de protection MOS

Ce mécanisme est considérablement atténué pour les structures de protection MOS3 et MOS4 pour lesquelles la résistance passante est inférieure à $6\ \Omega$. Le courant collecté obtenu est de l'ordre de 10^{-8} A au lieu de 1mA pour un courant injecté de 1A. La performance de cette protection contre le courant de substrat est remarquable.

Bien que la résistance passante de ces structures soit négligeable devant une résistance de substrat de $120\ \Omega$, le courant collecté I_c augmente à forte injection de courant injecté.

A travers le schéma électrique équivalent présenté en Figure 127, nous pouvons constater la contribution de la résistance de substrat sur le déclenchement du bipolaire NPN parasite surtout à ce niveau d'injection.

En conclusion, la surface du transistor MOS doit être suffisante pour garantir une faible résistance passante ($<6\ \Omega$) pour limiter le courant parasite dans le substrat. La taille nécessaire reste relativement faible ($110 \times 155\ \mu\text{m}^2$, MOS3, soit 3,5%) devant la surface occupée par le composant de puissance ($700 \times 700\ \mu\text{m}^2$).

III.3.b. Influence de la largeur du puits P+

Nous appliquons ici le protocole de test similaire à celui utilisé dans le cas des structures bipolaires. Le transistor MOS de protection, en particulier MOS3 pour $R_{ON}=5,7\ \Omega$, est utilisé pour délivrer le potentiel négatif du drain du transistor LDMOS à travers les différents puits : Piso1 de largeur $W_{Piso1}=3\ \mu\text{m}$, Piso2 de $W_{Piso2}=10\ \mu\text{m}$, et Piso3 de $W_{Piso3}=50\ \mu\text{m}$.

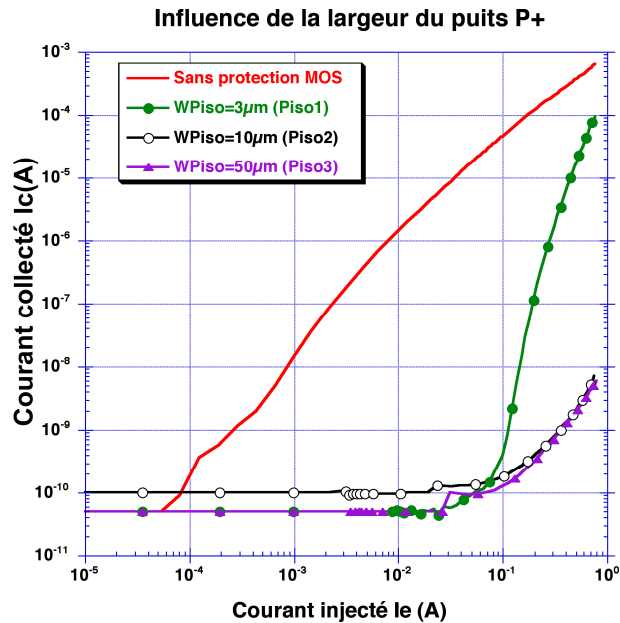


Figure 130 Courant collecté I_c en fonction du courant injecté pour différentes largeurs de puits P^+

Le courant collecté I_c augmente brutalement pour une faible largeur du puits P^+ , en particulier le puits $Piso1$. En effet, une forte résistance de contact au substrat induit une différence de potentiel entre la protection et le substrat. Ce qui induit l'amorçage du bipolaire parasite dans le substrat.

Une largeur du puits P^+ supérieure à $10\mu m$ permettant un bon contact au substrat doit être utilisée pour assurer les bonnes performances de la protection active contre le courant de substrat. Ici, nous pouvons retrouver des résultats similaires à ceux des structures de protection bipolaires.

III.3.c. Influence de la résistance de substrat R_{sub}

Dans cette partie, l'étude porte sur l'impact de la résistance de substrat sur le courant collecté au transistor LD MOS voisin en fonction du nombre de contacts au substrat ou de puits P^+ à la masse,. La structure de protection MOS3 ($R_{ON}=5,7\Omega$) est utilisée.

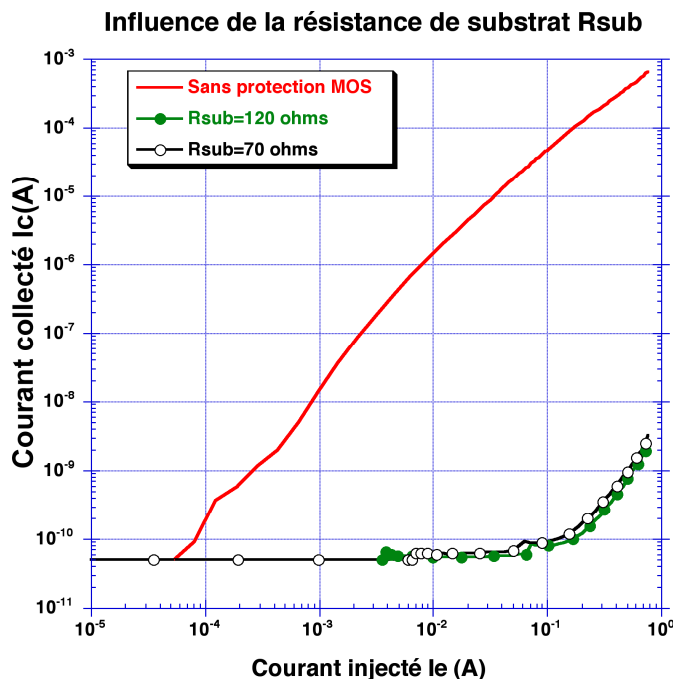


Figure 131 Courant collecté I_c en fonction du courant injecté pour différentes valeurs de résistance de substrat

La Figure 131 montre une évolution similaire du courant collecté dans les deux cas de résistances de substrat ($R_{sub1}=120\ \Omega$ et $R_{sub2}=70\ \Omega$) semblable à celui observé avec la structure de protection bipolaire, comportement à forte injection. C'est la faible résistance passante devant cette résistance de substrat qui permet de conserver les performances de la structure de protection même à forte injection. Donc le courant collecté obtenu reste identique. Comme dans le cas des transistors bipolaires de protection, une distance minimale entre les puits les plus proches doit être respectée afin de limiter la remontée du courant collecté en fonction de l'amplitude du courant injecté.

III.3.d. Influence de la température extérieure

L'impact de la température extérieure sur les performances de la protection active MOS est étudié. Deux températures ($T=25^\circ\text{C}$ et $T=150^\circ\text{C}$) sont utilisées pour connaître le comportement du transistor bipolaire parasite.

Pour le test, le transistor NLD2 est la zone émettrice de l'injection du courant parasite et le transistor NLD3 la zone collectrice. L'efficacité de la protection dépend du courant collecté à ce dernier transistor.

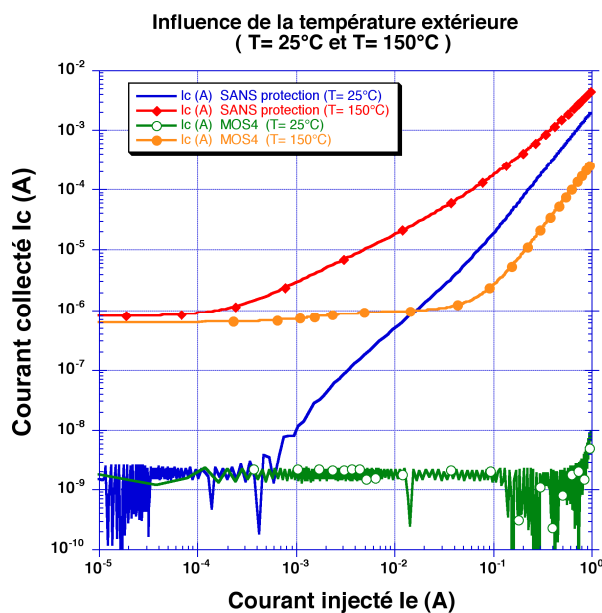


Figure 132 Courant collecté I_c en fonction du courant injecté I_e à $T=25^\circ\text{C}$ et $T=150^\circ\text{C}$

Comme pour les structures bipolaires, une forte température dégrade les performances du transistor MOS de protection. Une réduction en courant de 1 décade au lieu de 5 décades pour la protection active est obtenue à haute température ($T=150^\circ\text{C}$). Il en résulte une forte contribution de la température sur le déclenchement du transistor bipolaire parasite. Ce phénomène est similaire à celui obtenu pour les structures de protection bipolaire.

III.3.e. Règles de conception

Les règles de conception de la structure de protection MOS s'avèrent plus simples que celles des structures bipolaires. En effet, les résultats expérimentaux démontrent l'impact de la résistance passante R_{ON} de la protection active MOS sur le courant collecté à la zone à protéger. L'optimisation de cette résistance se fait au détriment de la taille de la structure de protection MOS.

Le choix de la taille de la structure de protection dépend des spécifications de l'utilisateur en particulier sur la valeur maximale du courant collecté ainsi que du nombre des contacts au substrat à la masse. Une largeur suffisante du puits P+ (au moins de $10\mu\text{m}$) doit être obtenue pour assurer les performances de cette protection.

Cependant, l'activation de cette protection dépend de la rapidité du circuit de commande. Des tests effectués sur les produits automobiles ont démontré l'activation rapide de la protection grâce au seuil de déclenchement relativement bas (-200mV , Figure 127).

Cependant, comme dans le cas du transistor bipolaire de protection, un courant parasite au transistor voisin est obtenu en fin de perturbation du courant négatif. Il est le résultat de l'inactivation du transistor MOS de protection en raison du seuil de déclenchement du circuit de commande. De plus, ce courant parasite supplémentaire est issu des charges stockées évacuées de la zone émettrice à la zone à protéger à travers le substrat P⁻.

III.4. Contraintes d'intégration

Comme pour les structures de protection bipolaires, les structures de protection MOS optimisées doivent répondre aux contraintes d'intégration. Parmi ces contraintes, la structure de protection doit garantir une tenue en tension comparable à celle du transistor de puissance. Cela implique l'utilisation des structures LDMOS de puissance comme structures de protection.

De plus, ces structures de protection nécessitent des circuits de protection contre les décharges électrostatiques ainsi que la tenue en énergie.

A la différence des structures bipolaires, la structure de protection MOS présente un avantage d'être en permanence contrôlée par des circuits de contrôle en amont pour éviter, à titre d'exemple, des problèmes de couplage de courant parasite entre les circuits intégrés en Figure 133. En effet, la protection n'est active que lorsqu'un potentiel négatif est détecté sur un drain du transistor LDMOS. Ainsi, une structure de protection voisine ne peut pas interagir avec celle qui est active.

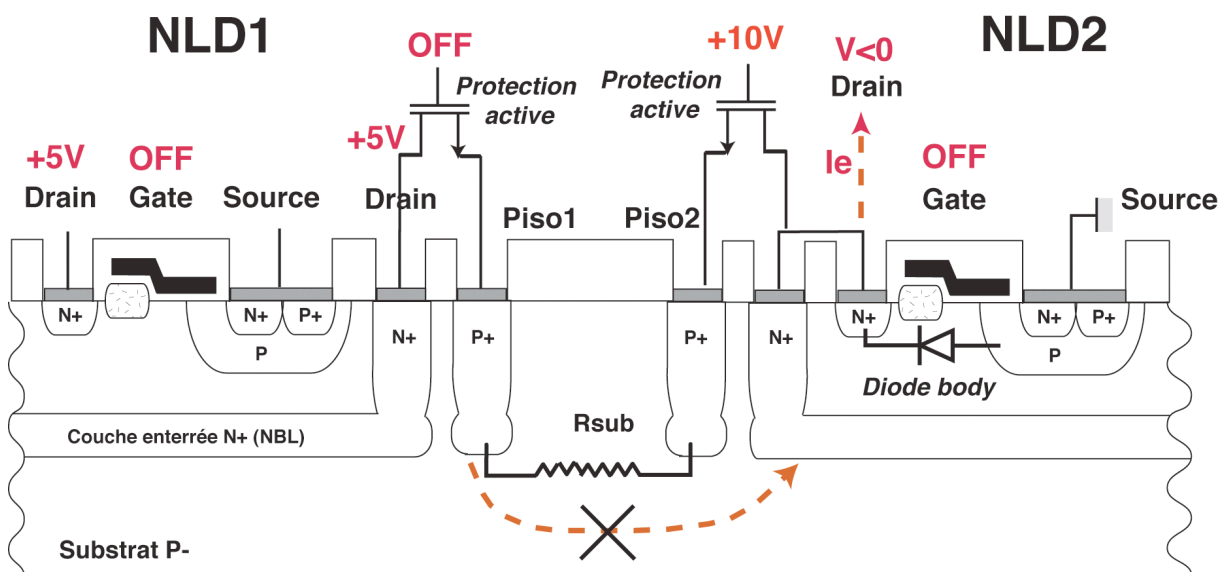


Figure 133 Présentation de structures de protection MOS symétriques

tel-00011035, version 1 - 18 Nov 2005

III.5. Structure de protection MOS intégrée

Nous proposons une protection active basée sur la structure LDMOS de puissance intégrée dans ce composant de puissance. Cette structure de protection est située proche du transistor LDMOS de puissance (Figure 135). Ainsi, son contact de drain est relié au même contact de drain du transistor de puissance (**nœud A**). Sa source est connectée au puits P⁺ qui entoure le transistor de puissance et la protection par l'intermédiaire du métal d'interconnexion (**nœud C**). Nous avons dû ajouter un plot supplémentaire pour polariser la grille de cette protection à une tension positive de +10V (**nœud B**). Pour éviter l'interaction électrique entre le transistor LDMOS et la protection, le dernier contact de source de la protection proche du transistor LDMOS (**nœuds D et E**) est laissé flottant (**nœud F**). Cette structure de protection comme la structure bipolaire intégrée représente 7% de la surface totale du transistor LDMOS de puissance.

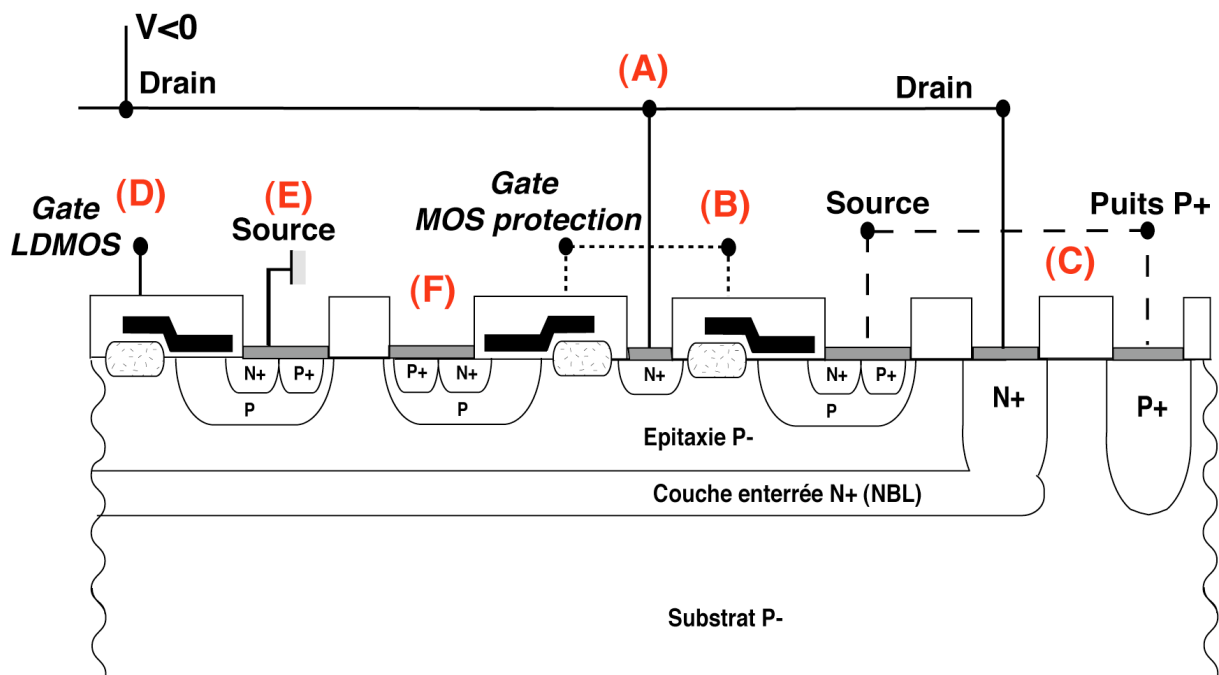


Figure 134 : Présentation d'une structure de protection MOS intégrée

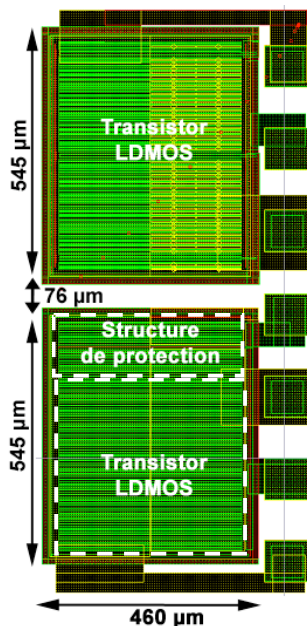


Figure 135 Présentation de structure de protection LDMOS intégrée

Un test est effectué à travers ce nouveau dispositif de protection pour évaluer ses performances contre le courant de substrat à deux températures différentes ($T=25^{\circ}\text{C}$ et $T=150^{\circ}\text{C}$). Nous avons appliqué un potentiel négatif en régime statique au contact du drain du transistor. Ainsi, une mesure effectuée sur le courant collecté au transistor voisin, distant de $76\ \mu\text{m}$ de la zone émettrice, permet de tracer leur courbe de réponse en Figure 137.

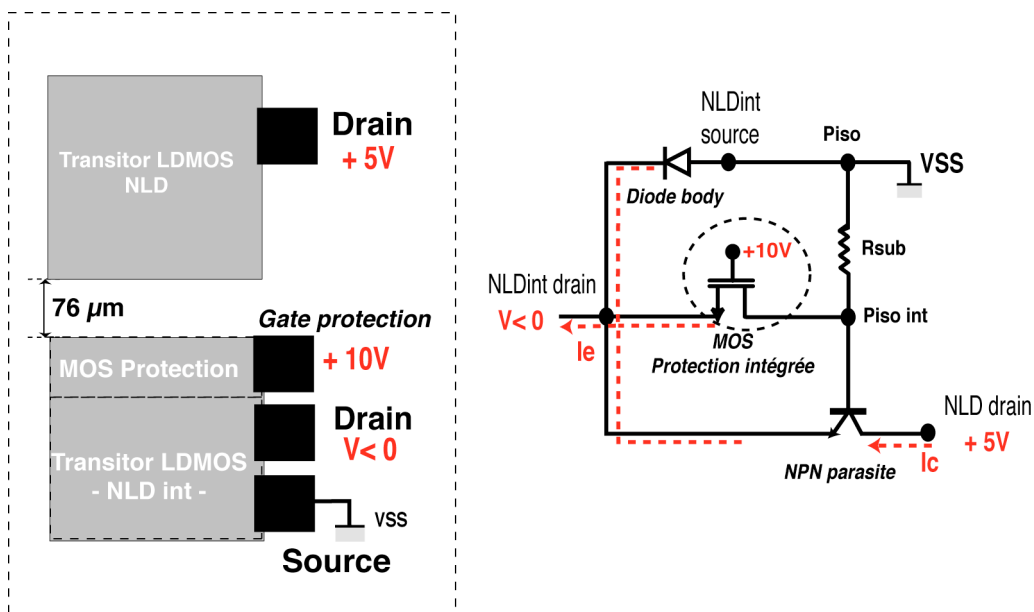


Figure 136 : Banc de test

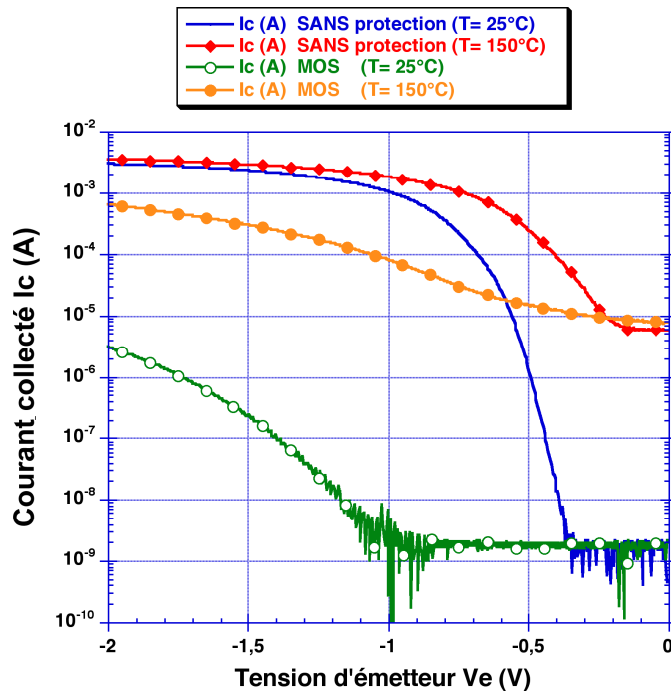


Figure 137 Courant collecté I_c en fonction du courant injecté I_e à $T=25^\circ\text{C}$ et $T=150^\circ\text{C}$.

A température ambiante, la structure de protection MOS réduit considérablement le courant parasite de l'ordre de $30\mu\text{A}$ au lieu de 3mA , soit une réduction en courant de 3 décades. Avec une température de $T=150^\circ\text{C}$, le courant collecté obtenu est de l'ordre de $800\mu\text{A}$. Il en résulte une dégradation de performances de cette structure de protection. Néanmoins, elle a permis de retarder l'amorçage du transistor bipolaire parasite.

Ces résultats sont comparables à ceux des structures de protection bipolaires donnés en Figure 119. Les structures de protection bipolaires et MOS démontrent des performances similaires pour une même surface utilisée.

Malgré ces performances, nous pouvons remarquer leur différence selon leur capacité à résoudre des contraintes d'intégration.

IV. Conclusion et perspectives

De techniques de protection simples telles que la protection passive par anneau de garde sont aisément utilisées dans une technologie de substrat P^+ . Dans une technologie de substrat P^- , des solutions de protection existantes telles que la barrière active s'avèrent peu efficaces. Une stratégie de protection s'impose pour réduire le courant parasite dans cette technologie.

Nous avons proposé de développer des structures de protection avancées, c'est-à-dire des protections actives. Ces protections nous permettent d'imposer le potentiel négatif dans le substrat de manière à contrôler le flux de porteurs minoritaires. En d'autres termes, nous pouvons disposer de ce type de protection pour contrôler le transistor bipolaire parasite dans le substrat P⁻.

Deux structures de protections, bipolaire et MOS, sont réalisées. Elles sont reliées entre le contact de drain du transistor de puissance et le puits P⁺ qui l'entoure. Cette configuration est choisie pour permettre de créer une barrière de champ électrique sous le puits P⁺ de manière à divertir le courant de porteurs minoritaires du drain vers un contact dédié, le contact de source du transistor LDMOS de puissance à la masse.

Nous avons développé et testé des structures de test simples pour valider les paramètres nécessaires à l'efficacité contre le courant parasite. Il s'agit d'obtenir une résistance la plus faible possible entre les contacts de drain et de substrat pour délivrer aisément le potentiel négatif du drain au substrat. Pour répondre à cette exigence, nous avons proposé de placer la structure de protection proche du composant de puissance. Ainsi s'ouvre une nouvelle voie de développement, la protection intégrée dans le transistor de puissance. Cela a permis de réduire la surface occupée par cette protection pour une performance donnée.

Cette protection est maintenant liée aux fonctionnalités du transistor de puissance. Par conséquent, un certain nombre de contraintes d'intégration de la protection telles que la tenue en tension doit être résolu.

Pour une structure de protection bipolaire, nous sommes amenés à utiliser des couches technologiques compatibles avec celles de la structure de puissance pour réaliser cette protection. Pour une structure de protection MOS, seule la structure de puissance c'est-à-dire la structure LDMOS de puissance est utilisée. Nous pouvons constater ici une nette différence entre ces deux structures au niveau de conception. En effet, la réalisation des structures bipolaires intégrées nécessite une bonne maîtrise de la simulation physique. Contrairement, l'optimisation des structures de protection MOS peut se faire à l'aide des simulations électriques de type SPICE en utilisant des transistors LDMOS de la bibliothèque des composants.

Nous avons pu valider les performances de la protection intégrée en régime statique et dynamique. Les performances sont similaires pour les deux types de protection surtout pour une même surface occupée. Bien que leurs performances soient dégradées à haute température ($T=150^{\circ}\text{C}$), les protections intégrées se montrent efficaces en retardant l'amorçage du transistor bipolaire parasite dans le substrat.

Nous avons pu identifier une nette différence entre les deux protections en régime dynamique. Le déclenchement de la structure bipolaire dès l'apparition de la perturbation est réalisé de manière instantanée grâce à sa technique d'auto-amorçage. Cependant, une fin brutale de la perturbation ne permet pas à cette protection de réduire le courant parasite. Avec une structure de protection MOS, son temps de fermeture dépend de la rapidité du circuit de commande dédié à polariser sa grille. De plus, nous pouvons ajuster un temps supplémentaire à ce circuit pour éviter l'évacuation des porteurs minoritaires vers les zones collectrices en fin de perturbation. La souplesse d'utilisation de cette protection MOS est évidente.

Nous avons montré le risque du déclenchement de la protection bipolaire connectée au transistor de puissance susceptible de collecter les porteurs minoritaires en provenance d'une zone émettrice voisine. Ce problème est inexistant pour les structures de protection MOS.

Néanmoins, la structure de protection bipolaire améliore la robustesse du transistor de puissance contre les décharges électrostatiques. De plus, elle ne modifie pas les fonctionnalités des circuits de contrôle au transistor de puissance comme le circuit de protection pour la tenue en énergie de ce transistor. Ces contraintes sont difficiles à résoudre pour la structure de protection MOS. En effet, cela nécessite une modification importante au niveau des circuits de contrôle de manière à éviter ses interactions avec les autres circuits de contrôle du transistor de puissance. A titre d'exemple, cette structure de protection n'est pas protégée contre les décharges électrostatiques. Cela nécessite la mise en place d'un circuit de protection en plus du circuit dédié contre le courant de substrat. La complexité des circuits de commande peut s'accroître.

Nous avons pu illustrer les avantages et inconvénients de ces protections. Ni la structure de protection bipolaire ni la structure de protection MOS semble supérieure à l'autre protection.

Selon les applications une de ces structures pourrait être la mieux adaptée comme le montre le tableau suivant:

Paramètres	Règles de Conception	ESD	Energie	Contraintes d'intégration	Circuit de Commande
Protection Bipolaire	Complexe	Robuste	Protection supplémentaire	Oui	Non
Protection MOS	Simple	Protection supplémentaire	Protection supplémentaire	Non	Oui

Les résultats obtenus à forte température illustrent les limites de performances de ces protections. Ce paramètre doit être pris compte en appliquant la méthodologie de conception basée sur les simulations physiques et électriques.

Cette méthodologie nous permettrait de développer des solutions de protection plus innovantes, c'est-à-dire en combinant des structures de protections existantes. A titre d'exemple, la dégradation des performances des protections intégrées à forte température est constatée. Pour pallier ce problème, nous proposons en plus de ces protections d'insérer une zone active N⁺ intermédiaire entre les deux transistors de puissance. En se référant à la Figure 135, nous pouvons intégrer une zone N⁺ entre les deux composants de puissance sans modifier leur placement. Ainsi, une réduction de courant parasite peut être considérable.

Nous pouvons voir ici la nécessité d'utiliser notre méthodologie de conception non seulement pour développer de nouvelles structures de protection mais aussi pour répondre aux exigences de la microélectronique, c'est-à-dire la réduction des dimensions des circuits intégrés donc des protections.

Conclusion générale

Les techniques d'isolation des circuits intégrés sont devenues au fil des ans un défi technologique pour répondre à la compétitivité des produits avec l'augmentation de densité d'intégration ainsi que de la fiabilité.

Ce mémoire met l'accent sur le problème de l'injection de courants de substrat dans les circuits intégrés de puissance intelligente. Il traite particulièrement du cas de l'isolation par jonction en raison de son utilisation très fréquente dans les applications automobiles. Ce courant apparaît dans le substrat lors de la mise en direct de la diode d'isolation lors de phénomènes de sur-tension ou sous-tension.

Dans le cas du phénomène de sur-tension, le courant de substrat est une injection de porteurs majoritaires, c'est-à-dire les trous dans un substrat P⁻. Des techniques de protection simples telles que la mise en place d'anneaux de puits P⁺ servant de contact au substrat à la masse, permettent de réduire ce courant parasite.

Dans le cas du phénomène de sous-tension, le courant de substrat est une injection de porteurs minoritaires, c'est-à-dire des électrons dans un substrat P⁻. Ce courant parasite est un courant de diffusion de porteurs à travers le substrat. Il en résulte des conséquences dangereuses pour le circuit intégré. En effet, le substrat se constitue comme la base de cette injection. Cela se traduit par l'amorçage du transistor bipolaire parasite. Avec la réduction des dimensions de la micro-électronique, la sensibilité de l'activation de ce dispositif parasite peut être accrue.

Le contrôle de ce transistor bipolaire parasite dans le substrat est devenu l'élément majeur de notre travail. Cela nécessite des méthodes de caractérisation, d'extraction et de simulation pour l'évaluer afin de développer des solutions de protection pour réduire le courant de substrat.

Nous avons donc proposé une méthodologie de conception s'appuyant sur la simulation physique et électrique. Cette méthodologie est basée sur le principe des techniques d'extraction du transistor bipolaire parasite ainsi que de la résistance de substrat. Cela permet ensuite de faciliter le travail d'optimisation des structures de protection. Nous pouvons également étudier l'influence de la température de l'environnement sur le courant parasite. Cette démarche peut s'appliquer à toutes filières technologiques.

Nous avons étudié les nouvelles technologies du substrat pour mieux analyser le mécanisme du transistor bipolaire parasite. Nous avons démontré qu'une modification de concentration du substrat au lieu de la distance qui sépare les circuits réduit considérablement le courant parasite. Cela se traduit par une forte concentration de base du transistor bipolaire parasite favorable à la réduction du courant collecté dans la zone à protéger.

La technologie de substrat P⁺ ou de substrat P⁻/P⁺ semble appropriée à la réduction du courant parasite surtout avec l'influence de la température de l'environnement. Des techniques de protection simples telles que les protections passives par anneaux de garde sont efficaces dans ces technologies.

La technologie de substrat P⁻ ne permet pas de réduire de manière significative le courant parasite en raison de la faible concentration du substrat. Des techniques de protection plus complexes doivent être développées. Nous avons proposé des protections actives avancées avec le transistor bipolaire intégré dans le transistor LDMOS. Ce nouveau dispositif de protection permet non seulement de réduire le courant de substrat mais aussi de résoudre les contraintes d'intégration telles que la tenue en énergie du composant de puissance, la robustesse aux décharges électrostatiques... Ses performances sont validées par les mesures de caractérisation. Cette structure de protection intégrée a fait l'objet d'un brevet industriel avec la société Motorola [[LOC03](#)].

Une structure de protection MOS a été également développée. Ses performances sont similaires à celles obtenues avec la protections active bipolaire. Son fonctionnement nécessite un circuit de commande pour assurer ses performances contre le courant parasite. Bien que les règles de conception soient simples pour réduire le courant parasite, elle nécessite des protections supplémentaires contre les décharges électrostatiques et pour la tenue en énergie du transistor de puissance.

Le succès du développement des structures de protection intégrées dans le transistor de puissance, surtout avec une surface d'utilisation inférieure à 10% de celui-ci et distant de 75 μ m de la zone à protéger, est le résultat de l'effort sur la définition des règles de conception. En effet, la mise en oeuvre d'une série de structures de test spécifique a permis de réaliser ces protections tout en évitant les contraintes d'intégration.

Le choix de substrat est guidé par la compétitivité des procédés technologiques. Un substrat P⁻ engendre un coût de revient intéressant pour développer de nouveaux produits. Pour garantir la robustesse et la fiabilité de ces produits, cela nécessite de développer des fonctions de protection de plus en plus complexes. A l'heure actuelle, cette technologie ne permet pas de répondre facilement aux exigences de la réduction de dimensions. Au contraire, la technologie de substrat P⁺ peut héberger des circuits intégrés supplémentaires sans diminuer la fiabilité du produit.

De nombreux progrès de procédé technologique ont vu le jour à l'heure actuelle avec l'apparition des tranchées d'oxyde de plus en plus profondes ainsi que des "murs P⁺⁺" traversant le substrat [PAR02] [SAN03] [PFO03]. Egalement, des techniques d'amincissement de substrat sont mieux maîtrisées. Nous pouvons y voir comme des solutions alternatives au substrat P⁻ ou au substrat P⁺ pour augmenter la densité d'intégration des circuits en assurant de bonnes performances contre le courant parasite. Cela laisse des possibilités d'intégration de nouvelles fonctions comme celles des circuits RF dans la technologie Smart Power [PFO03]. Dans ce cas, nous pouvons faire évoluer le concept "System on chip".

Par ailleurs, d'autres modes d'intégration, comme le "System in Package" où cohabitent des systèmes électroniques de substrats différents dans un même boîtier, ont été développées pour résoudre les problèmes d'isolation.

Bibliographie

- [ALV03] **S. Alves, F. Morancho, J.M. Reynès, B.Lopes** , “*Vertical N-channel FLIMOSFETs for future 12V/42V Dual batteries automotive applications*”, Proceedings of IEEE-ISPSPD, 2003, PP. 308-311
- [BAL87] **B. Jayant Baliga**, “*Modern Power Devices*”, John Wiley & Sons, New York, 1987.
- [BER89] **F. Bertotti et al**, “*Integrated device for shielding charge injection into the substrate, in particular in driving circuits and capacitive loads*”, S T Microelectronics Incorporated, United States Patent N°4890149, 1989
- [BER91] **F. Bertotti et al**, “*Integrated device for shielding the injection of charges into the substrate*”, ST Microelectronics Incorporated, United States Patent N°5021860, 1991
- [BLA02] **T. Blalack, Y. Leclercq, C.P. Yue**, “*On-chip RF isolation techniques*”, Proceedings of IEEE-BCTM, 2002, PP. 205-211
- [CAN96] **A. Canclini**, “*Structure to protect against below ground current injection*”, ST Microelectronics Incorporated, United States Patent N°5495123, 1996
- [CHE93] **M.J. Chen, C.Y. Huang et al**, “*Analytical design formulation for minority carrier well-type guards rings in CMOS circuits*”, IEEE Proceedings, vol. 140, N°3, 1993
- [CON87] **C. Contiero, A. Andreini, P. Galbiati, C. Lombardi**, “*Experimental and numerical analysis of the high voltage structures implemented in the new mixed process multipower BCD 250V*”, Proceedings of ECS Symposium on High Voltage and Smart Power Devices, 1987, PP. 31-40
- [DEC96] **G. Decremoux et al.**, “*Simulation and Measurement of Cross-talk phenomena in BiCMOS technology for Hard Disk Drives*”, IEEE-IEDM, 1996, PP. 481-484

- [DES99] DESSIS-ISE TCAD manual, 1999
- [FOS82] **J.G. Fossum et D.S. Lee**, "*A physical model for the dependence of carrier lifetime on doping density in nondegenerate silicon*", Solid-State Electronics, vol. 25, N°8, PP. 741-747, 1982
- [FOS83] **J.G. Fossum et al.**, "*Carrier recombination and lifetime in highly doped silicon*", Solid-State Electronics, vol. 26, N°6, PP. 569-576, 1983
- [GON00] **O. Gonnard et al.**, "*Substrate current protection in Smart Power ICs*", IEEE-ISPSD, 2000, PP. 169-172
- [GON01-A] **O. Gonnard et al.**, "*Multi-ring active analogic protection for minority carrier injection suppression in smart power technology*", IEEE-ISPSD, 2001, PP. 351-354
- [GON01-B] **O. Gonnard**, "*Efficacité d'isolation dans les circuits de puissance isolés par jonction*", Thèse de doctorat, LAAS-CNRS, Toulouse, 2001
- [GRA93] **P.R. Gray, R.M. Meyer**, "*Analysis and Design of Analog Integrated Circuits*", 3rd Edition, John Wiley & Sons, 1993
- [HBM89] MIL STD 883.C/3015.7 notice8, Military Standard for Test Methods and Procedures for Microelectronics □ ESD Sensitivity Classification, March 22, 1989.
- [HBM98] Standard for Electronic Discharge (ESD) Sensitivity testing – Human Body Model (HBM) - Component Testing, ESD-STM5.1-1998, EOS/ESD Association Inc, 200 Liberty Plaza, Rome, NY 13440, USA
- [HUA94] **C.Y. Huang et al**, "*Design model and guideline for n-Well Guard ring in Epitaxial CMOS*", IEEE Transactions on Electron Devices, vol. 41, N°10, 1994

- [HUA96] **C.Y. Huang et al**, "*Low-Temperature Characteristics of well-type guards rings in Epitaxial CMOS*", IEEE Transactions on Electron Devices, vol. 43, N°12, 1996
- [ISE99] ISE TCAD manual, release 6.0, 1999
- [FUJ91] **T. Fujihira ; K. Yoshida □ T. Muzino □ K. Sakurai □ and Y. Uchida**, "*Self-isolation NMOS-DMOS technology for automotive low-side switches*", IEEE, 1991, PP. 242-247
- [LAI02-A] **J.P. Lainé et al.**, "*Active pull-down protection for full substrate current isolation in Smart Power IC's*", Proceedings of IEEE-ISPSD, 2002, PP. 1
- [LAI02-B] **J.P. Lainé et al.**, "*Substrate current control in Smart Power IC's with a Flexible Protection Structure*", Proceedings of IEEE-BCTM, 2002, PP. 1
- [LAI03] **J.P. Lainé et al.**, "*High-Level Substrate Current Effects in P-epitaxy/P⁺-substrate Smart Power Technologies*", Proceedings of IEEE-ISPSD, 2003, PP. 1
- [LOC03] **C. Lochot, P. Besse, J.P. Lainé, M. Bafleur**, "*Integrated BJT transistor for double protection against the parasitic substrate current injection and the ElectroStatic Discharge (ESD)*", European Patent, 2003
- [LUD00] **A. Ludikhuize**, "*A review of Resurf technology*", Proceedings of IEEE-ISPSD, 2000, PP. 143-146
- [LUD01] **A. Ludikhuize**, "*Semiconductor device having LDMOS transistors and a screening layer*", Philips Corporation, United States Patent N°6288424, 2001
- [MEN98] **P. Menegoli et al.**, "*Protection against adverse parasitic effects in junction-isolated integrated circuits*", STMicroelectronics Incorporated, United States Patent N°US5834826, 1998

- [MEN00] **P. Menegoli et al.**, *“Process for co-integrating DMOS transistors with schottky diode body structure”*, STMicroelectronics Incorporated, United States Patent N°US6133107, 2000
- [MOS00] **A. Moscatelli et al.**, *“LDMOS Implementation in a 0.35 μ m BCD technology (BCD6)”*, Proceedings of IEEE-ISPDS, 2000, PP. 323-326
- [MUR96-A] **B. Murari; F. Bertotti ; and G. Vignola**, *“Smart Power IC’s, Technologies and Applications”*, Springer Verlag, Berlin, 1996
- [MUR96-B] **B. Murari; D. Rossi**, *“Power ICs in Motor Control”*, 1996, PP. 29-32
- [MUR00] **B. Murari ; C. Contiero ; R. Gariboldi ; S. Sueri ; and A. Russo**, *“Smart Power Technologies Evolution”*, IEEE Industry Application Conference 2000, vol. 1, 2000, PP. 10-19
- [PAR00] **V. Parthasarathy et al**, *“SOA Improvement by a double RESURF LDMOS technique in a Power Technology”*, IEEE-IEDM 2000, PP. 75-78
- [PAR02] **V. Parthasarathy et al**, *“A 0.25 μ m CMOS based 70V smart power technology with deep trench for high voltage isolation”*, IEEE-IEDM 2002, PP.
- [PAL97] **S. Palara et al**, *“Circuit for preventing operation of parasitic components in integrated circuits having a power stage and low voltage control circuitry”*, STMicroelectronics Incorporated, United States Patent N°US6133107, 1997
- [PEN01] **S.P. Pendharkar et al.**, *“Integrated circuit which minimizes parasitic action in a switching transistor pair”*, Texas Instruments Incorporated, United States Patent N°6225673, 2001
- [PEN02] **S.P. Pendharkar et al.**, *“High side and low side guard rings for lowest parasitic performance in a H-bridge configuration”*, Texas Instruments Incorporated, United States Patent N°2002/0053685 A1, 2002

- [PEP96-A] **R.C. Peppiette et al.**, *“Epitaxial island with adjacent asymmetrical structure to reduce collection of injected current from the island into others islands”*, Allegro Microsystems Incorporated, United States Patent, N°US5514901, 1996
- [PEP96-B] **R.C. Peppiette et al.**, *“Separate protective transistor”*, Allegro Microsystems Incorporated, United States Patent, N°US5545917, 1996
- [PFO03] **M. Pfof et al.**, *“A Comprehensive experimental study on technology options for reduced substrate coupling in RF and High-speed bipolar circuits”*, Proceedings of IEEE-BCTM, 2003, PP. 39-42
- [RAV00] **E.M. Ravanelli et al.**, *“Method and device for suppressing parasitic effects in a junction isolation integrated circuit”*, STMicroelectronics Incorporated, United States Patent, N°US6060758, 2000
- [ROU01]. **S. Roux**, *“Isolation diélectrique des circuits intégrés de puissance par recristallisation en phase liquide”*, Thèse de doctorat, LAAS-CNRS, décembre 2001
- [SAB87] **B. Saby et B.C. Nadd**, 6th Conference on Automotive Electronics Digest, IEE Conf. Publ., 280, 1987, PP. 195-199
- [SAN03] **J.L. Sanchez et al.**, *“Realization of vertical P+ walls through-wafer for bi-directional current and voltage power integrated devices”*, Proceedings of IEEE-ISPSD, 2003, PP. 195-198
- [SCH00] **M. Schenkel et al.**, *“Measurements and 3D Device Simulation of Full-Chip Potential Distribution at Parasitic Substrate Current Injection”*, Proceedings of European Solid-State Device Research Conference, Cork (Irlande), Septembre 2000, PP. 600-603

- [SCH01-A] **M. Schenkel et al.**, *“Substrate Potential Shift due to Parasitic Minority Carrier Injection in Smart Power ICs: Measurement and Full-Chip 3D Device Simulation”*, Microelectronics Reliability, Pergamon, Vol.41, N°6, Juin 2001, PP. 815-822
- [SCH01-B] **M. Schenkel et al.**, *“Transient Minority Carrier Collection from the substrate in Smart Power Design”*, Proceedings of European Solid-State Device Research Conference (ESSDERC), Nuremberg (Allemagne), 2001, PP. 411-414
- [SCH03] **M. Schenkel**, *“Substrate Current Effects in Smart Power ICs”*, PhD thesis, Series in Microelectronics, Hartung-Gorre, vol.135, 2003
- [SCR98] **D.K. Schroder**, *“Semiconductor material and device characterization”*, Second edition, John Wiley & Sons, 1998
- [SKE99] **G.G. Skebe et al.**, *“Self-biased moat for parasitic current suppression in integrated circuits”*, Reliance Electric Industrial Company, United States Patent N°5907163, 1999
- [SIC02] **T. Sicard et V. Macary**, *“Semiconductor and device method for protecting such device from a reversed drain voltage”*, Motorola Incorporated, United States Patent N°6225673, 2002
- [SIL99] SILVACO TCAD manual, 1999
- [SPE98] **N. Speciale, A. Leone, V. Graziano, G. Privitera**, *“A compact model for multiterminal bipolar devices used in Smart Power applications”*, IEEE Transactions on Electron Devices, vol.45, n°9, September 1998
- [SRM03] SubstrateStorm datasheet, Cadence Design Systems, 2003
(www.cadence.com/datasheets/dat_pdf/4049_SubstrateStorm_DS.pdf)
- [SUB01] **N. Qu, W. Wilkening, M. Schaldach, M. Schenkel, P. Pfäffli**, *“Methodology for Substrate Current Robust Design by Device and Circuit Simulation”*,

ESPRIT 29647 SUBSAFE, European Program Research, September 2001
(<http://www.iis.ee.ethz.ch/nwp/subsafe>)

[SWA03] **M.J. Swanenberg, A.W.Ludikhuizen et al**, "Applying DMOSTs, diodes and thyristors above and below substrate in thin-layer SOI", IEEE-ISPST, 2003, PP. 232-235

[SYN03] Synopsys, Taurus-Worbench, TCAD manual, 2003
(<http://www.synopsys.com>)

[SZE81] **S.M. Sze**, "Physics of Semiconductor Devices", Second edition, John Wiley & Sons, 1981

[TOM89] **M. Tomazane et H.M. Liaw**, "Reduction of Threading Dislocations and Oxide Precipitates in SIMOX Material", Jap. Journal of Applied Physics, Vol. 28, N° 11, Novembre 1989, PP. L 2050- L 2053

[TRO95] **R.R. Troutman et al**, "Latch up in CMOS Technology the problem and its cure", Kluwer Academic Publishers second printing, 1995

[TYA83] **M.S. Tyagi et R. Van Overstraten**, "Minority carrier recombination in heavily-doped silicon", Solid-State Electronics, vol.26, N°6, PP. 577-597, 1983

[WEY92] **J. Weyers et al.**, "Integration of Vertical/Quasi-vertical DMOS, CMOS and Bipolar Transistors in a 50V SIMOX Process", Proceedings of the 22nd European Solid State Device Research Conference (ESSDERC'92), Leuven, 14-17 September 1992, PP. 733-735

[WEY97] **J. Weyers et al.**, "A CMOS compatible Smart Power Process with complete dielectric Isolation", EPE 1997, PP. 308-313

[WDR91] **R.J. Wildar**, "Controlling Substrate Currents in Junction Isolated IC's", IEEE Journal of Solid-states circuits, 1991, vol.26, N°8, PP. 1090-1097

- [WIL95] **R.K. Williams**, "*Junction-isolated floating diode*", Silliconix Incorporated, United States Patent N°US5414292, 1995
- [WIL98] **R.K. Williams**, "*Pseudo Schottky diode*", Silliconix Incorporated, United States Patent N°US5818084, 1998
- [ZHU01] **R. Zhu et al**, "*Implementation of High-Side Voltage Resurf LDMOS in a sub-Half micron Smart Power Technology*", IEEE-ISPSD 2001, PP. 403-406

Mécanismes d'injection de porteurs minoritaires dans les circuits intégrés de puissance et structures de protection associées

Résumé:

Les travaux de recherche présentés dans ce mémoire s'inscrivent dans le contexte du problème d'isolation par jonction dans les circuits intégrés de puissance. Certains modes de fonctionnement du bloc de puissance induisent une injection conséquente de courant parasite dans le substrat. La plus contraignante est l'injection de porteurs minoritaires. Nous en détaillons l'origine ainsi que ses conséquences dangereuses sur les circuits intégrés. Nous présentons les solutions de protection existantes destinées à réduire ce courant parasite.

Avec la réduction des dimensions des nouvelles technologies, ces solutions de protection ne sont plus adaptées en raison de leur dimension. Nous proposons donc une méthodologie de conception basée sur la simulation physique 3D et la simulation électrique pour créer ou adapter des structures de protections selon la filière technologique utilisée.

Avant de les développer, nous proposons d'étudier les mécanismes d'injection de ces porteurs minoritaires selon la nature du substrat utilisé. Ainsi, dans un substrat P⁺, des techniques de protection simples, c'est-à-dire les protections passives par anneaux de garde, peuvent réduire considérablement le courant parasite. Dans un substrat P⁻, des techniques de protection plus complexes doivent être développées. Nous avons proposé des structures de protections actives. Son efficacité contre le courant parasite est validée par la caractérisation de structures de test spécifiques. Une solution de protection intégrée dans le composant de puissance améliorant également la robustesse vis-à-vis des décharges électrostatiques, a été validée sur silicium et a fait l'objet d'un brevet.

Mots clés:

Isolation par jonction, transistor bipolaire parasite, circuit intégré de puissance, protections passives, protections actives, courant de substrat, simulation physique et électrique

Minority carrier injection mechanisms in power integrated circuits and protection structures

Abstract:

The research work presented in this report deals with the junction isolation issues in power integrated circuits. Some operation conditions of power devices inject current into the substrate. The most undesirable current is the minority carrier injection. its causes and its dangerous consequences on the circuits are detailed. We present the state of the art of the related protection structures.

Due to technology shrinking, those protection structures cannot be used due to their large size. Therefore, we propose a design methodology based on both 3D physical and electrical simulation to built-in a new protection structure compatible with any technology platform.

We propose to first analyze the minority carrier injection mechanisms according to the substrate used. within the case of a P⁺ substrate, protection techniques based on the guard rings drastically reduce the parasitic current. In the case of a P⁻ substrate, more complex protection techniques should be used. We propose active protections. Their efficiency against the substrate current is validated through the characterization of dedicated test structures. A protection structure, integrated into the power device, also improving the electrostatic discharge robustness, is validated and patented.

Keywords:

Junction isolation, parasitic bipolar transistor, power integrated circuits, passive protections, active protections, substrate current, physical and electrical simulation.
